

# Belle II実験に向けた SOIピクセル検出器の開発

東北大学 堀井泰之、小貫良行、田窪洋介、山本均  
KEK 新井康夫、坪山透、三好敏喜、一宮亮、池本由希子  
他 SOIPIXグループ

2009年9月11日 日本物理学会

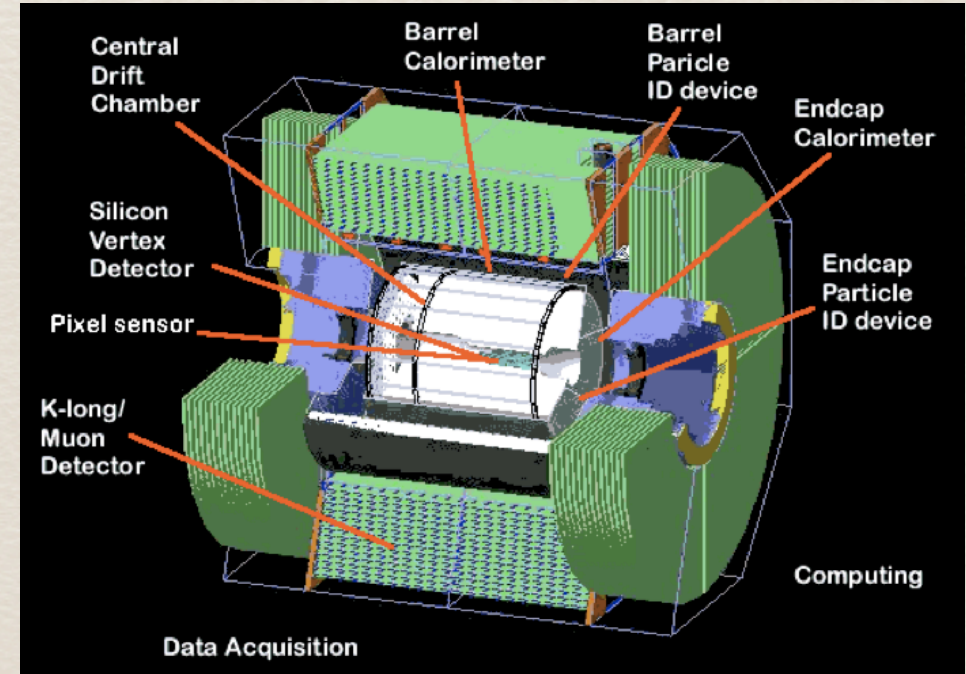
# 1. Belle II実験 / SOIピクセル検出器

## \* Belle II実験

2012年頃の開始を目指す。

Belle実験の50倍のルミノシティ目標

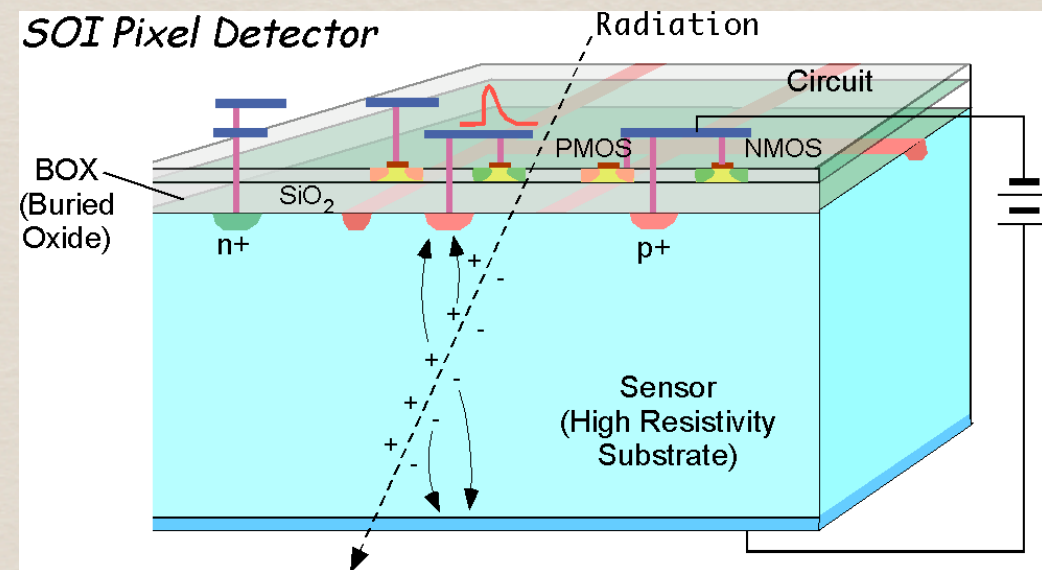
→高いバックグラウンド環境



## \* ピクセル検出器

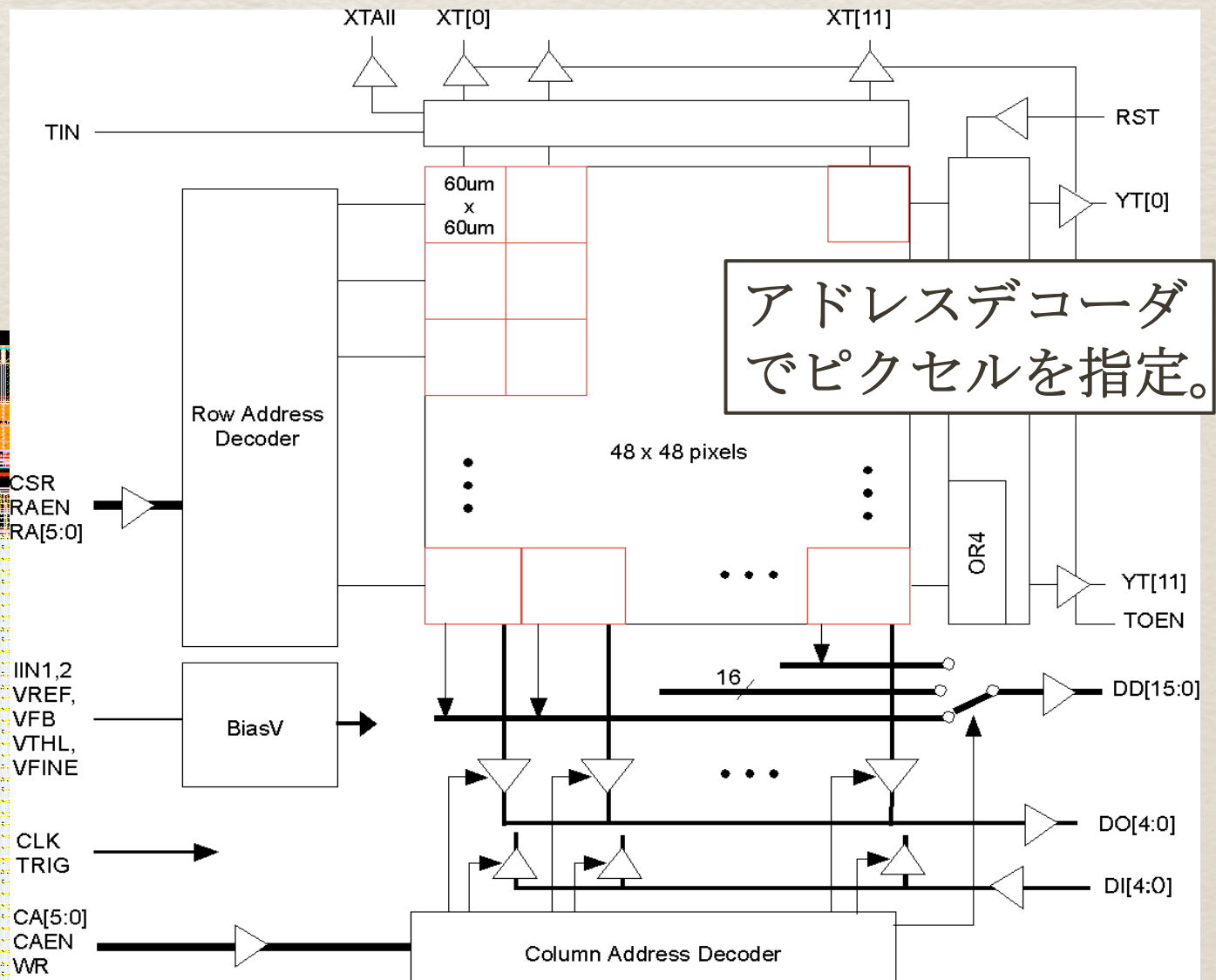
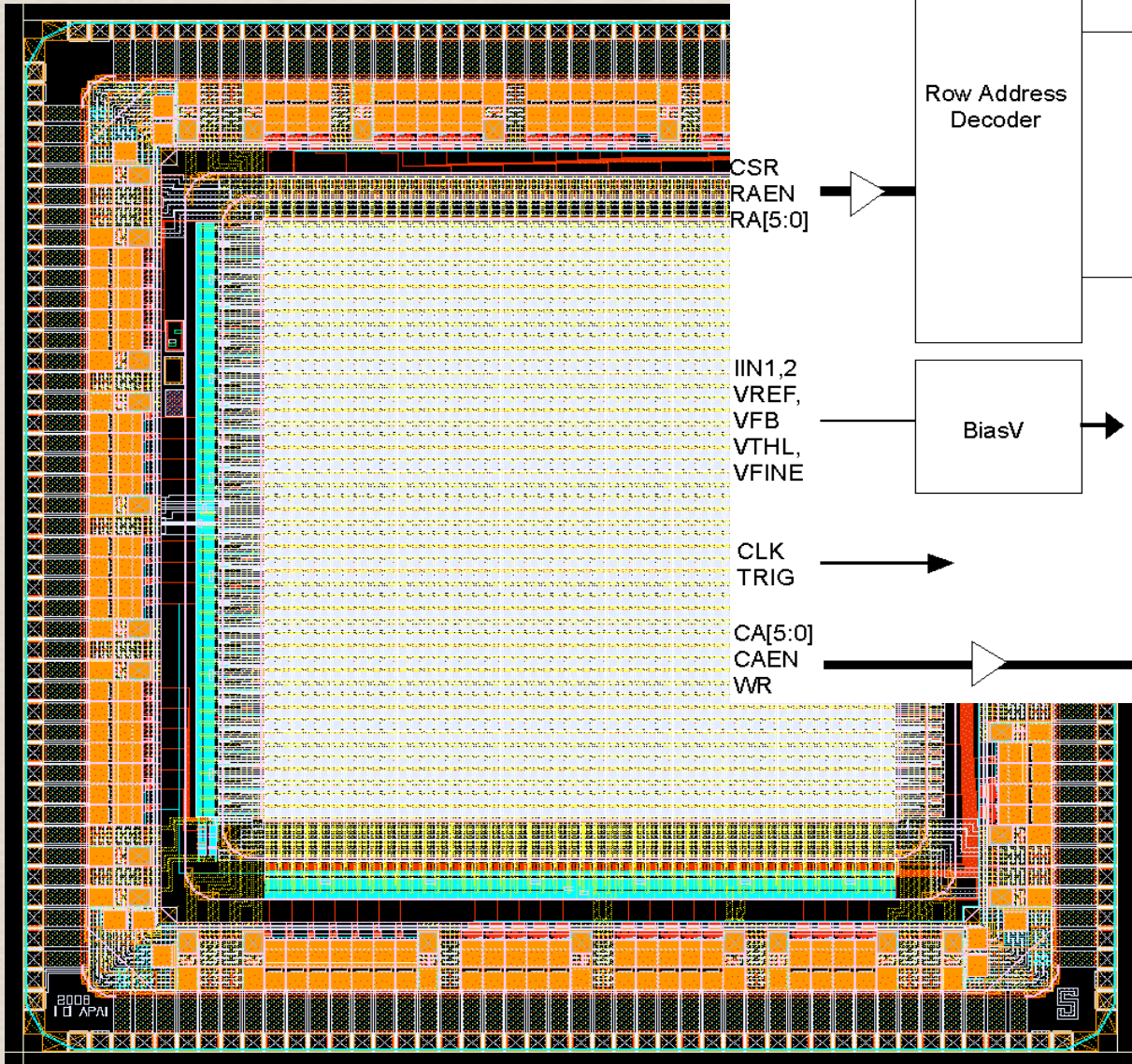
\* DEPFET : ベースライン  
数年で放射線損傷。  
([www.depfet.org](http://www.depfet.org))

\* SOI : DEPFETに代わるピクセル  
検出器として期待される。  
・高速読み出し etc.



# Belle II実験に向けた SOIピクセル検出器 はじめての試作チップ

2008年夏に完成

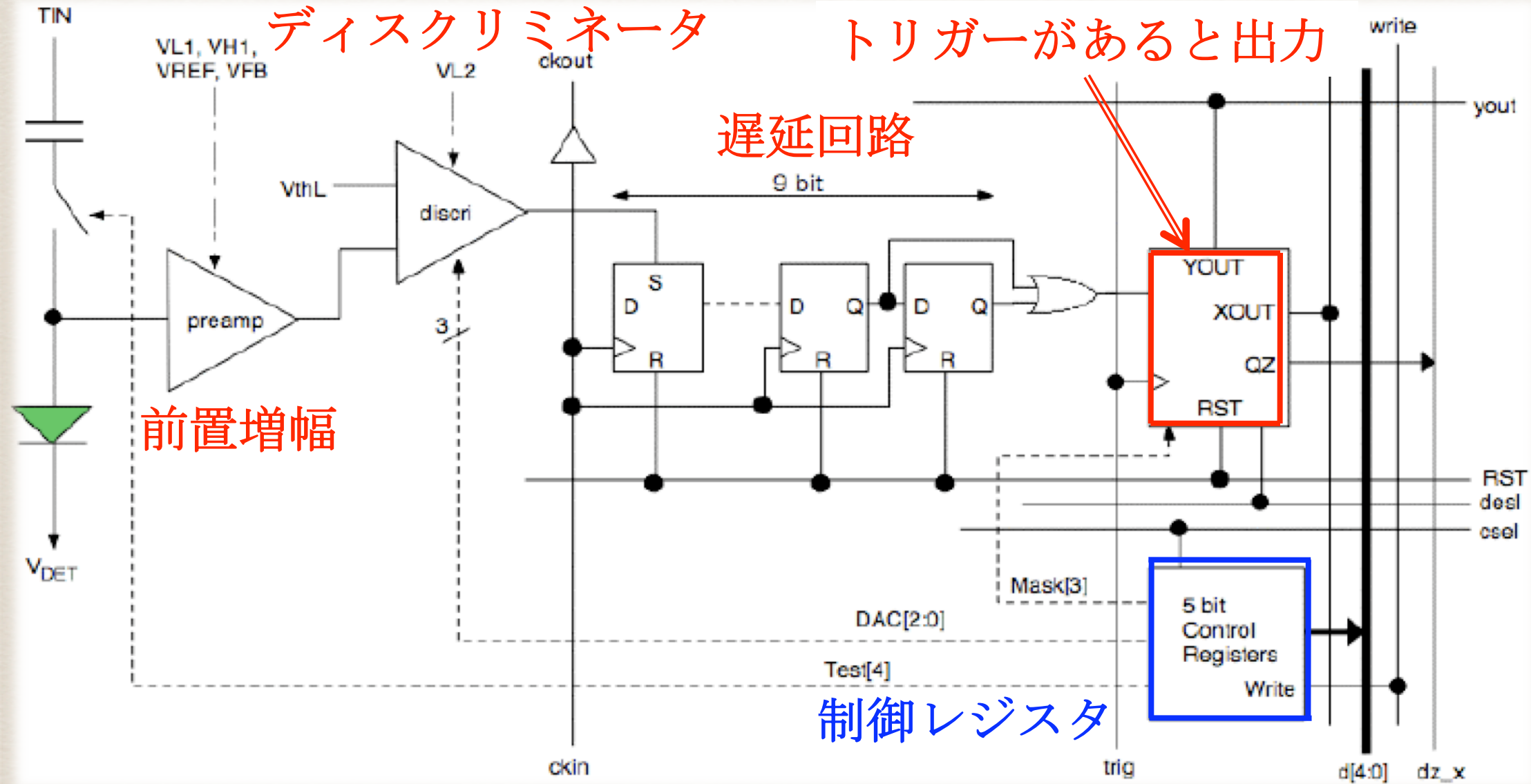


アドレスデコーダ  
でピクセルを指定。

60 μm × 60 μm / ピクセル  
(合計48 × 48ピクセル)

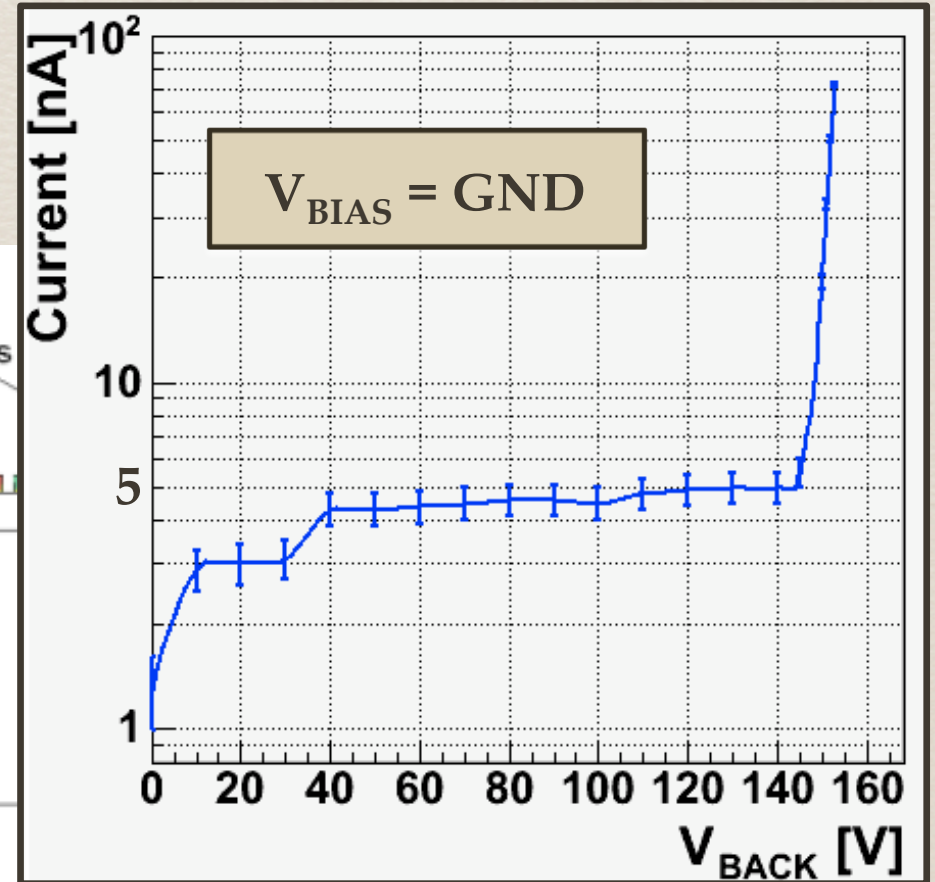
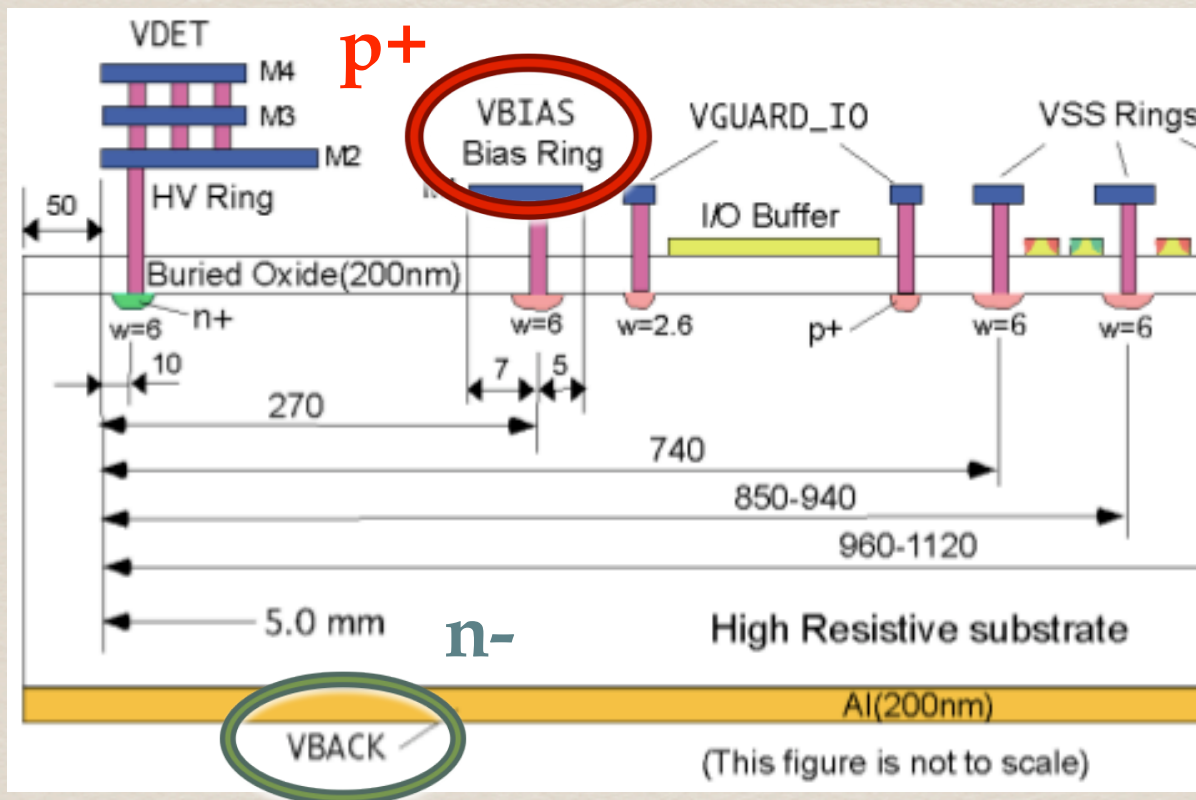
# ピクセル部

- トリガー入力を待つ遅延回路。
- 制御レジスタにより、テスト入力、マスク、 $V_{TH}$  微調整を行う。



# 2. センサー一部ダイオード特性

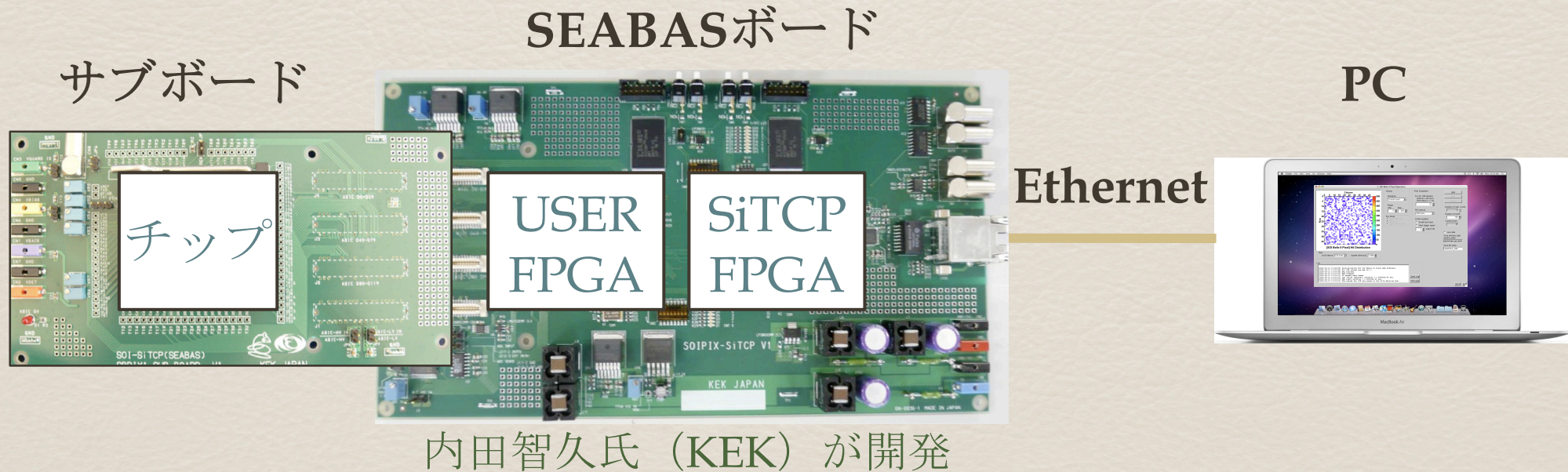
$V_{BIAS}-V_{BACK}$ 間のIV測定



~180  $\mu\text{m}$  thick,  
~14000  $e^-/\text{MIP}$

Breakdown電圧 ~ 150 V。荷電粒子の検出に十分な空乏層。

# 3. DAQシステムの開発



- \* SEABASボード : SOIピクセル評価用読み出しボード
  - \* USER FPGA: チップを制御するFirmware。Verilog HDLで作成。
  - \* SiTCP FPGA: TCP/IPの処理を行う。
- \* PC: SEABASボードを操作するSoftware。C++で作成。

これらを担当。6

# GUI (ROOTを利用して作成)

SOI Belle II Pixel Operation

Column

Row

[SOI Belle II Pixel] Hit Distribution

Display

Histogram

Current event

Range

Min 0 Max 500

Run Mode

Calib Data. Only

Data Only

Calib Data. & Data.

Pixel Parameters

CLK for shift registers  
(Interval: x 40 nsec)  
(TRG latency: x 7-8)

25

TRG interval

100 msec

Control registers

Enable test input.

Mask trigger signal.

3 Adjust Vth.

Start

Stop

Pause

Number of Calib. events

0

Number of events

100

Current event

25

save data

Save directory path

gui\_test2

ne

data

Timer

DAQ interval 100 msec

Update interval [s] 1.000

Log

```
[2009-08-27 17:06:59] Initialization for SOI Belle II Pixel I
[2009-08-27 17:07:05] All CSR values are set to 3.
[2009-08-27 17:07:05] DAQ started.
[2009-08-27 17:07:07] DAQ stopped.
[2009-08-27 17:07:07] 25 events were taken.
[2009-08-27 17:07:07] CLK (shift register) interval = 1.0000000e-06 sec.
[2009-08-27 17:07:07] TRG input interval = 1.0000000e-01 sec.
[2009-08-27 17:07:07] The values for CSR are saved in the file data/csr.dat.
```

Clear Log

Save Log

Reset

Exit

制御レジスタ、CLK (遅延回路用)、TRG入力の操作をGUI上でできる。

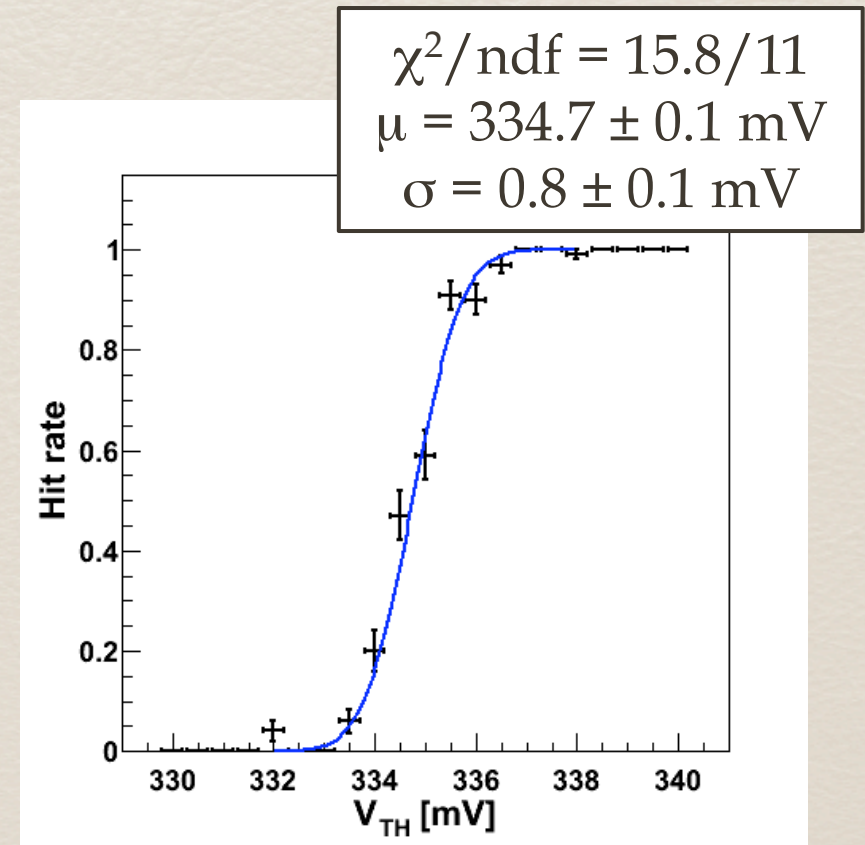
データはROOTファイルに保存

*Special thanks to  
M. Hirose (Osaka U.)*

# 4. しきい値電圧スキャン

ピクセルを適当に選び、しきい値電圧 $V_{TH}$ についてスキャンを行った。

右図は、Row = 6, Column = 13のピクセルについての図。



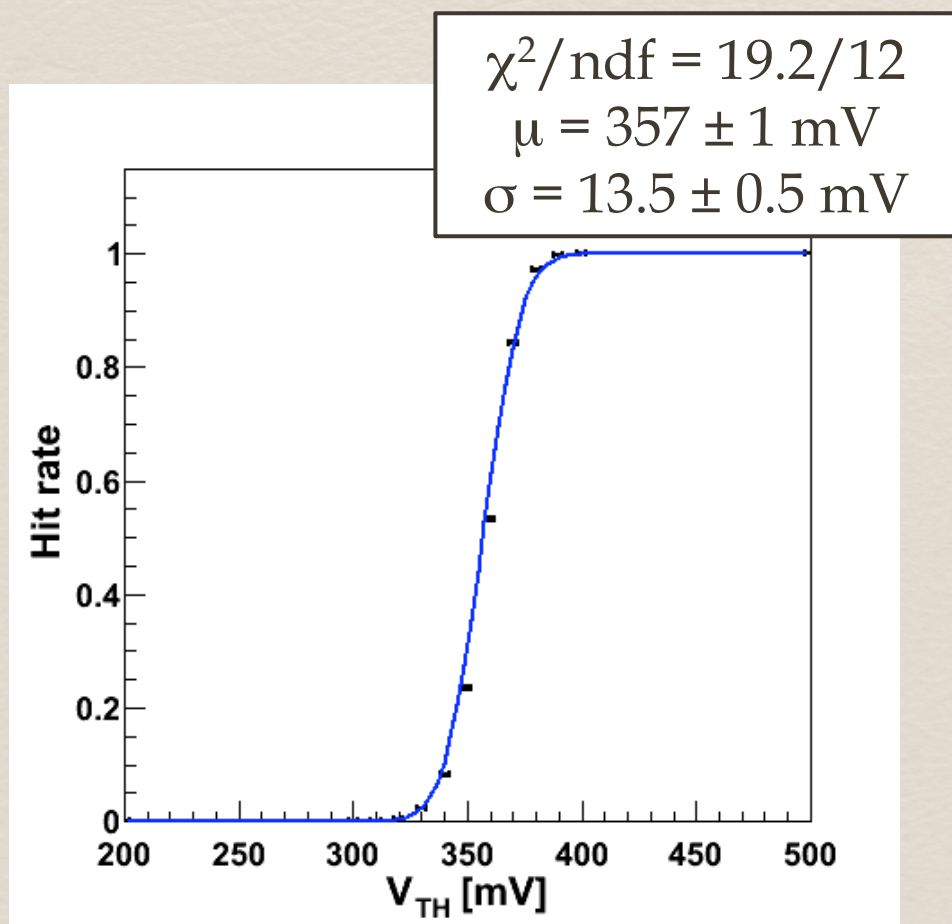
- ★ 各測定点について100イベント取得し、ヒット率を求めた。
- ★ Error Functionでフィットを行い、幅を求めた。

6ピクセルの測定を行い、 $\sigma = 0.7-1.0 \text{ mV}$ を得た。



# しきい値電圧のばらつき

全てのピクセルのヒット率の平均を、 $V_{TH}$ に依存して求めた。



$$\sigma = 13.5 \pm 0.5 \text{ mV}$$

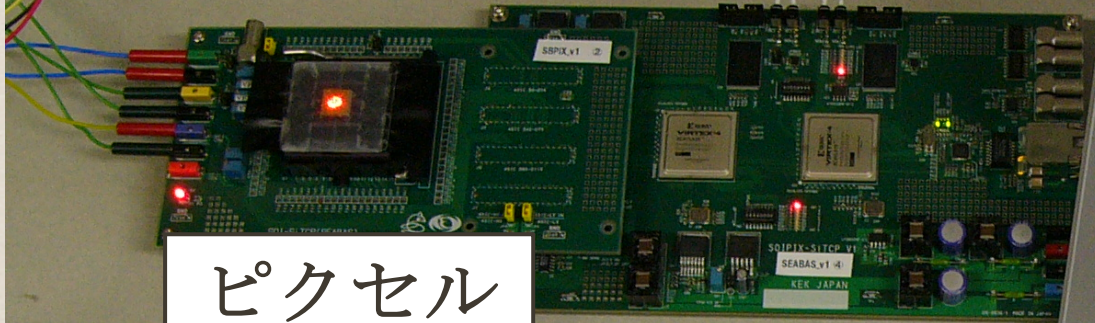
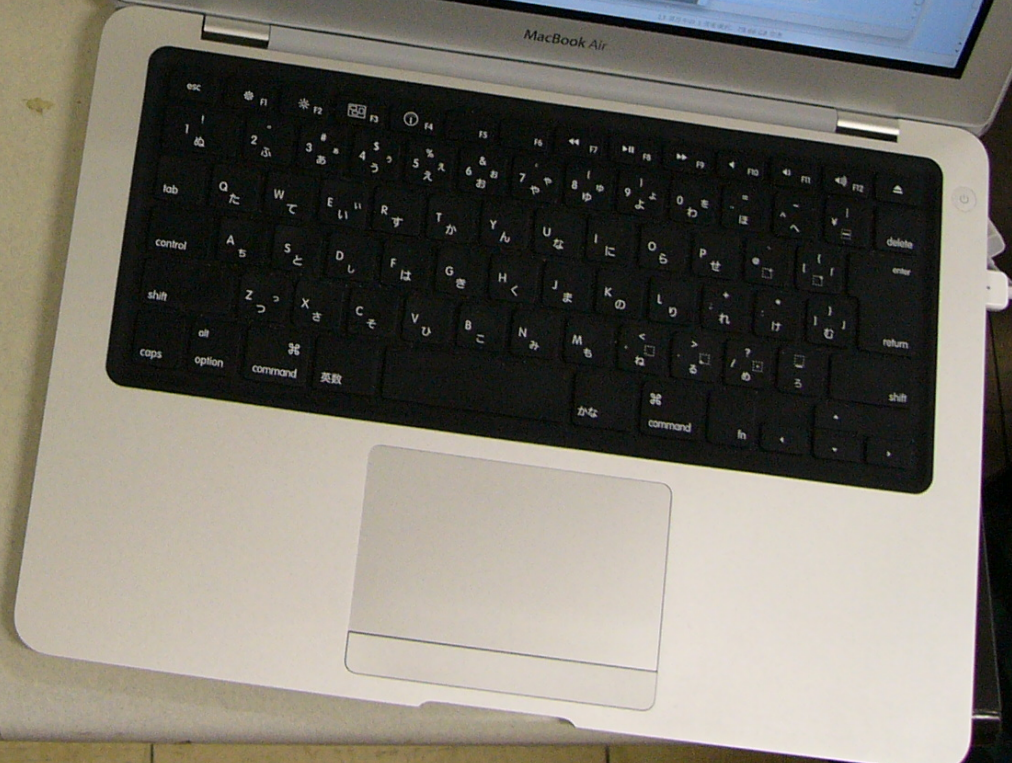
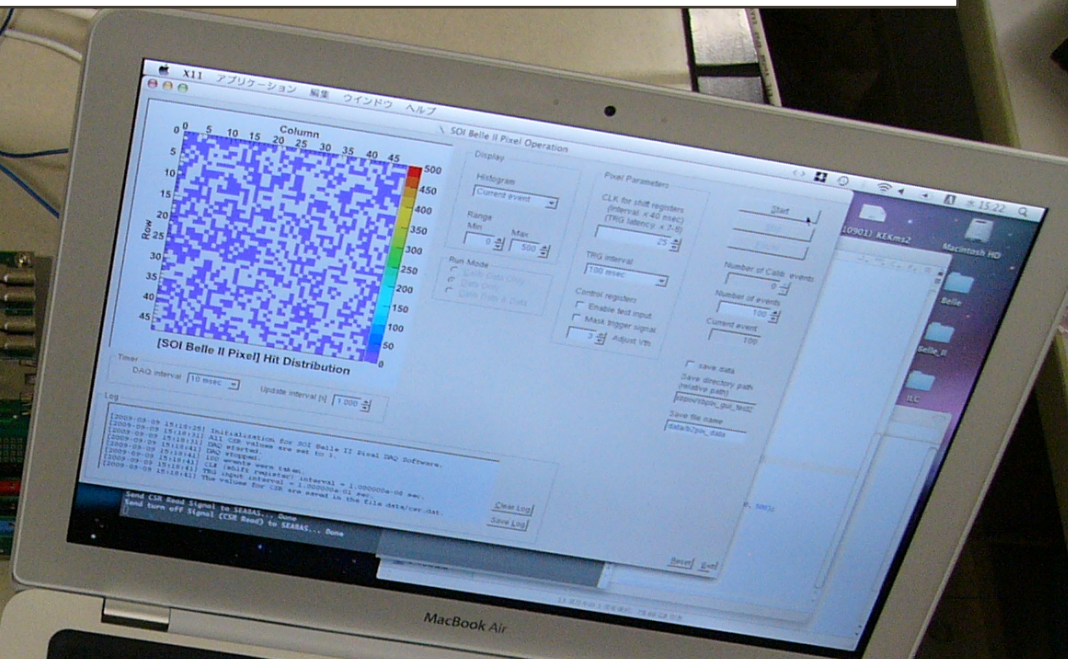
ピクセル間の $V_{TH}$ ばらつき、  
列毎増幅器の利得のばらつき  
に起因すると考えられる。

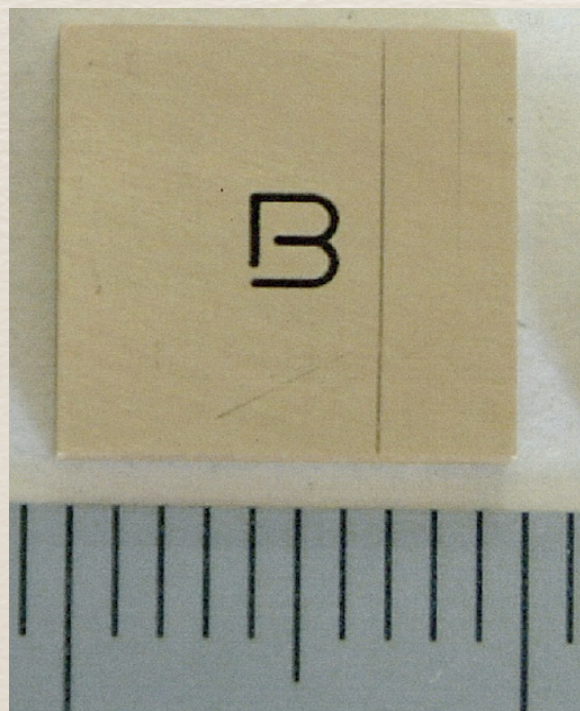
制御レジスタを用いたばらつき  
補正試験が、今後の課題の一つ。

# 5. レーザー照射試験

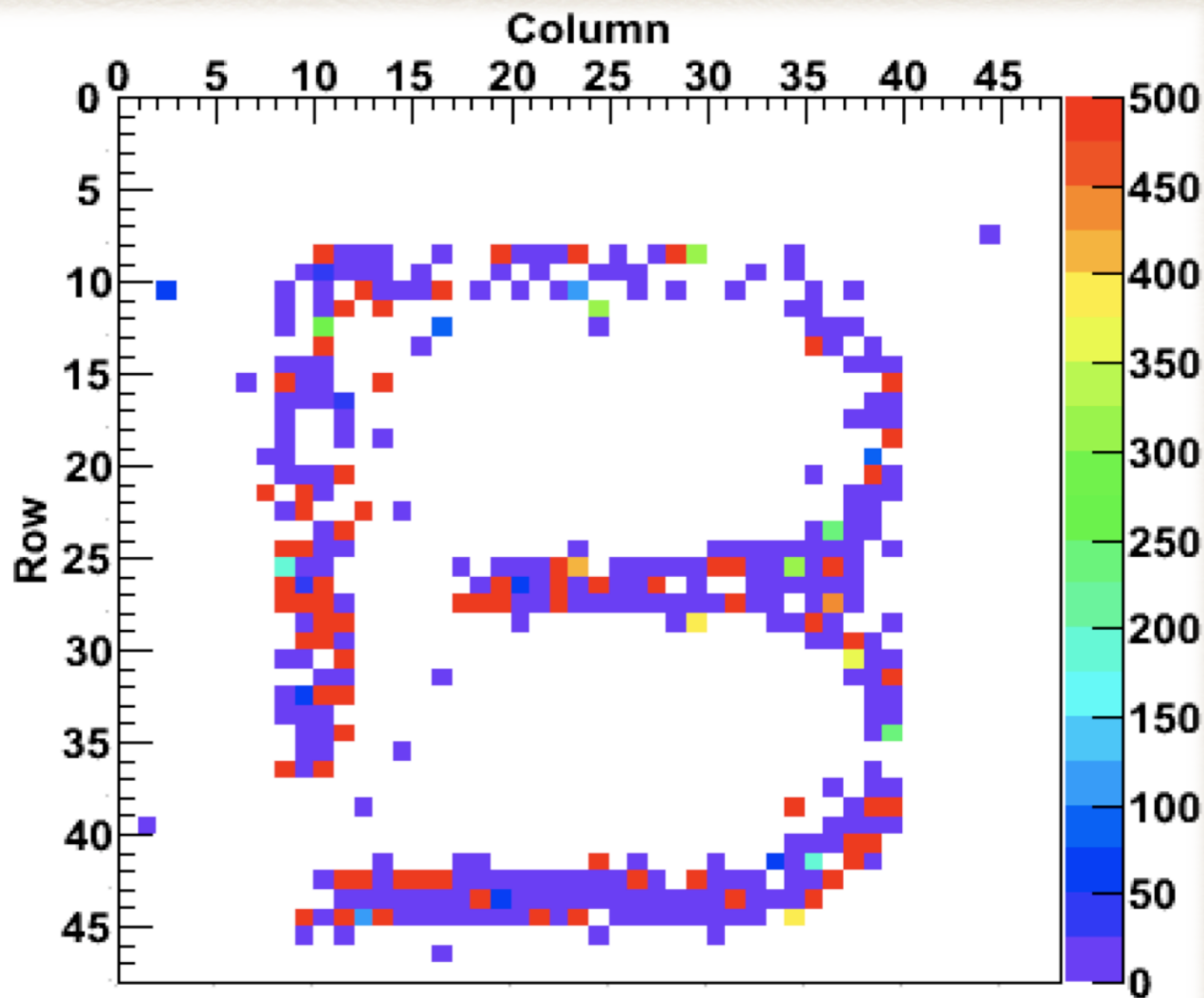
レーザー

ピクセル





はじめてのマスク  
イメージを取得。



[SOI Belle II Pixel] Hit Distribution

上図：3000イベントの和

DAQ: 数kHzまでテストを行った。  
ピクセルごとの読み出し時間は160 nsec。

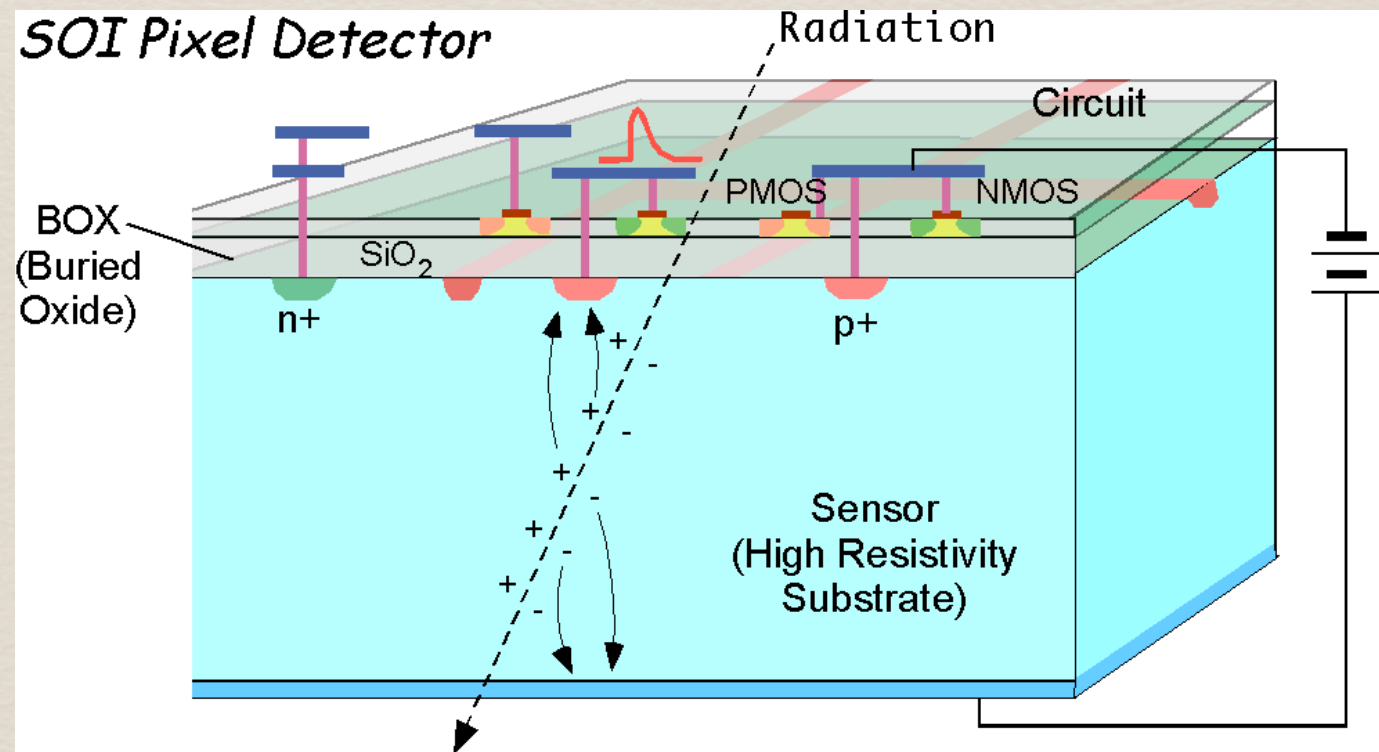
# まとめ

1. Belle II実験用SOIピクセル検出器の、はじめての試作品を制作した。
2. センサー部のダイオード特性の測定を行った。  
Breakdown電圧は約150 Vで、荷電粒子の検出のために十分な大きさ。
3. DAQシステムの開発を行った。  
ピクセル制御FPGAのFirmware開発。  
SEABAS操作とDAQのためのSoftware開発。 これら2つを担当した。
4. しきい値電圧スキャンを行った。  
ピクセル： $\sigma = 0.7\text{-}1.0\text{ mV}$ 。  
ばらつき： $\sigma = 13.5 \pm 0.5\text{ mV}$ 。制御レジスタによる調整を行いたい。
5. レーザー光を照射し、マスクイメージの取得を行った。

# Backup Slides

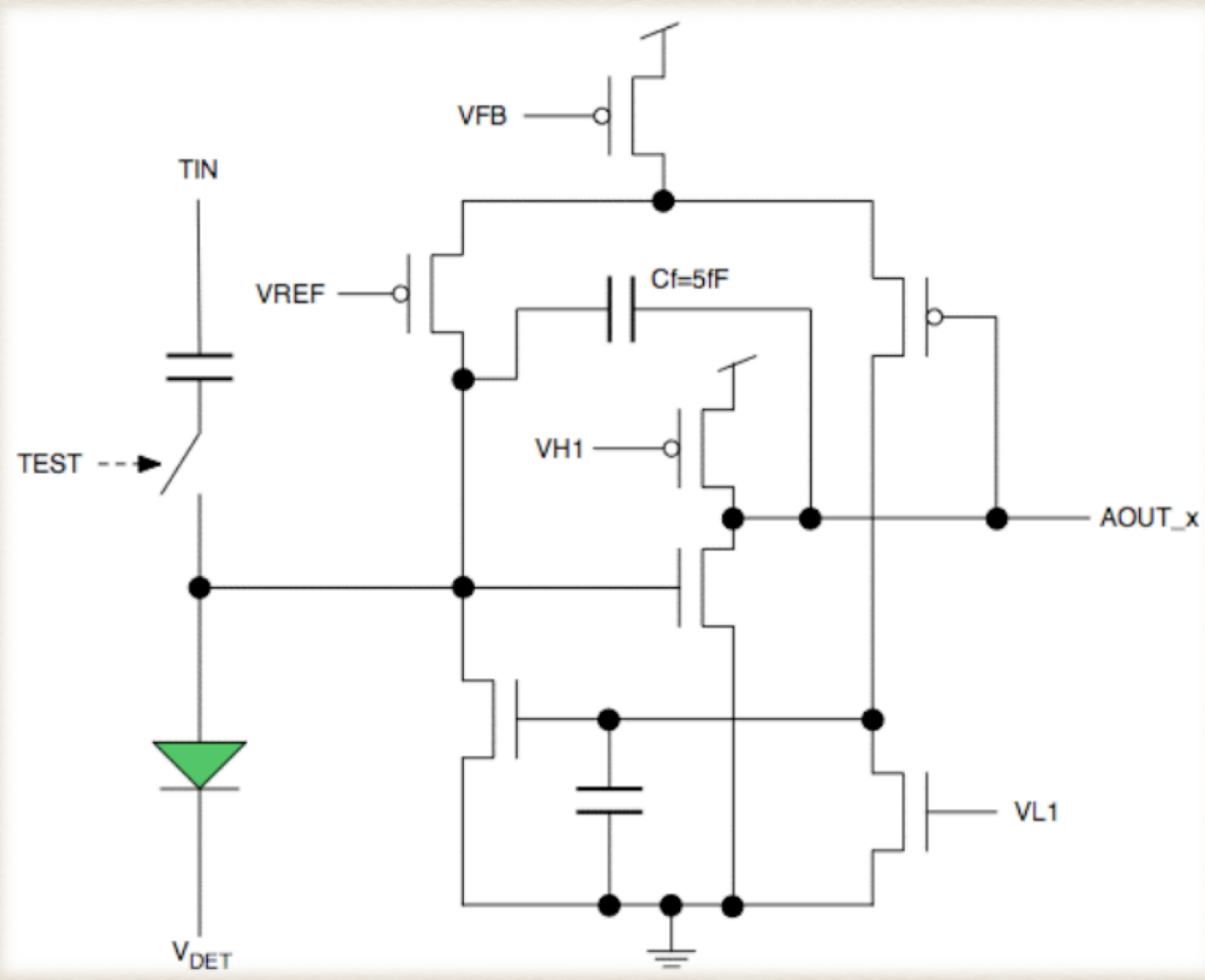
# SOIピクセル検出器

- \* センサーと読み出し回路を、絶縁膜を挟んで接合した検出器。
- \* ボンディングが不要。
- \* 低物質質量を実現でき、多重散乱を抑制。
- \* 浮遊容量が小さい（高速読み出しや低消費電力）。



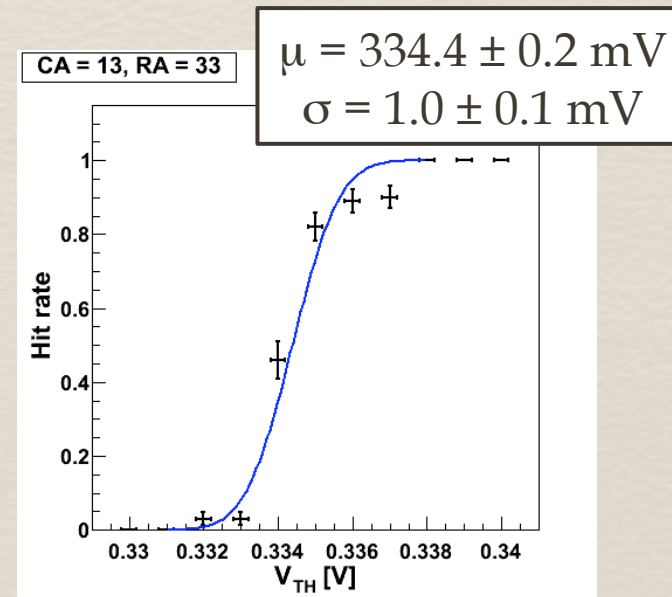
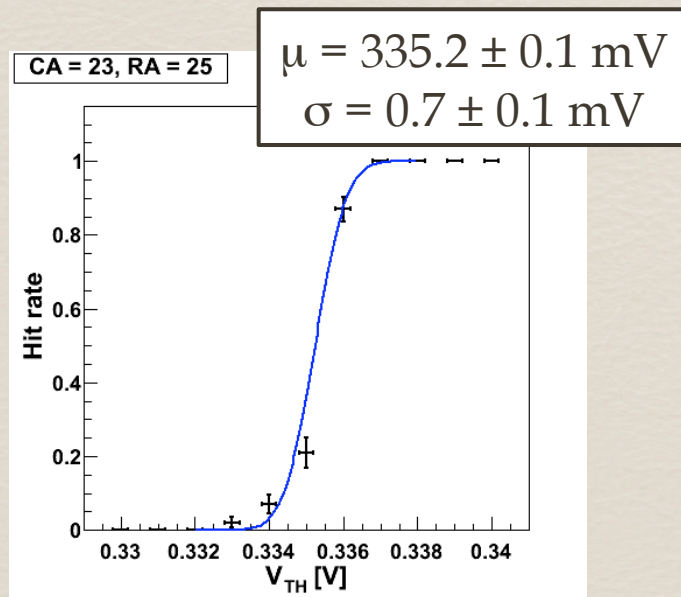
Belle II実験の  
ピクセル検出器の候補

# プリアンプ回路



# しきい値電圧スキャン

他のピクセルの結果 (一部)





# $V_{TH}$ 微調整

- \* 制御レジスタによる $V_{TH}$ 微調整機能の試験が必要。
- \*  $V_{FINE} = 1.8\text{ V}$ ではヒット率に有意な変化がない。(PMOS利用のため、これは予想通りの結果である。)
- \* 今後、どの程度 $V_{TH}$ 調整をできるか検証したい。

