

国際リニアコライダーにおける 崩壊点検出器用高精細CCDの 読み出し回路の研究開発

素粒子実験
板垣憲之輔



内容

- 国際リニアコライダー(ILC)
- 高精細CCD(FPCCD)崩壊点検出器
- FPCCD用読み出し回路
- 試作読み出し回路の試験
 - 単独試験
 - 試作FPCCD読み出し試験
- 次回試作回路
- まとめ



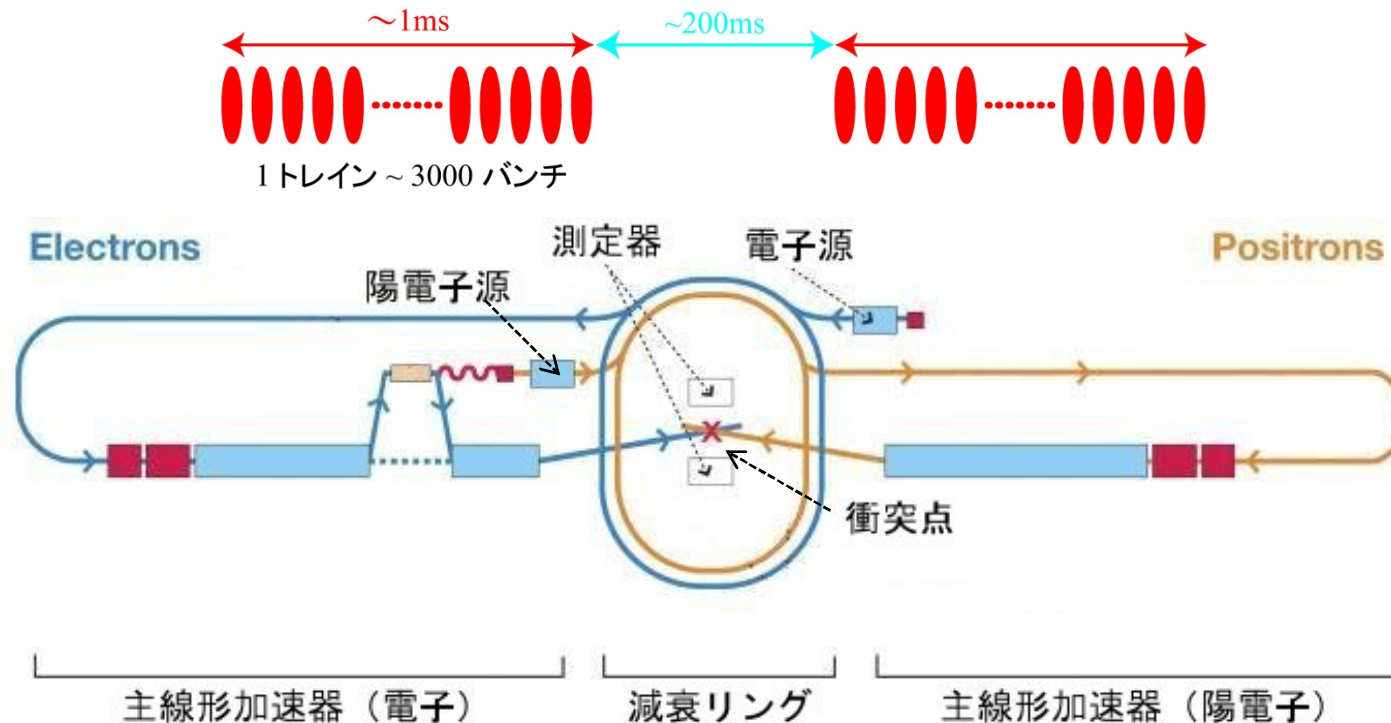
内容

- 国際リニアコライダー(ILC)
- 高精細CCD(FPCCD)崩壊点検出器
- FPCCD用読み出し回路
- 試作読み出し回路の試験
 - 単独試験
 - 試作FPCCD読み出し試験
- 次回試作回路
- まとめ



国際リニアコライダー (ILC)

- 国際リニアコライダー: 次世代の電子・陽電子衝突型線形加速器
 - 重心系エネルギー: 最大500 GeV (アップグレード後 : 1 TeV)
 - 最大ルミノシティ: $2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$
 - 積分ルミノシティ(四年間): 500 fb^{-1}
 - ILCのビーム: 200 msおきに衝突

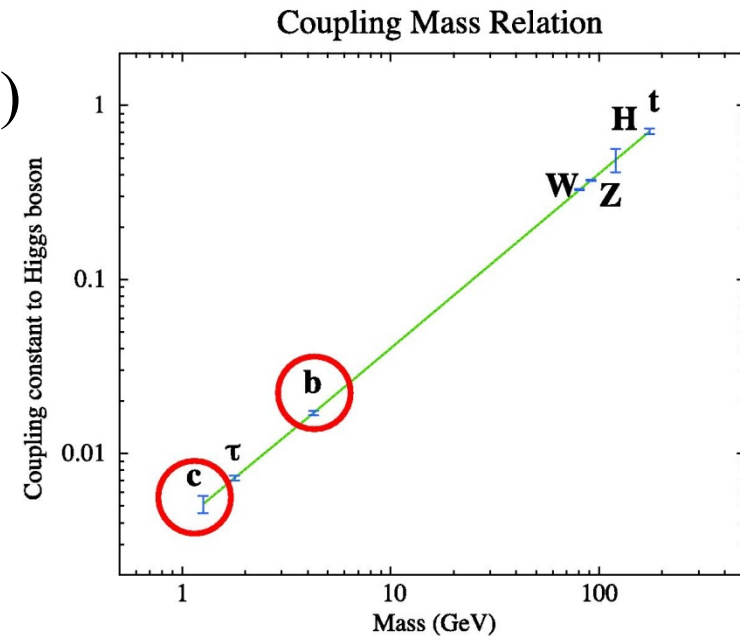


ILCでの崩壊点検出器

- ILCが目指す物理解析のため、高精度のbクォーク, cクォーク同定を求められる
 - ヒッグスの精密測定 ($H \rightarrow bb$, $H \rightarrow cc$)
 - トップの精密測定 ($t \rightarrow bW$)
 - ...

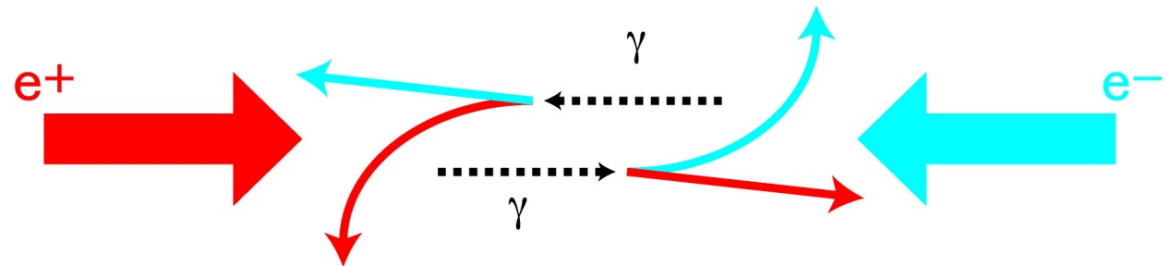
- 崩壊点検出器に高性能を要求
- 目標崩壊点分解能

$$\sigma = 5 \oplus \frac{10}{p\beta \sin^{3/2} \theta} (\mu m)$$

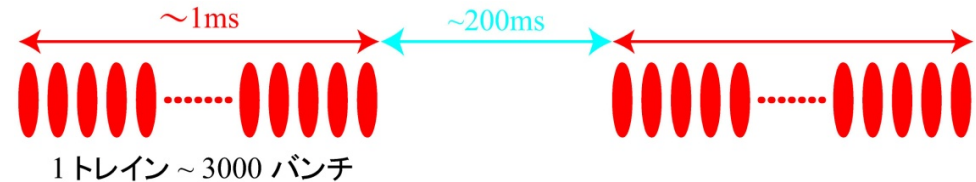


ILCでの崩壊点検出器

- 高い崩壊点分解能を得るため衝突点近傍に配置
- ビーム衝突時に発生するペア・バックグラウンドが多数のピクセルにヒットする



- 1トレインの衝突により生じるデータを蓄積すると10%以上のピクセルにヒットする(ピクセル・サイズ $20 \mu\text{m} \times 20 \mu\text{m}$ を仮定)
- 正確な飛跡再構成のためにはピクセル占有率を数%以下に抑える必要がある



- 解決策
 - トレインを20程度に分割(読み出し・保存)
 - ピクセルを高精細にする ⇒ 日本グループ独自のアイデア
- ⇒ 高精細CCD崩壊点検出器を開発

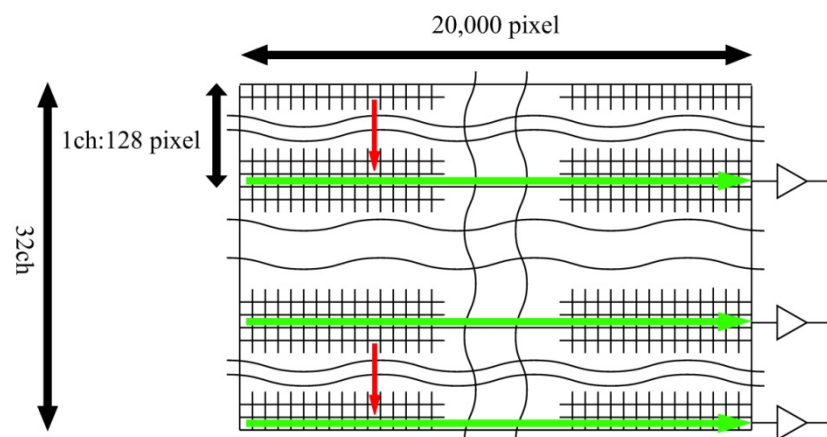
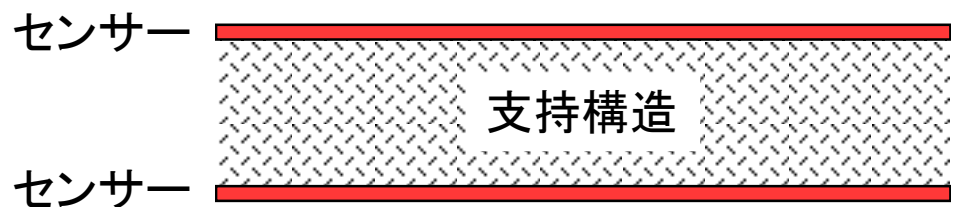
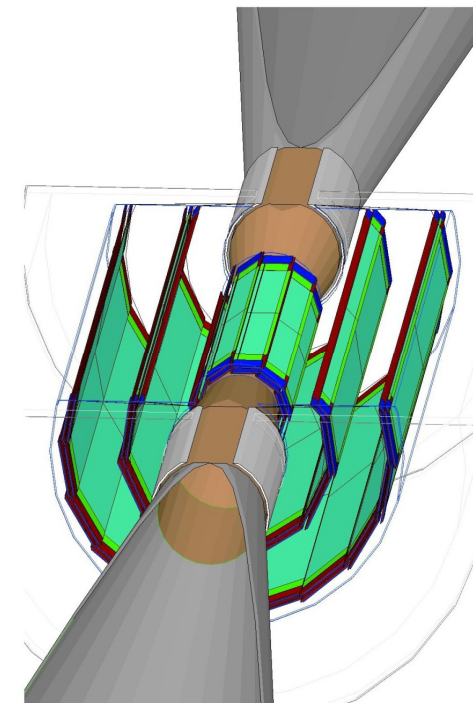
内容

- 国際リニアコライダー(ILC)
- 高精細CCD(FPCCD)崩壊点検出器
- FPCCD用読み出し回路
- 試作読み出し回路の試験
 - 単独試験
 - 試作FPCCD読み出し試験
- 次回試作回路
- まとめ



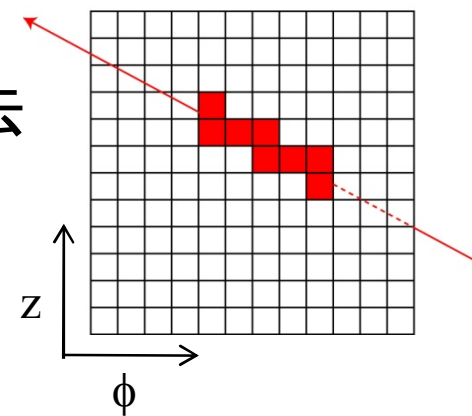
高精細CCD崩壊点検出器

- 高精細CCD崩壊点検出器
 - 高精細CCD(FPCCD)
 - ピクセルサイズ: $5\ \mu\text{m} \times 5\ \mu\text{m}$
 - 有感層の厚さ: $15\ \mu\text{m}$ (全空乏)
 - 総ピクセル数: 約 10^{10} ピクセル
 - 総チャンネル数: 6,080 チャンネル
 - $20,000 \times 128\ \text{pix}/\text{ch}$
 - 裏表にセンサーを取り付けた支持構造3対からなるダブル・レイヤー



高精細CCD崩壊点検出器

- 以下に高精細CCD崩壊点検出器の特徴をあげる
 - **高い空間分解能**: 高精細であるため
 - **高い二粒子分解能**: 有感層が全空乏化されており、信号電荷の熱拡散が抑えられるため
 - 粒子入射方向識別によるバックグラウンド除去
 - バックグラウンドは磁場によりビームパイプから見て大きな角度で入射する
 - トレイン間に読み出す
 - ビーム由来の高周波ノイズの影響を受けない
- 読み出しまで含めた技術確立のため、**我々は読み出し回路の開発をおこなった**



内容

- 国際リニアコライダー(ILC)
- 高精細CCD(FPCCD)崩壊点検出器
- FPCCD用読み出し回路
- 試作読み出し回路の試験
 - 単独試験
 - 試作FPCCD読み出し試験
- 次回試作回路
- まとめ



FPCCD用読み出し回路

- 読み出し回路を開発するにあたり、以下の三つの要求がある

□ 消費電力 < 6 mW/ch

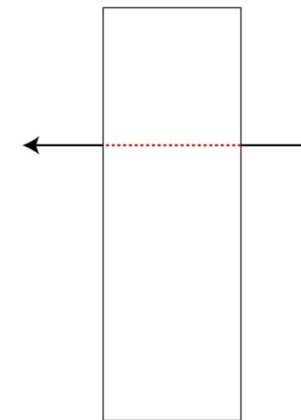
- 崩壊点検出器はクライオスタット内に設置
- 発熱を抑えるため電力消費に制限: 全体で100 W以下

□ 読み出し速度 > 10 Mpix/sec

- 20,000 × 128 ピクセルをトレイン間の200 ms に読み出す

□ ノイズレベル < 30 電子

- ななめ入射粒子から得られる信号が小さい
 - 高精細なため、有感層を通る距離が短い



→ これらの要求を満たす読み出し回路の開発を行った

FPCCD用読み出し回路

- 以下の方法で要求を解決する

□ 消費電力 < 6 mW/ch

- CCD読み出し回路での主な電力消費源：ADC

- 電荷再分配型ADCを使用

- ビットに対応する大きさの容量に基準電圧で貯めた電荷と比較することで変換するため低消費電力

□ 読み出し速度 > 10 Mpix/sec

- 5 Mpix/secの読み出し速度を持つADCを二つ用いる

□ ノイズレベル < 30 電子

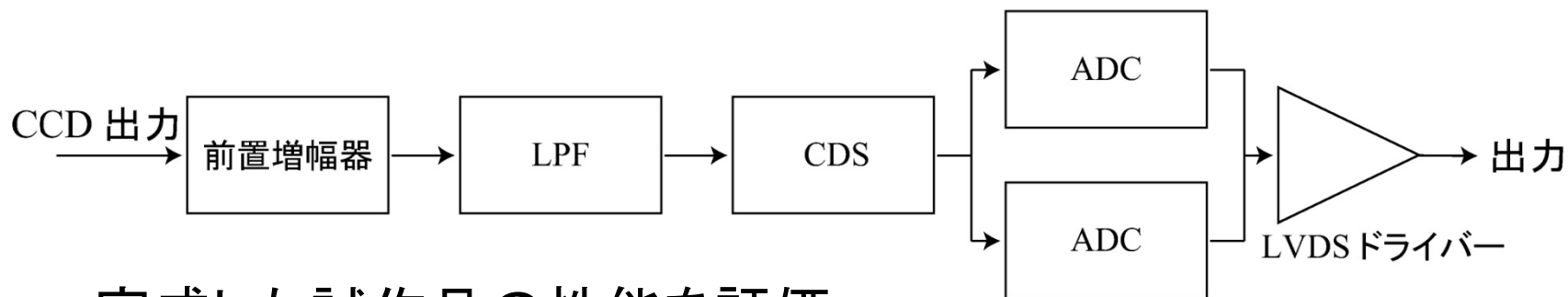
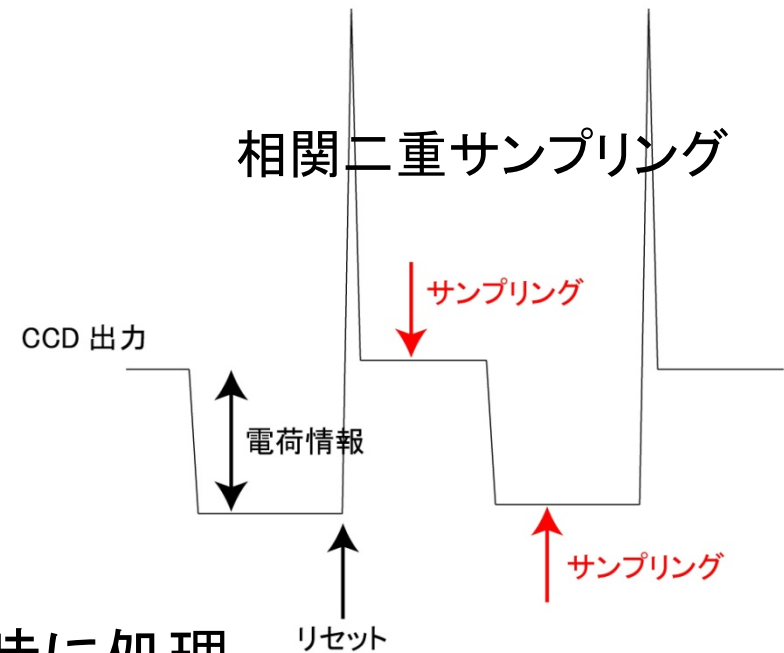
- ローパスフィルター、相関二重サンプリング回路(CDS)により、30 電子以下を達成する

→ 以上を踏まえ、読み出し回路を開発



FPCCD用読み出し回路

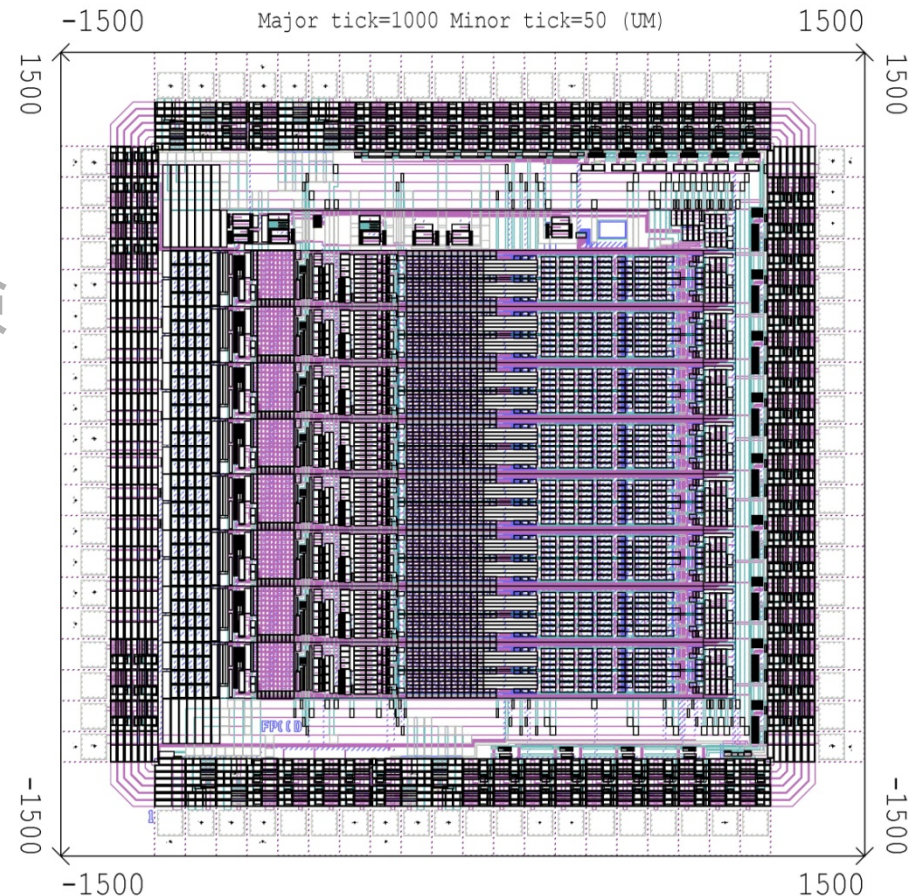
- 読み出し回路のデザイン
 - 前置増幅器
 - ローパスフィルター (LPF)
 - 相関二重サンプリング回路 (CDS)
 - 電荷情報のみ取り出す
 - 電荷再分配型ADC × 2
 - 信号のサンプルとA/D変換を同時に処理
 - LVDS ドライバー



→ 完成した試作品の性能を評価

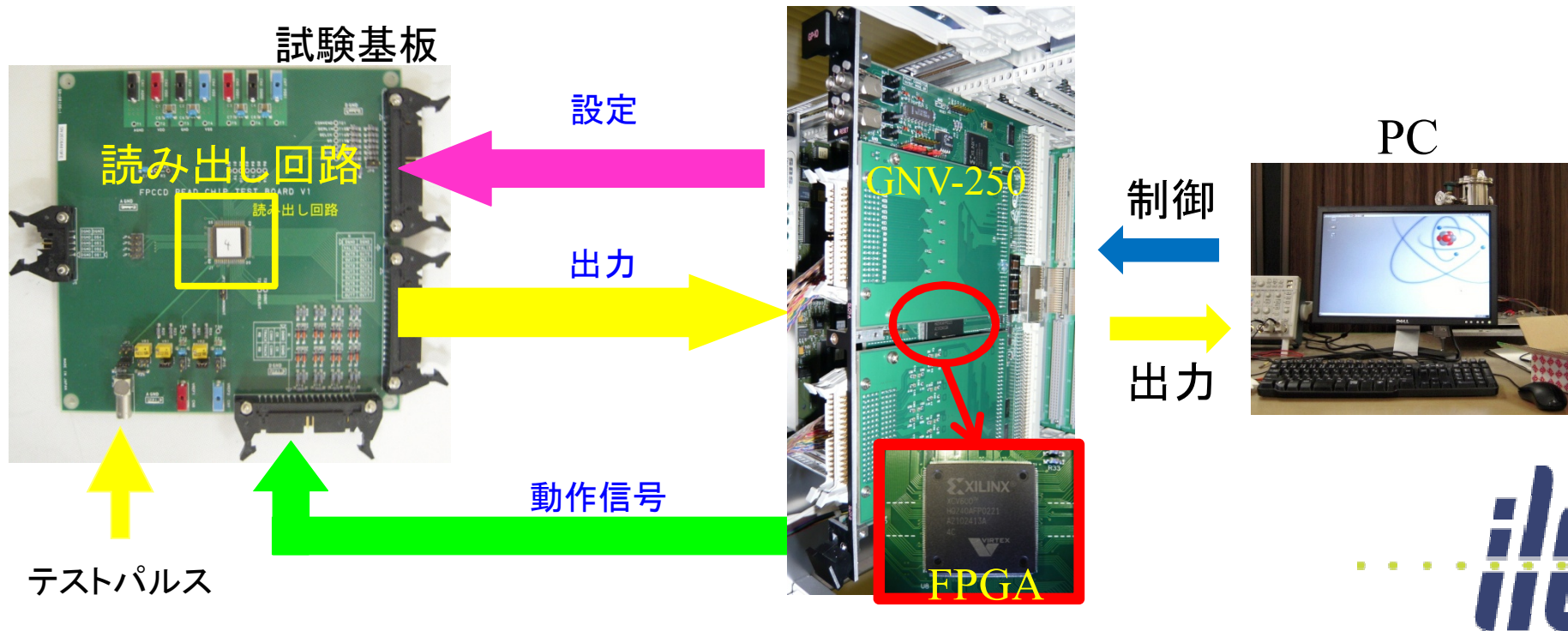
内容

- 国際リニアコライダー(ILC)
- 高精細CCD(FPCCD)崩壊点検出器
- FPCCD用読み出し回路
- **試作読み出し回路の試験**
 - 単独試験
 - 試作FPCCD読み出し試験
- 次回試作回路
- まとめ



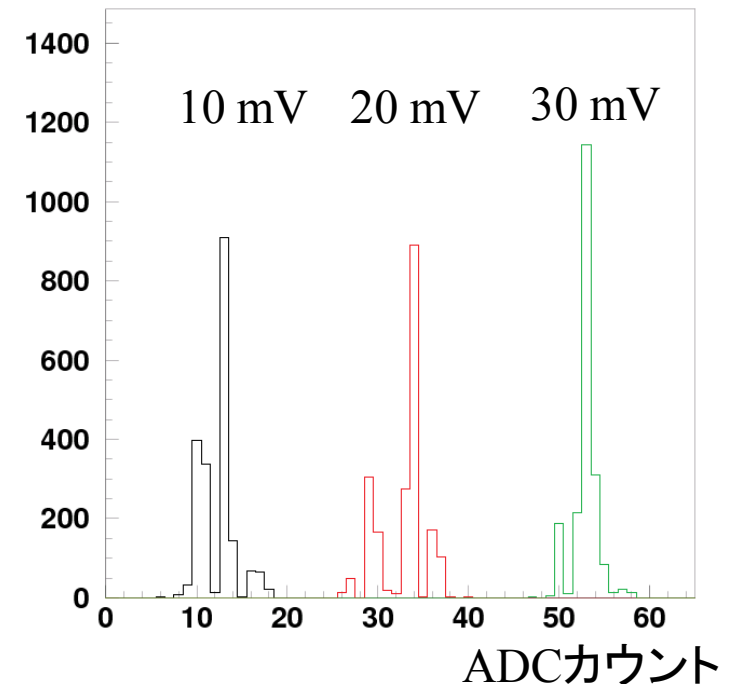
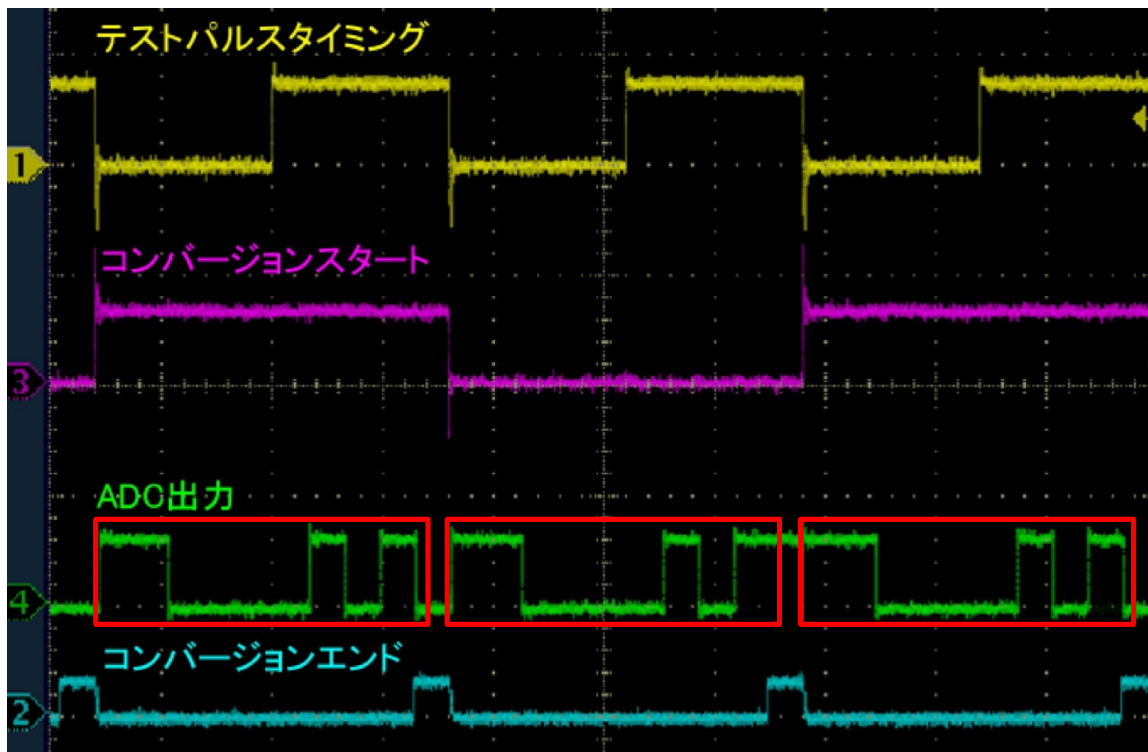
読み出し回路試験：セットアップ

- 回路の制御とデータの取得にVMEモジュール(GNV-250)を使用
 - 内蔵FPGAに読み出し回路の制御ロジックを実装
 - 制御ロジックはPCで制御
 - 読み出し回路の出力データをPCに送信



読み出し回路試験：動作確認

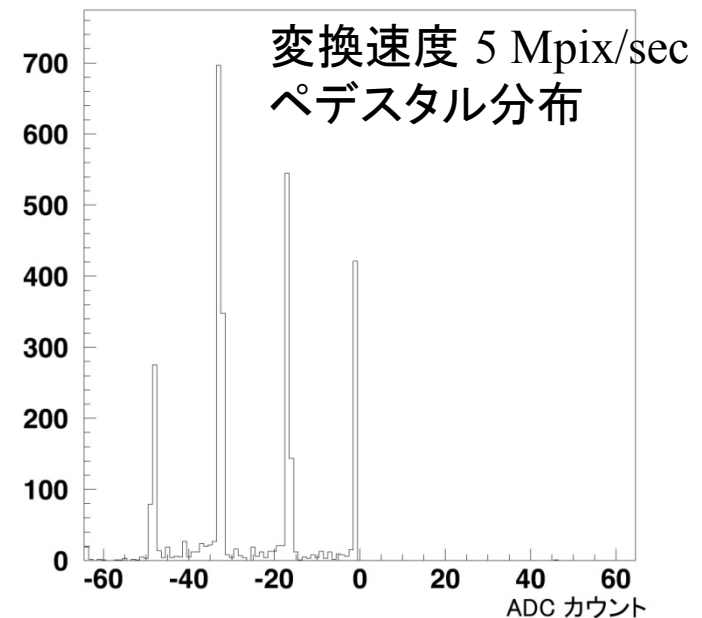
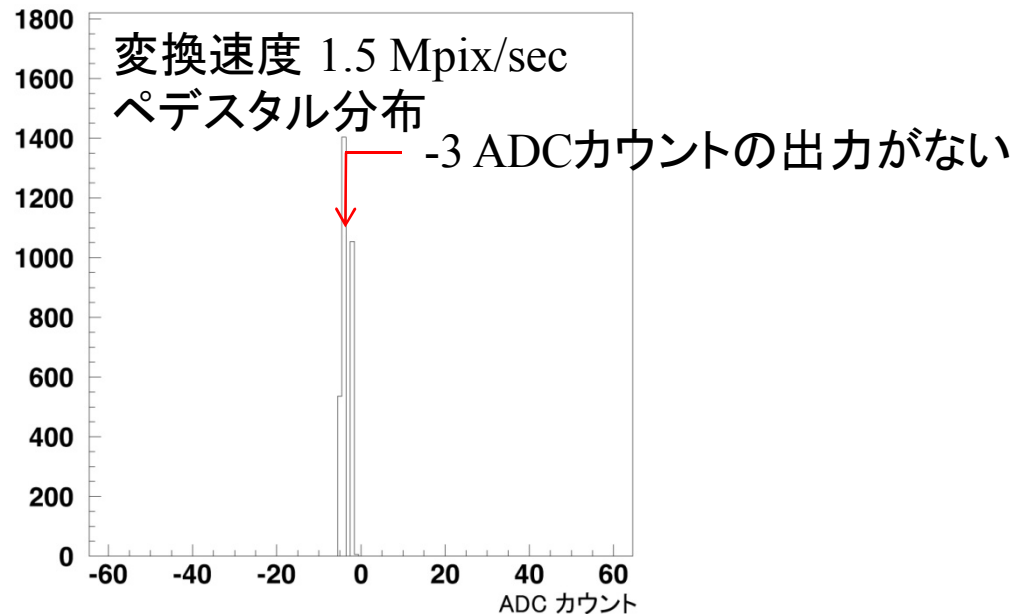
- テストパルスを入力し、動作確認をおこなった
 - 変換速度 10 kpix/sec , テストパルス 5 mV



- 入力信号のタイミングで出力信号が得られた
- 信号電圧に対する感度を確認

読み出し回路試験：性能評価

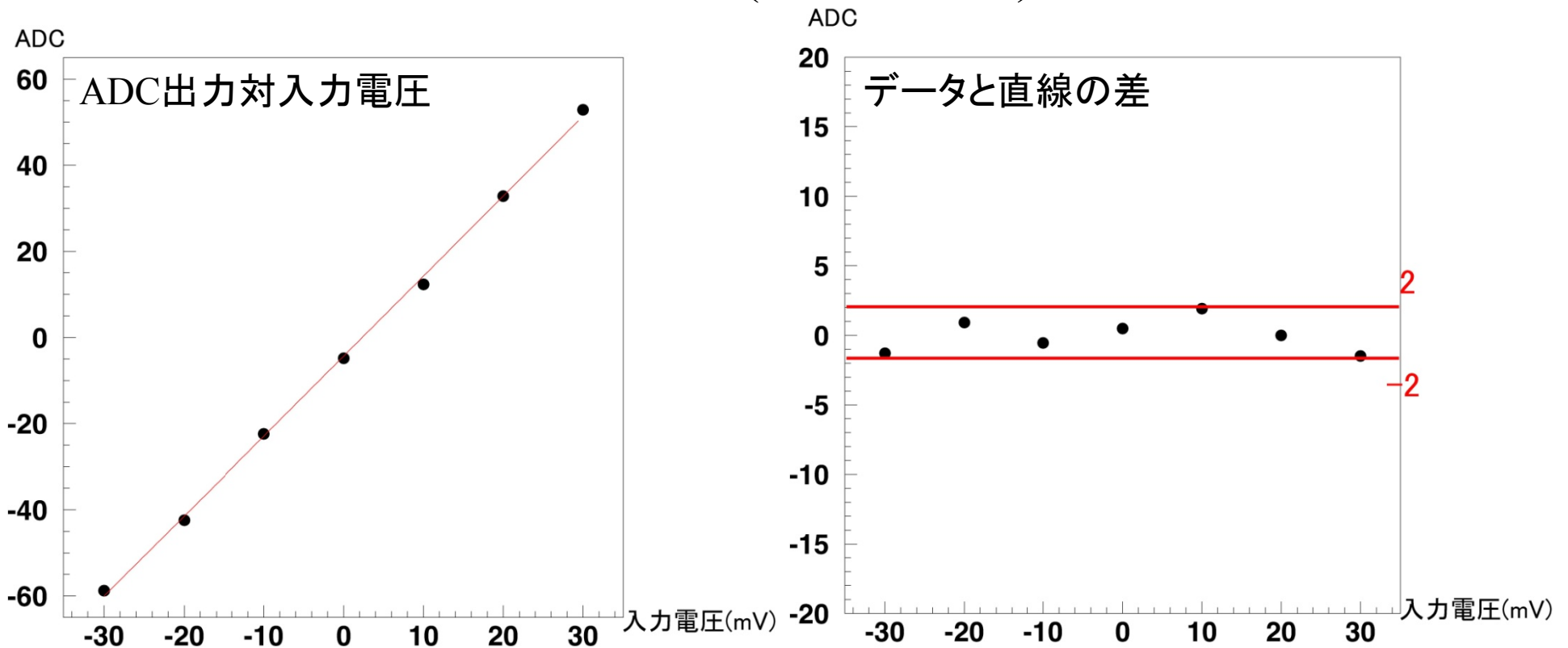
- 読み出し回路の要素は動作することが確認できた
→ 性能を評価した
- 変換速度を上げ、正常に動作する速度の限界を求めた



- 1.5 Mpix/sec 以上の変換速度ではADC分布が広がる
- 一部のADCカウントが出力されない ⇒ 後述
- 以後の結果は**変換速度1.5 Mpix/sec**での結果

読み出し回路試験：性能評価

- 入力と出力の線形性を調べた
 - 入力電圧：-30 mV ~ 30 mV (10 mV 刻み)

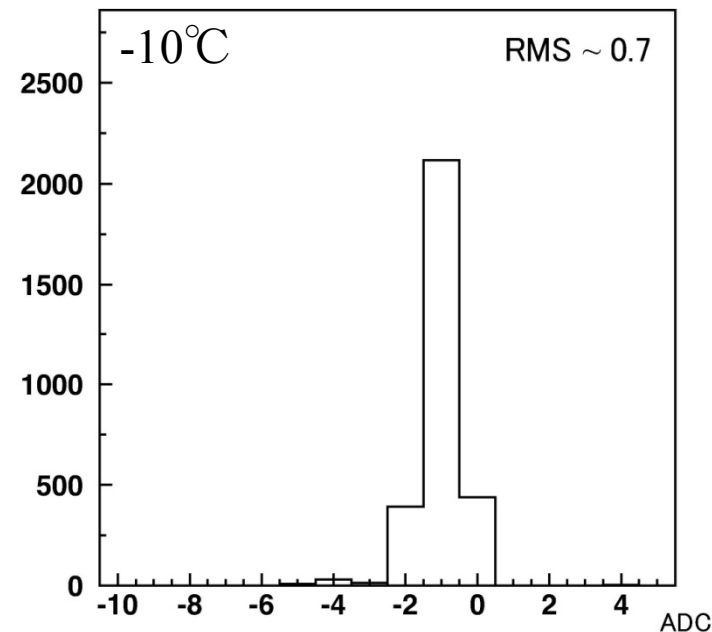
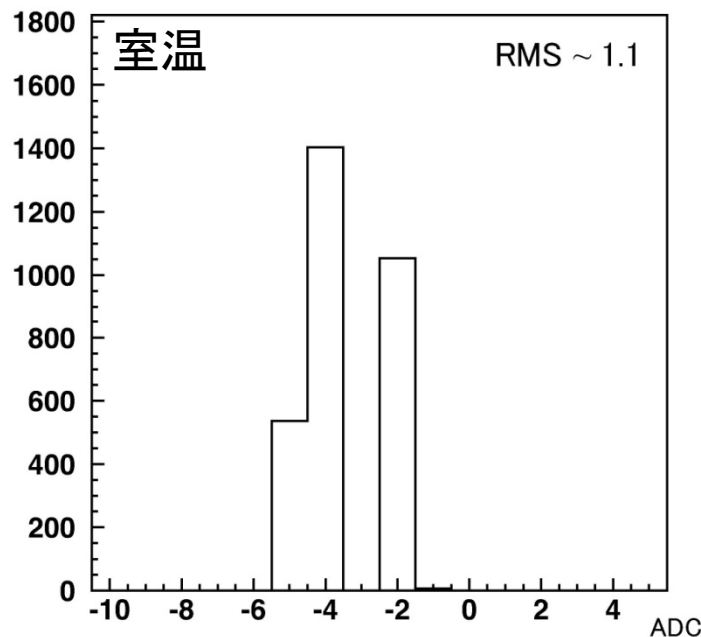


- 線型性は **±80 電子以内**に収まる (1 ADCカウント = 40 電子)
- 出力されないADCの影響で悪くなっていると思われる(後述)



読み出し回路試験：性能評価

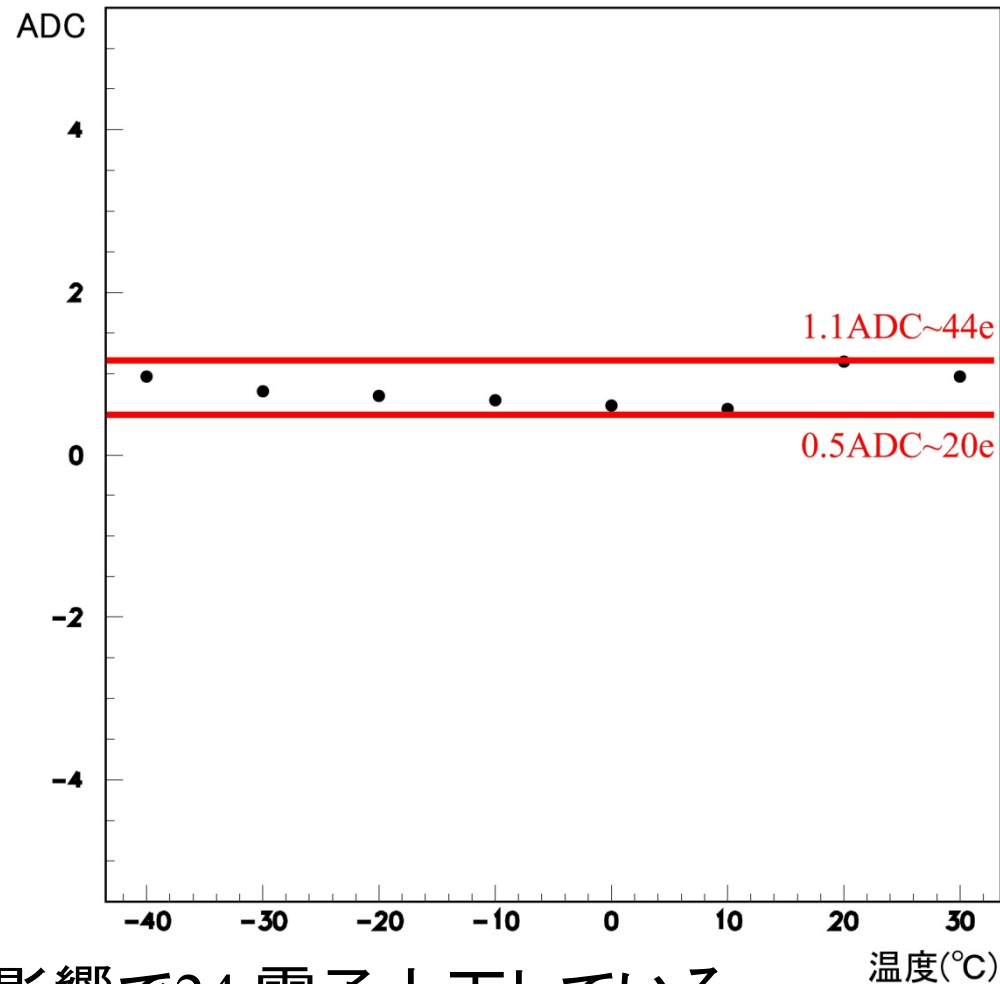
- ノイズレベル及びその温度依存性を調べた
- 室温でのノイズレベル：RMS ~ 1.1 ADCカウント = 44 電子
 - 目標性能：30 電子以下



- 温度を変えるとペDESTAL分布が移動
 - 出力されないADCカウントは移動しない
 - ペDESTAL分布の形が変わり、RMSが大きく変動

読み出し回路試験：性能評価

- 各温度でのRMS

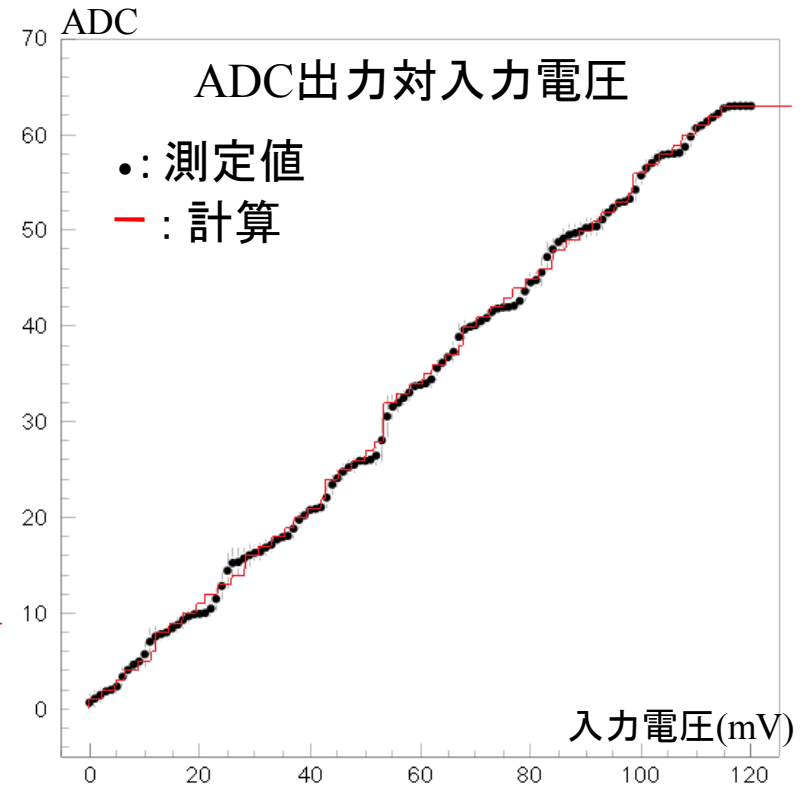
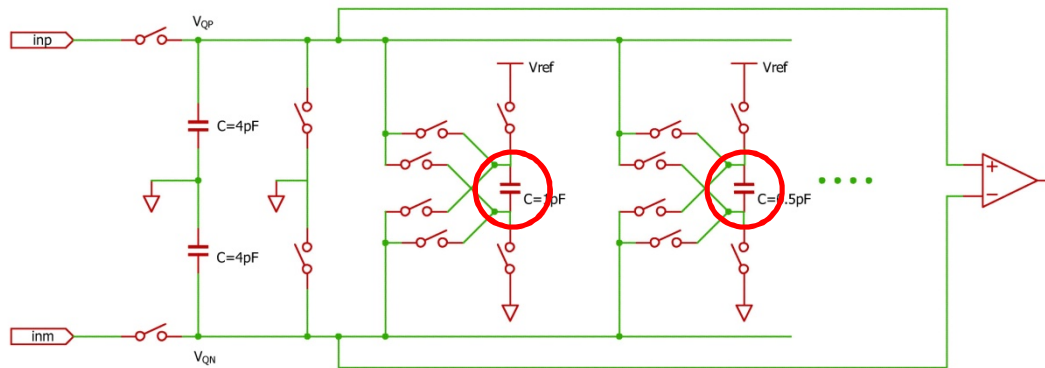


- 出力しないADCの影響で24 電子上下している
→ ノイズの温度依存性は24 電子より小さい
- 次回試作で詳細にノイズの温度依存性を調べる



読み出し回路試験：性能評価

- いくつかのADCカウントが出力されない
- 電荷再分配型ADCの容量が正しい値からずれていることが考えられる



- 容量が増加したときの出力を計算した (Scilab)
- 計算と測定値がほぼ一致した
- 浮遊容量により容量素子が増加していると思われる
- 次回試作で改善(後述) ...

内容

- 国際リニアコライダー(ILC)
- 高精細CCD(FPCCD)崩壊点検出器
- FPCCD用読み出し回路
- **試作読み出し回路の試験**
 - 単独試験
 - 試作FPCCD読み出し試験
- 次回試作回路
- まとめ

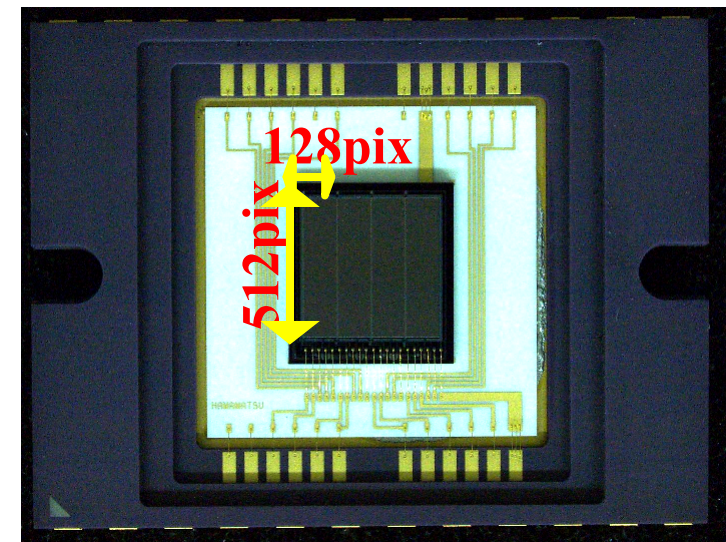


試作FPCCD

- 実機のFPCCD (最終目標)
 - ピクセルサイズ: $5 \times 5 \mu\text{m}^2$
 - 有感層の厚さ: $15 \mu\text{m}$
 - チャンネル数: 32
 - $20,000 \times 128 \text{ pix/ch}$
- 試作FPCCD
 - ピクセルサイズ: $12 \times 12 \mu\text{m}^2$
 - 有感層の厚さ: $15 \mu\text{m}$
 - チャンネル数: 4
 - $512 \times 128 \text{ pix/ch}$

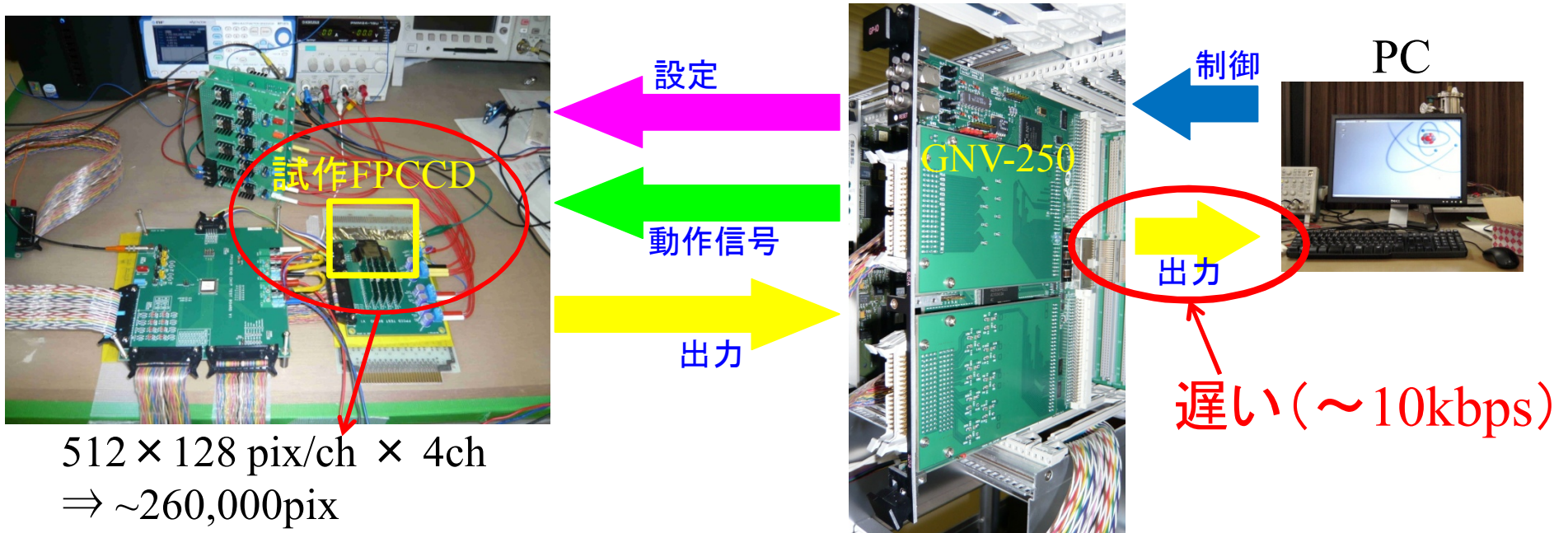
- 試作FPCCDを試作読み出し回路で読み出した

試作FPCCD



読み出し回路試験：読み出しセットアップ

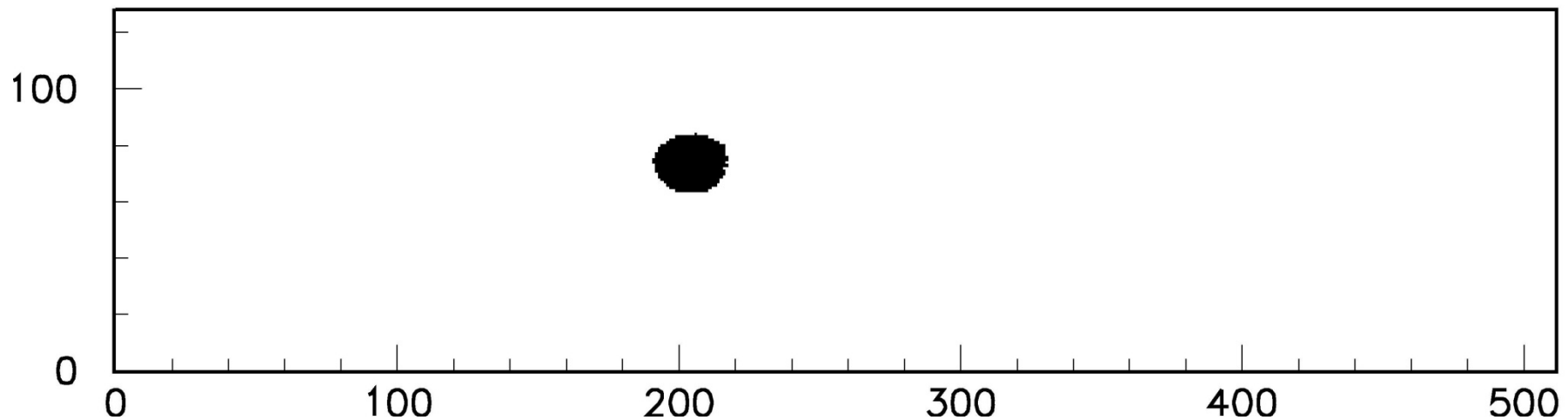
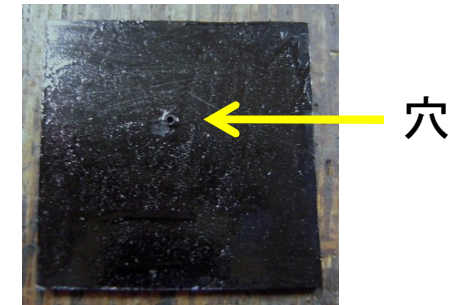
- 回路の制御とデータの取得にGNV-250を使用



- GNV-250(VME)とPCの間の通信速度が遅い
 - 読み出し回路の出力をメモリに一次保存する必要がある
 - メモリ容量の限界から全ピクセルデータを保存できない
 - 7ビット情報を10ADCカウントを閾値として1ビットに落とす
 - 1チャンネル(512 × 128 pixel)のみ読み出す

読み出し回路試験：CCD読み出し

- 試作FPCCDを読み出した
- FPCCDに遮光板をかぶせ、LEDの光を照射
 - 照射時間：1 μ s
- 黒い部分が光に反応したピクセル



- 遮光板の穴の下のピクセルが光に反応している様子がわかる
- 現行の回路構成でFPCCDを読み出せる
- 全ピクセルを読み出すためにGNV-250を置き換える基板を製作
- 今後、読み出し試験をおこなう

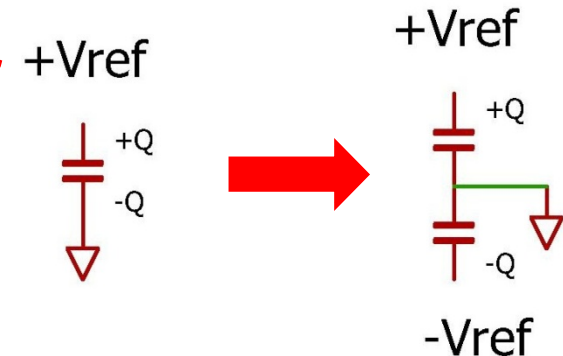
内容

- 国際リニアコライダー(ILC)
- 高精細CCD(FPCCD)崩壊点検出器
- FPCCD用読み出し回路
- 試作読み出し回路の試験
 - 単独試験
 - 試作FPCCD読み出し試験
- **次回試作回路**
- まとめ



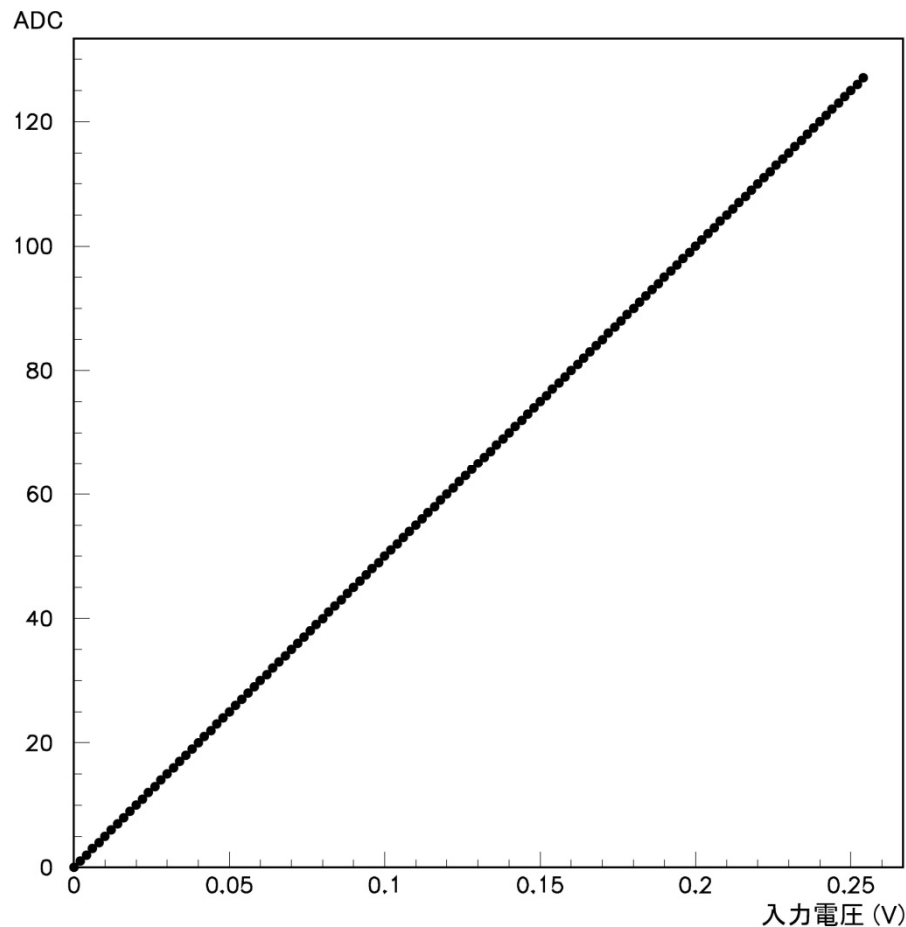
次回試作回路での改良点

- 来年度、次回試作回路を製作予定
- 変換速度 1.5 Mpix/sec
 - 電流源からコンパレータに流入する電流が高速動作時に不足
→ 電源端子を増やし、電流源の安定化を図る
- ADCの出力問題
 - ビットに対応する容量素子の容量が浮遊容量により増大
 - 容量素子の接続を切り替えるCMOSスイッチの浮遊容量
 - 容量素子の底面電極とシリコン基板との間の寄生容量
 - CMOSスイッチを構成するトランジスタの個数をビットに比例
 - 容量素子を二つ用意し、底面電極を接地



シミュレーションでの性能評価: ADC

- 新しい設計のADCについてSPICEシミュレーションをおこなった
- 入力電圧 0 mV~254 mV (差動)

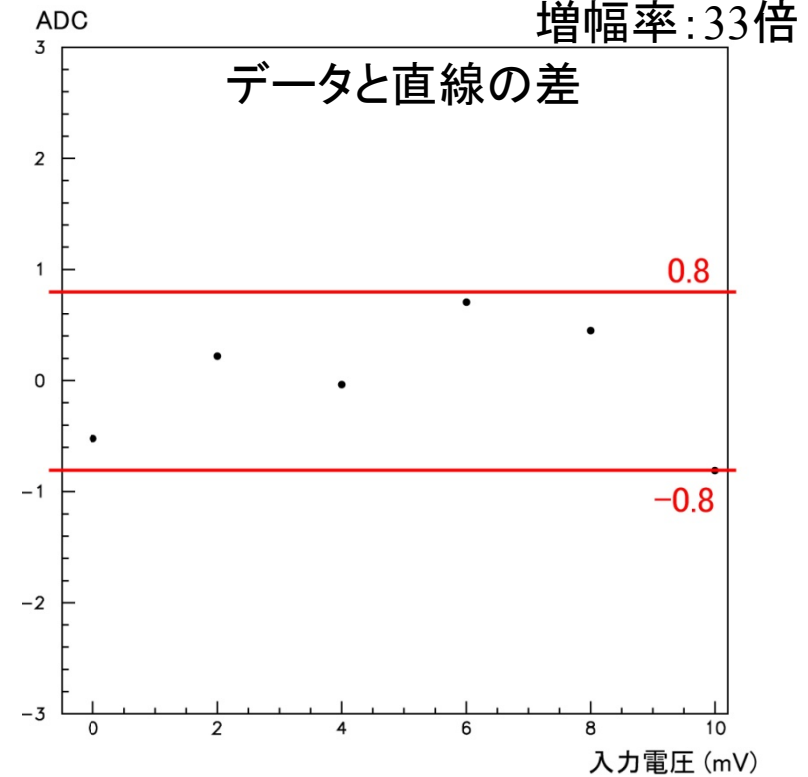
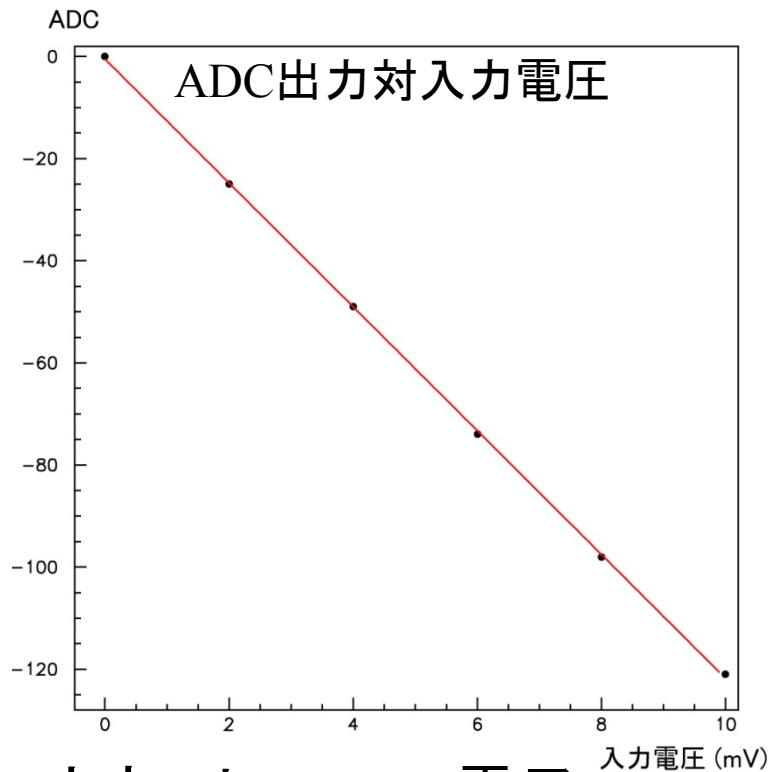


- すべてのADCカウント (0~127) が出力される



シミュレーションでの性能評価：全体

- 増幅器からADCまで、全体のシミュレーションをおこなった



- 1 ADCカウント = 16.5 電子
 - 線型性 ± 0.8 ADCカウント = ± 13.2 電子
 - 検出可能電子数: 2,100 電子
- 線形性がよくなっている、検出可能電子数も十分ある



内容

- 国際リニアコライダー(ILC)
- 高精細CCD(FPCCD)崩壊点検出器
- FPCCD用読み出し回路
- 試作読み出し回路の試験
 - 単独試験
 - 試作FPCCD読み出し試験
- 次回試作回路
- まとめ



まとめ

- 高精細CCD用読み出し回路を開発している
- 目標性能
 - 消費電力 < 6 mW/ch
 - 読み出し速度 > 10 Mpix/sec
 - ノイズレベル < 30 電子
- 試作品の性能を評価
 - 読み出し速度 ~ 1.5 Mpix/sec \Rightarrow 今後の最大の課題
 - ノイズレベル ~ 44 電子
 - 一部のADCカウントを出力しない
- 回路の設計を見直し
 - 来年度に試作
 - シミュレーション結果は良好







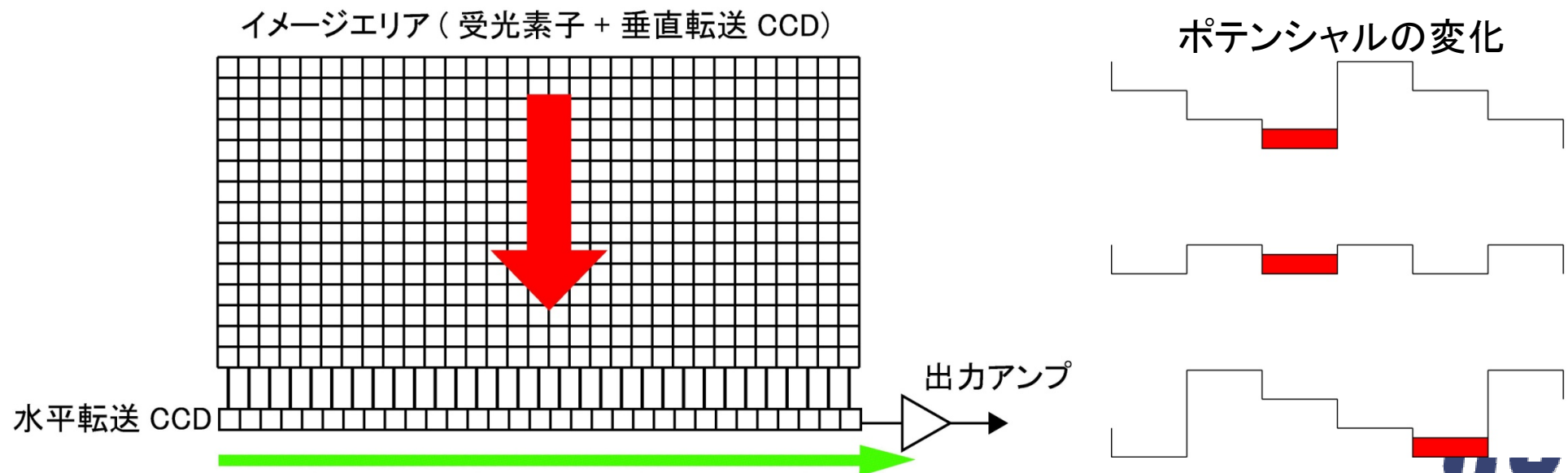
バックアップ

- 以下、バックアップ



Charge Coupled Devices (CCD)

- CCD
 - 荷電粒子の通過で有感層に発生した電子を基板上の電極で作ったポテンシャル井戸に貯める
 - 電極の電圧を変えてポテンシャル井戸を変え、電荷を転送する
 - 出力アンプから電圧信号を出力
 - 二次元に再構成することでヒットのあったピクセルがわかる



シリコン

dE/dx min (MeV/(g/cm ²))	1.664
密度 (g/cm ³)	2.33
電子・正孔対の生成エネルギー (eV)	3.6

Si 1 μ mに落とすエネルギー

$$\begin{aligned} &= 1(\mu\text{m}) \times 2.33(\text{g} / \text{cm}^3) \times 1.664(\text{MeV} / (\text{g} / \text{cm}^2)) \\ &= 388(\text{eV}) \end{aligned}$$

発生する電子数

$$\begin{aligned} &= 388(\text{eV}) \div 3.6(\text{eV}) \\ &= 110(\text{個}) \end{aligned}$$

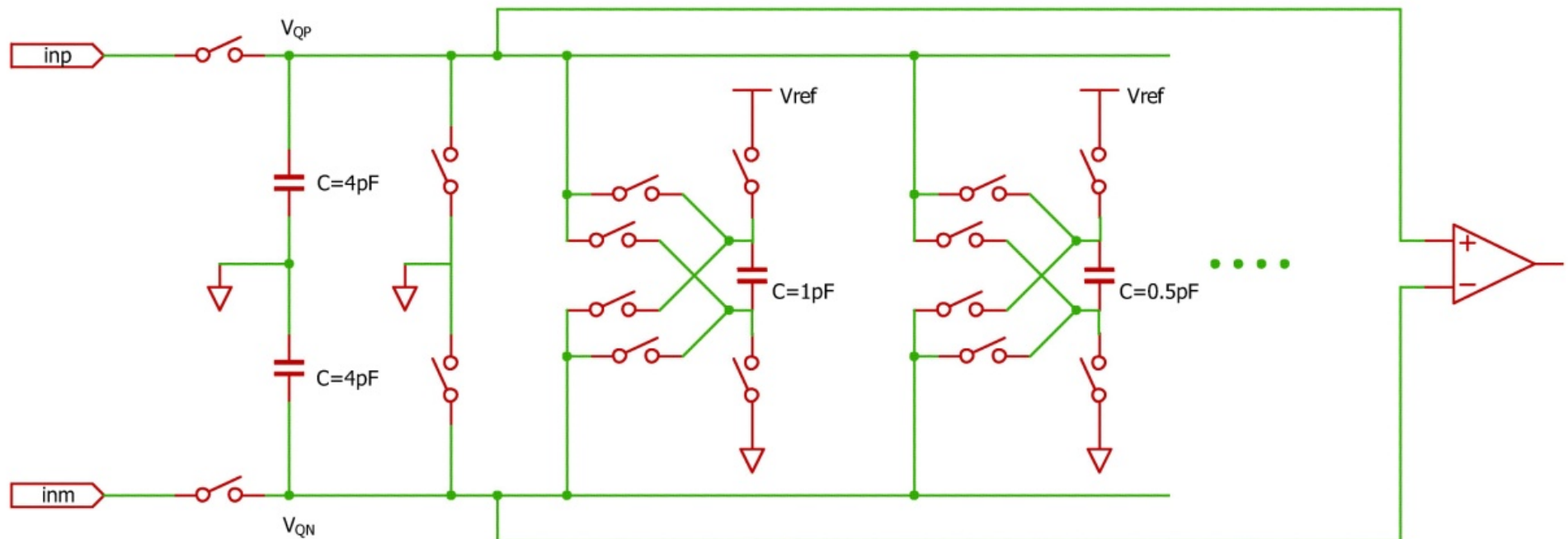


電荷再分配型ADC

- 基準電圧でビットに対応する容量素子に電荷を貯える
- 入力電圧をサンプリング、比較し正負を決定 $V_{QP} - V_{QM} = V_{inp} - V_{inm}$
- 容量素子に貯めた電荷を演算、演算後の電荷を比較

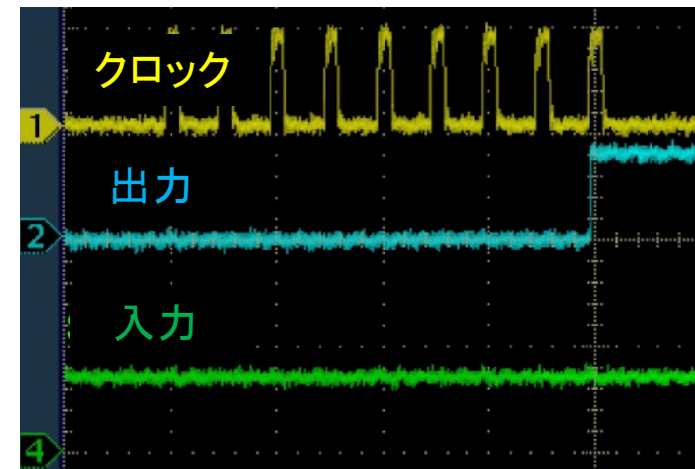
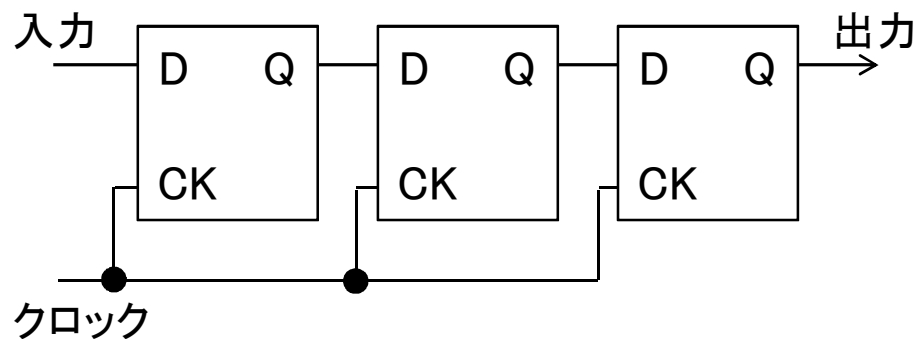
$$V_{QP} - V_{QM} = \frac{2}{3} \left((V_{inp} - V_{inm}) \pm \frac{1}{2} V_{ref} \right)$$

- 以下、繰り返し



シフトレジスタの動作確認

- パラメータ設定シフトレジスタ(チャンネル指定、パラメータ指定)の動作確認
 - クロックを入力すると入力信号が伝達される
 - シフトレジスタの最終段は外部に出力する

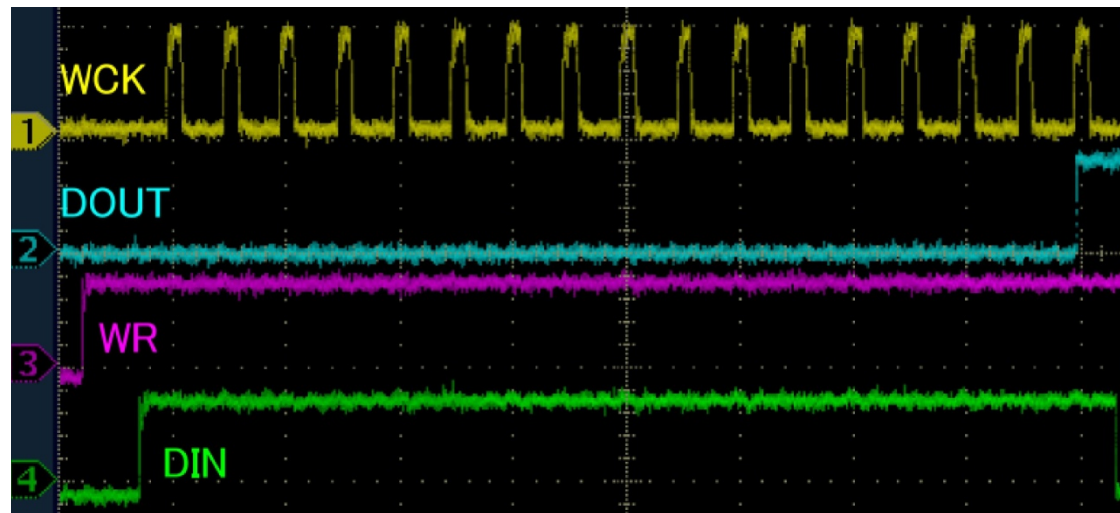


チャンネル指定シフトレジスタ(9ビット)の出力

- シフトレジスタのビット数分のクロックで入力と同じ出力が得られた
- チャンネル指定シフトレジスタは正常に動作している

シフトレジスタの動作確認

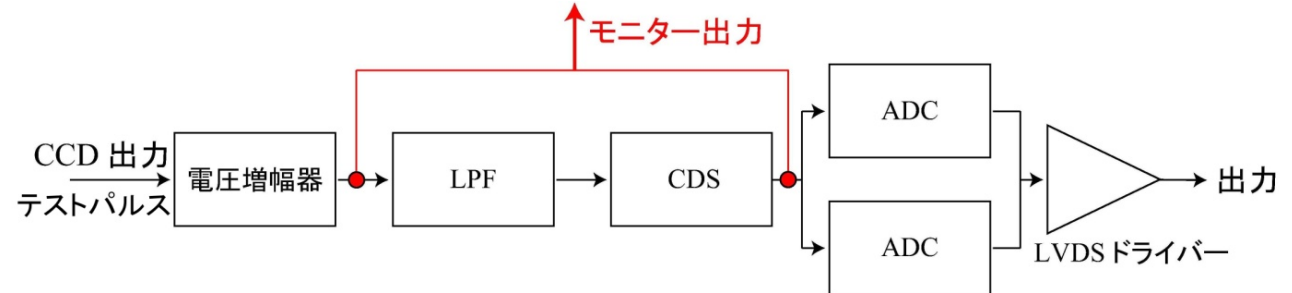
- チャンネル指定シフトレジスタで指定したチャンネルのパラメータ指定シフトレジスタの動作を確認
 - 読み出しチャンネル×8、設定チャンネル×1



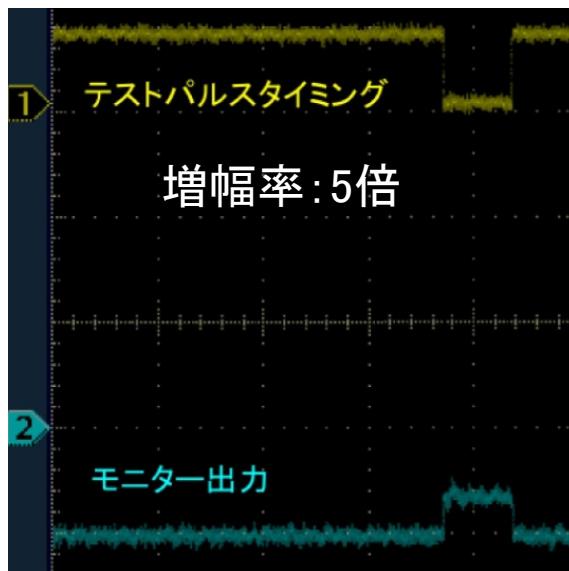
- 各チャンネルについてビット数分のクロックで出力が確認できた
- パラメータ指定シフトレジスタは正常に動作している

読み出し回路試験：動作確認

- 以下の点でのアナログ信号を確認できる



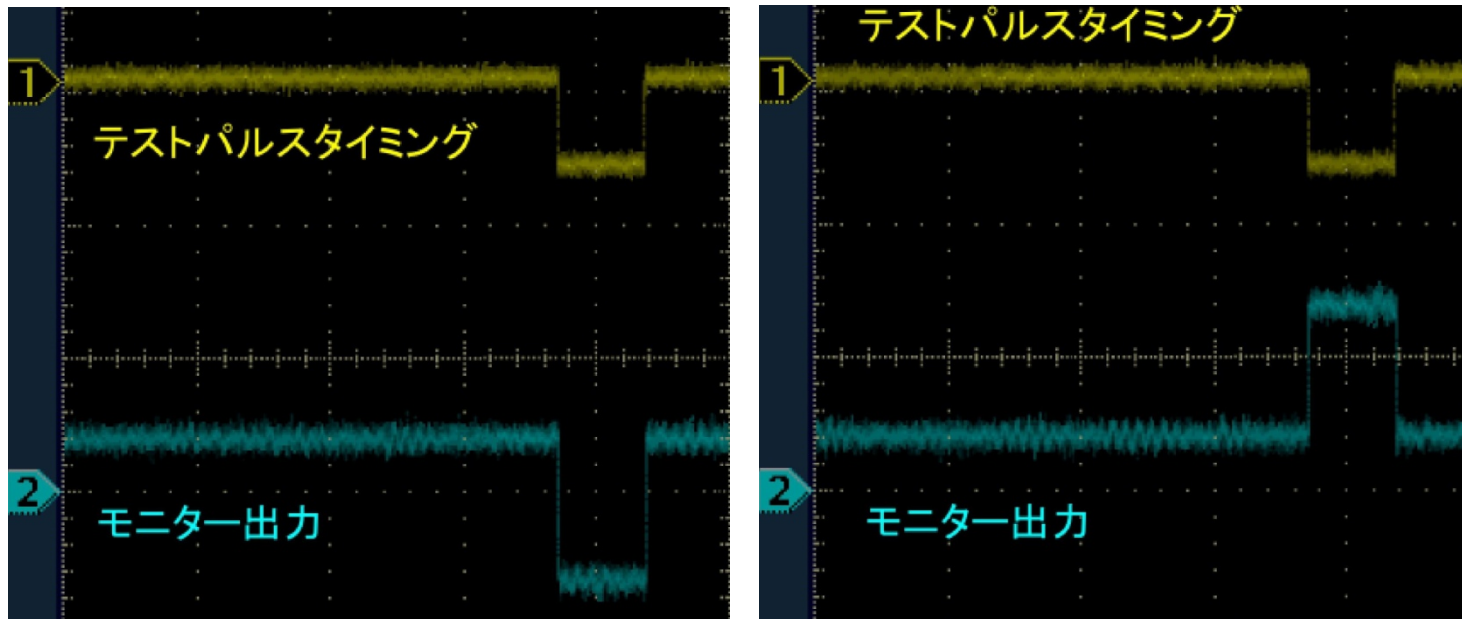
- 増幅器後の信号を確認した



- テストパルスに同期した増幅器後の信号を得られた
→ 増幅器は動作している

ADC直前の差動信号

- ADC直前での差動進後を確認



- 差動信号を確認できた
- LPF、CDSは動作している

Scilab でのシミュレーション

32 : 16 : 8 : 4 : 2 : 1

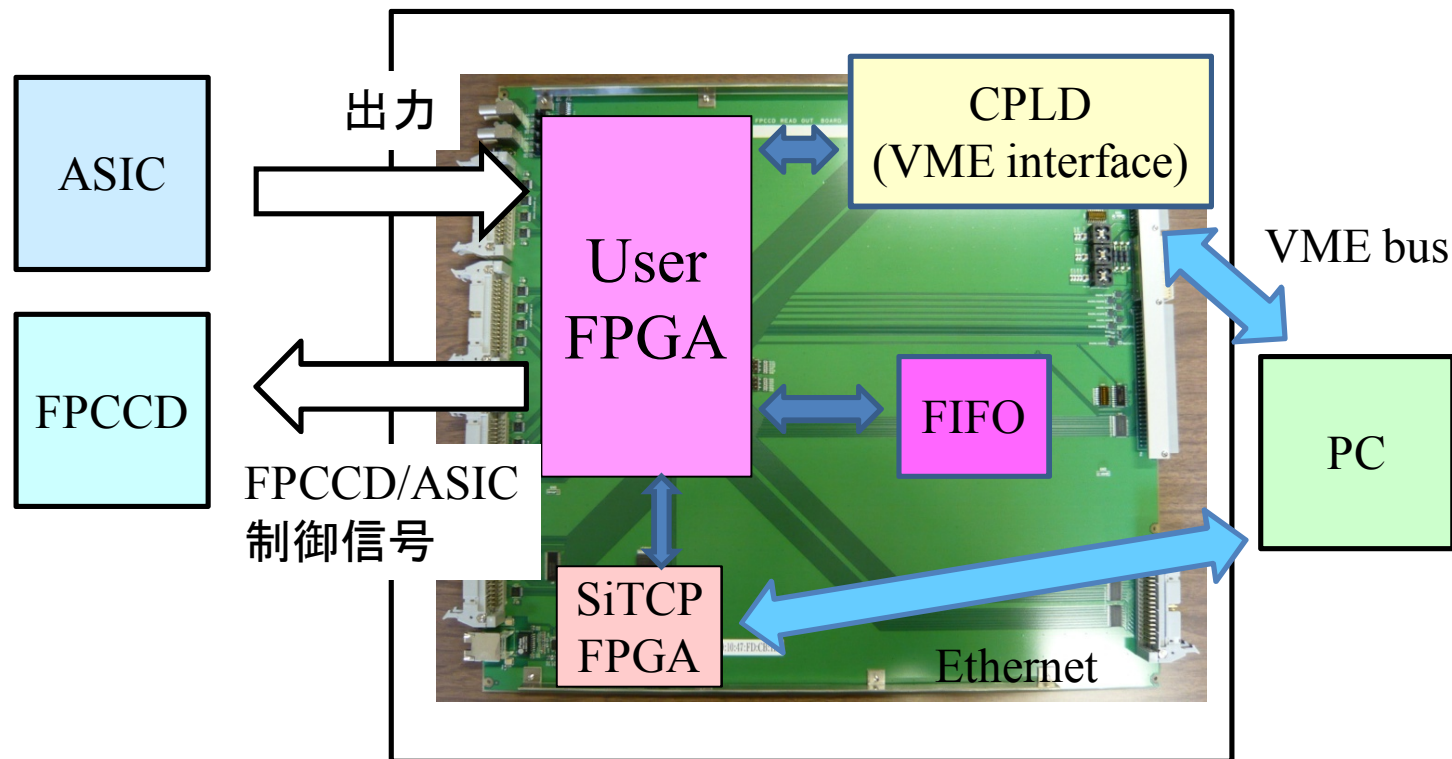


34.5 : 19 : 9.5 : 5.5 : 3 : 1.5

- 1を出力するのに1.5分の信号電圧が必要

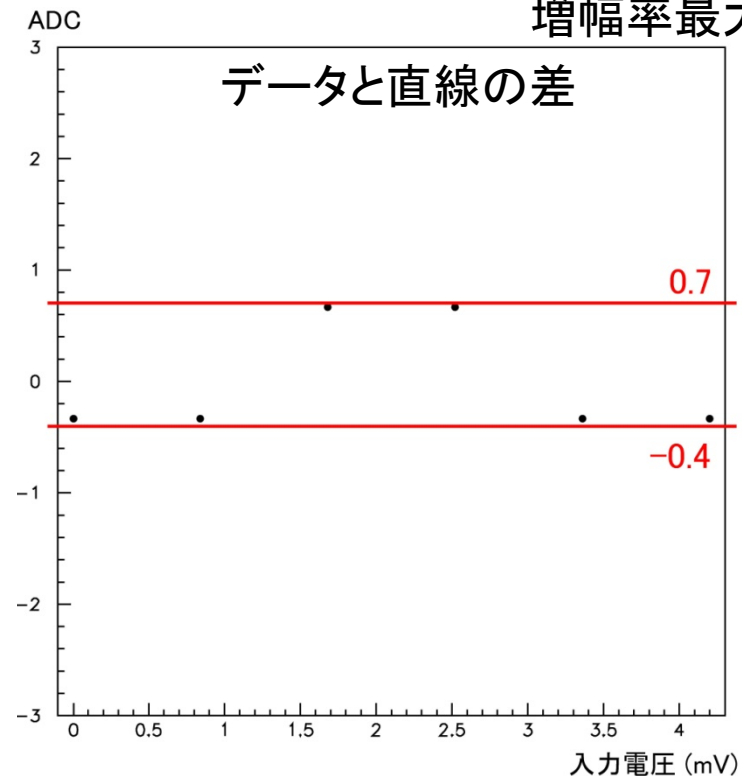
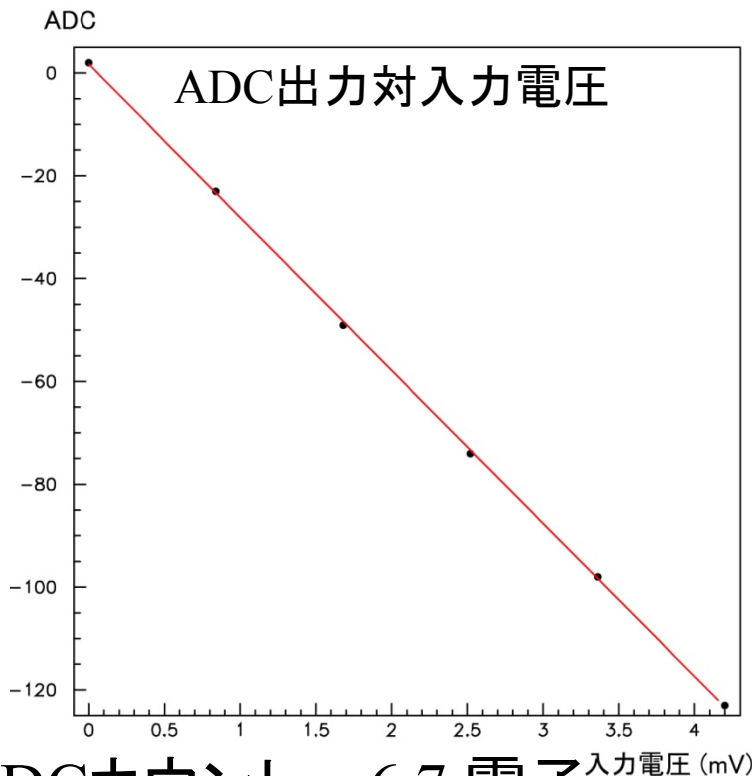
読み出しボード

- 全ピクセルを7ビットで読み出すために、読み出しボードを開発
- SiTCP (transfer rate: 1Gbps) によりデータを転送できる
 - 全データを読み出せる
- 試作品の動作を確認 ⇒ 今後、FPCCD を読み出しに使用



シミュレーションでの性能評価: 全体

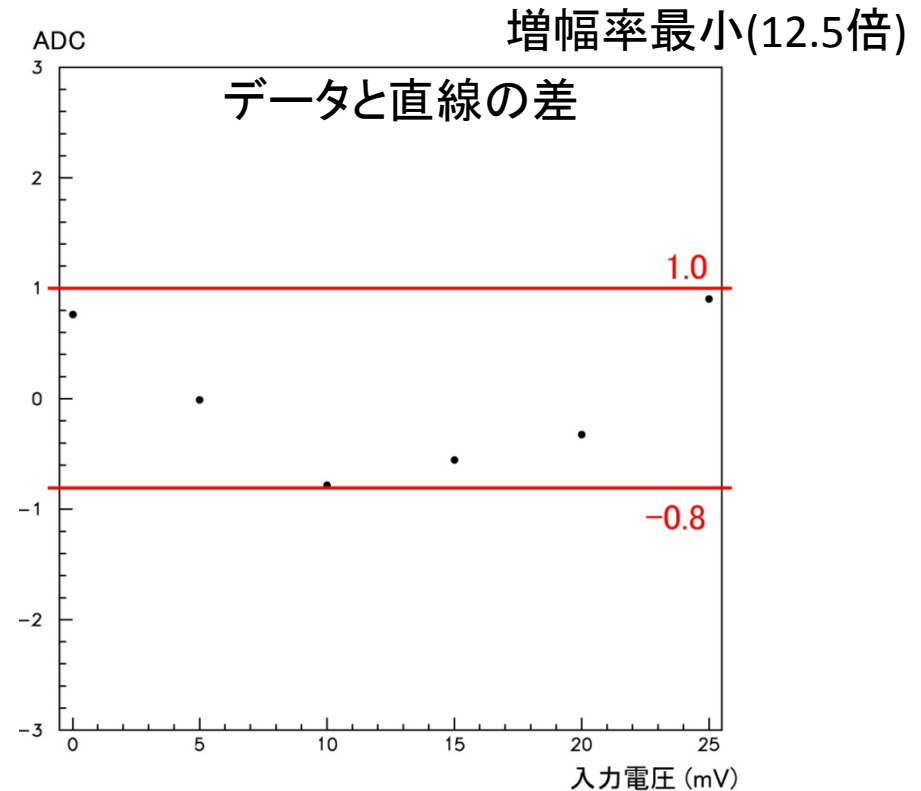
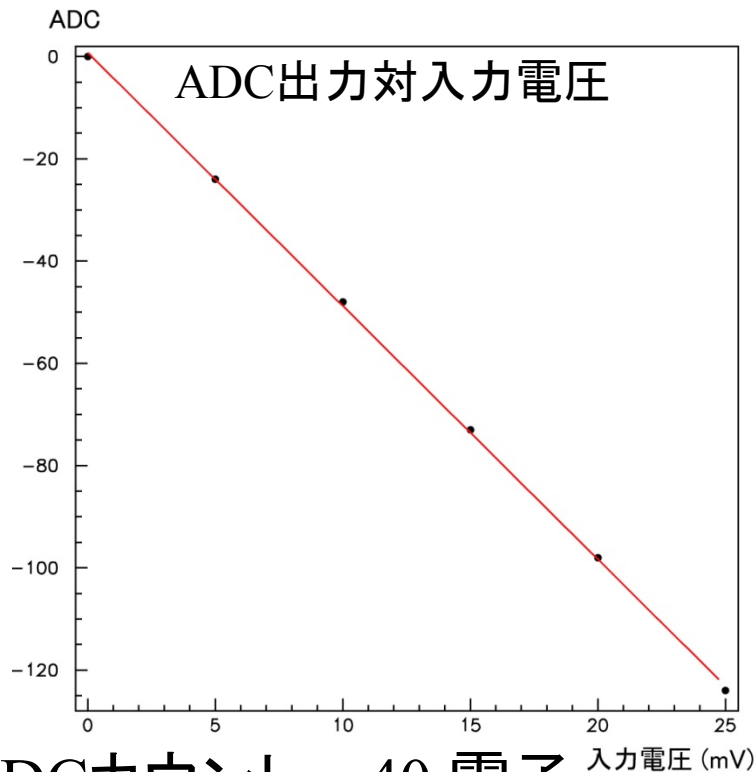
- 前置増幅器からADCまで、全体のシミュレーションをおこなった
増幅率最大(85倍)



- 1 ADCカウント = 6.7 電子
- 線型性 ± 0.7 ADCカウント = ± 4.7 電子
- 検出可能電子数: $6.7 \text{ e/ADC} \times 127 \text{ ADC} = 851$ 電子

シミュレーションでの性能評価: 全体

- 増幅率を下げてシミュレーションをおこなった



- 1 ADCカウント = 40 電子
- 線型性 ± 1 ADCカウント = ± 40 電子
- 検出可能電子数: 5,080 電子

→ 現行の試作と同じ電子/ADC に対し線型性がよくなっている

