



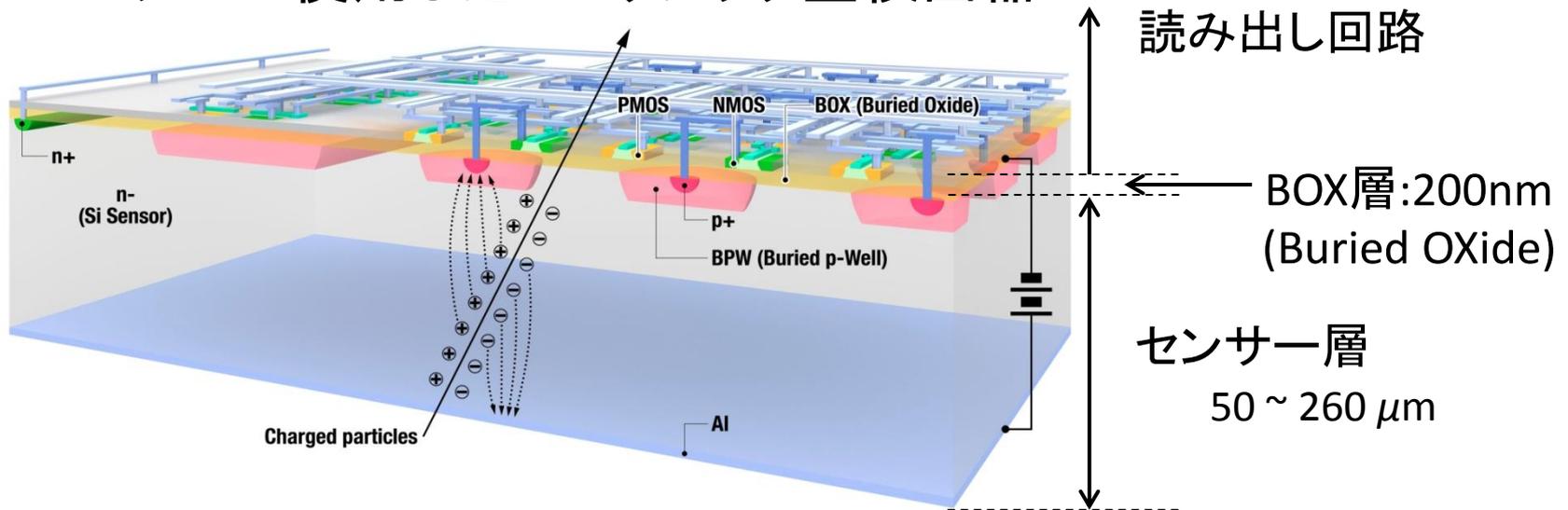
# 目次

- I. イントロ(P.3 ~)
  - SOI検出器について
  - Belle II実験と崩壊点検出器
- II. SOI検出器の課題克服(P.7 ~): 研究内容
  - 放射線ダメージ
  - センサークロストーク
  - 電荷収集メカニズム
- III. 高エネルギー実験用SOI PIXORの開発(P.20 ~): 研究内容
  - Belle II崩壊点検出器に向けて開発
- IV. まとめ(P.28 ~)

# SOI(Silicon On Insulator)検出器

## SOI検出器

- SOI(Silicon On Insulator)基板のサブストレート層をセンサーに使用したモノリシック型検出器



© Rey.Hori

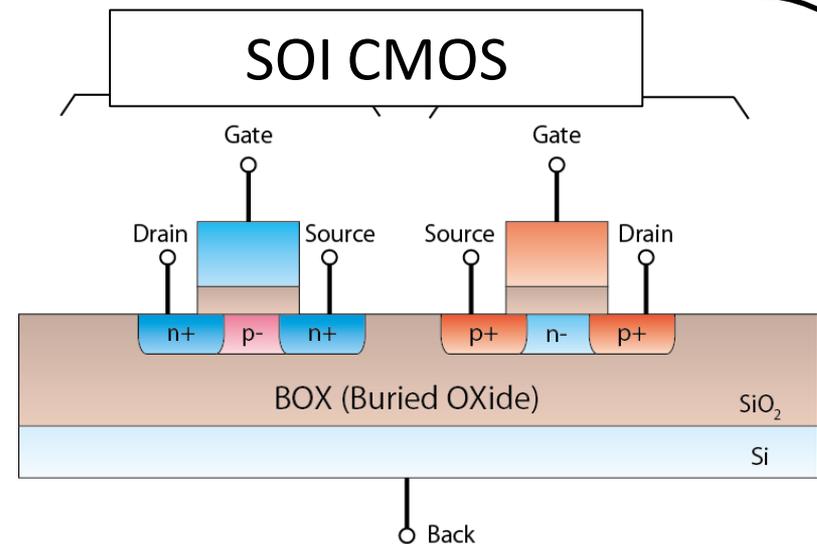
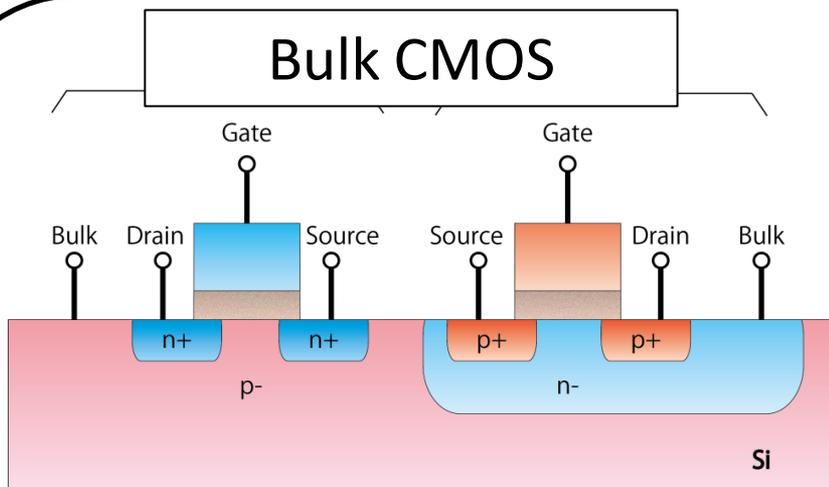
## 利点

- モノリシック型検出器
- SOI CMOSを用いた読み出し回路

# SOI検出器の利点

## モノリシック型検出器

## SOI CMOSによる読み出し回路



※回路素子が絶縁層:BOXで分離されている。

- 低寄生容量
- 素子間・基板リーク電流なし
- ラッチアップ耐性

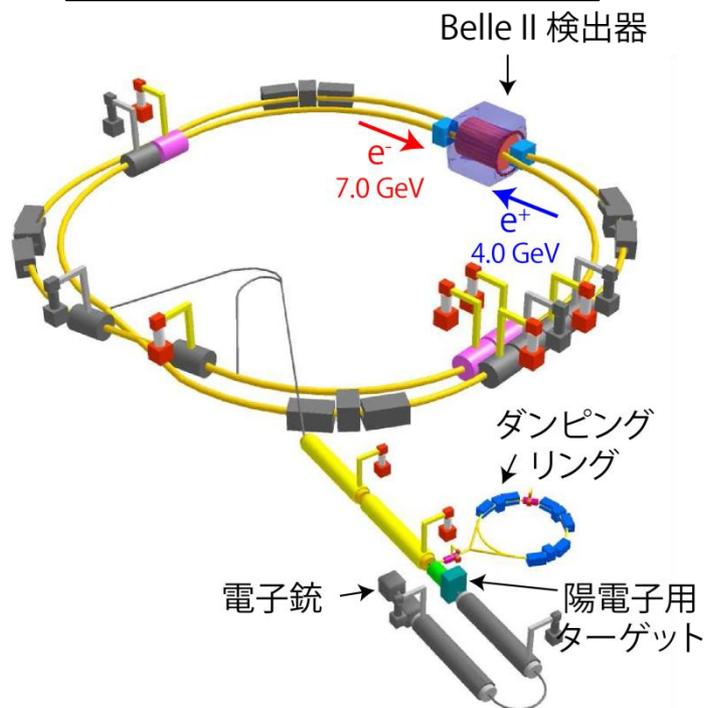
- 低温～高温動作
- 放射線耐性SEE (Single Event Effect)

# Belle II実験と崩壊点検出器

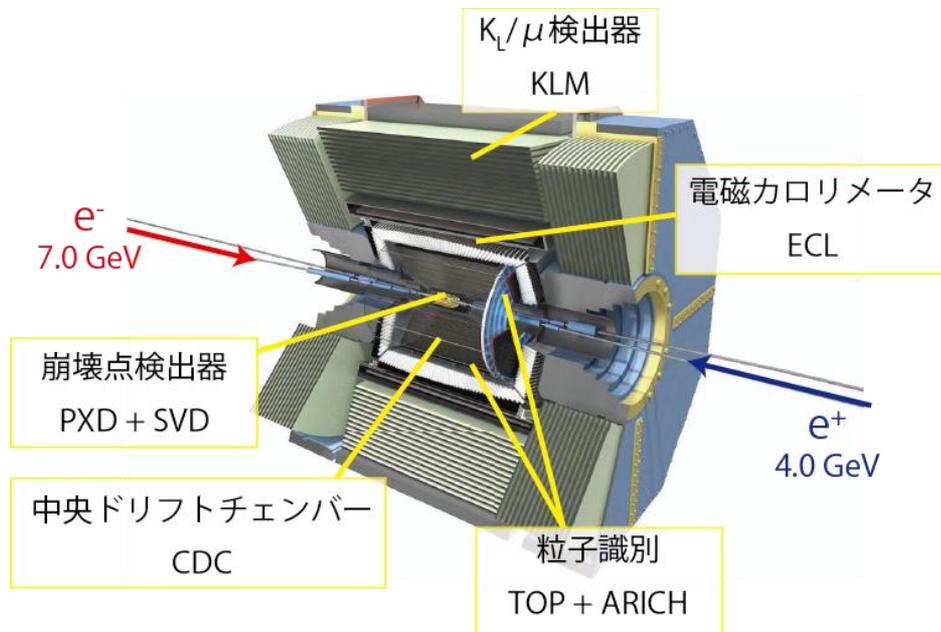
## Belle II実験(2014年スタート予定)

- 加速した電子(7GeV)・陽電子(4GeV)を衝突 → B中間子の崩壊過程を測定

### SuperKEKB加速器



### Belle II 検出器



崩壊点検出器: b/cクォークを含む粒子の崩壊点を精度よく求める

## 崩壊点検出器への要求

### 崩壊点検出器:

—ビーム衝突点の最近傍に配置され、透過粒子の位置を特定

要求項目	SOI検出器	
(1) 高い位置分解能	○	細かく区切れる
(2) 低い占有率	○	高速動作／細かく区切れる
(3) 低い物質質量	○	モノリシック／薄化可能
(4) 高い放射線耐性	× → (○)	放射線蓄積に弱い → 解決可能
(5) 高速な読み出し	○	高速動作

SOI検出器は、どの要求も合理的に満たすことができる

SOI検出器は高エネルギー実験での応用に課題

- 放射線ダメージ
- センサークロストーク
- 電荷収集メカニズム

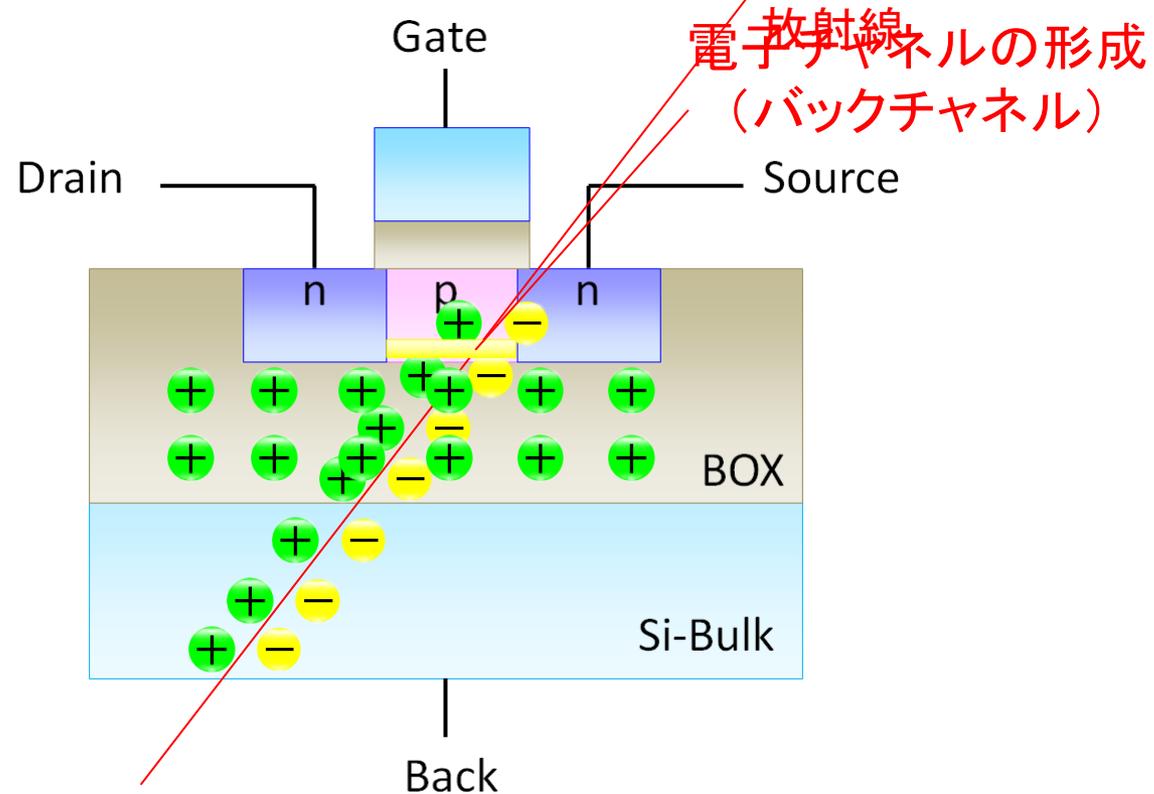
これらの課題と解決方法を紹介

SOI検出器の課題克服

# 放射線ダメージ(TID)：課題

## TID(Total Ionizing Dose)効果：

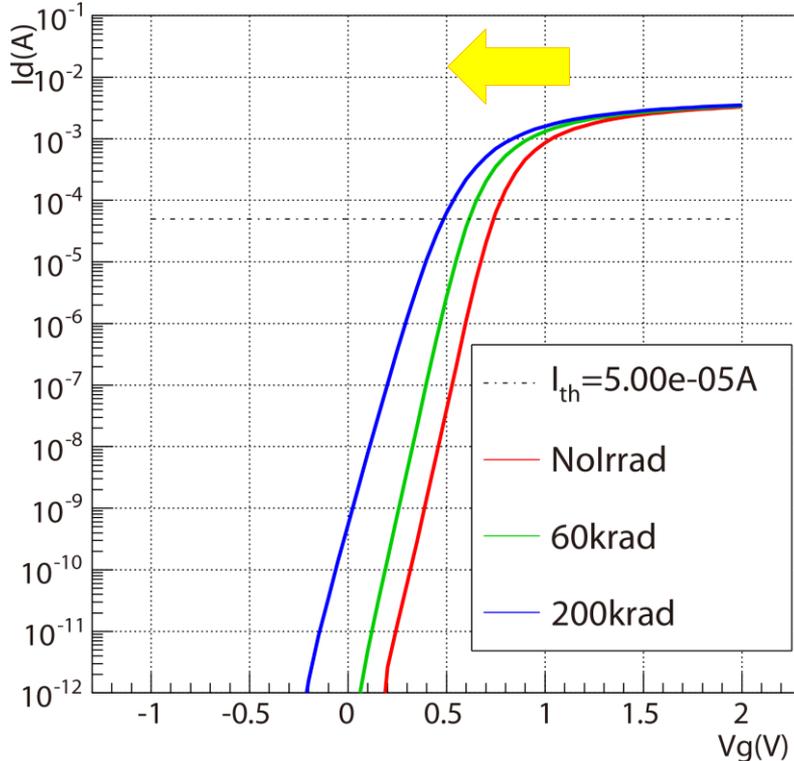
- 放射線蓄積によるBOX層でのホールトラップ
- 読み出し回路が正常動作しない。



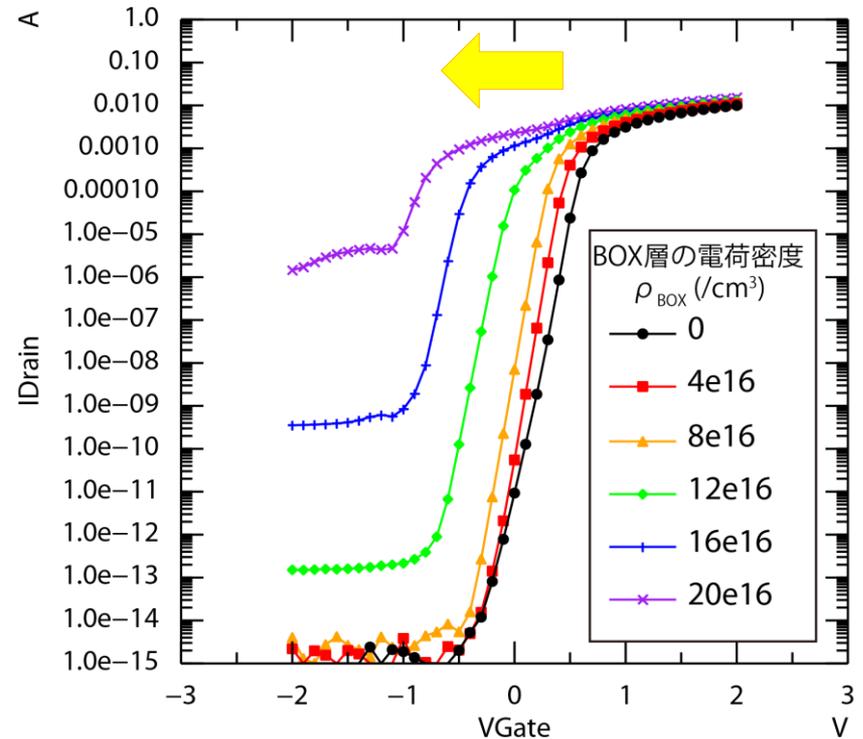
# 放射線ダメージ(TID)：実測／シミュレーション

## トランジスタ特性 $I_d$ - $V_g$ 特性の変化を測定／計算

X線照射(実測)



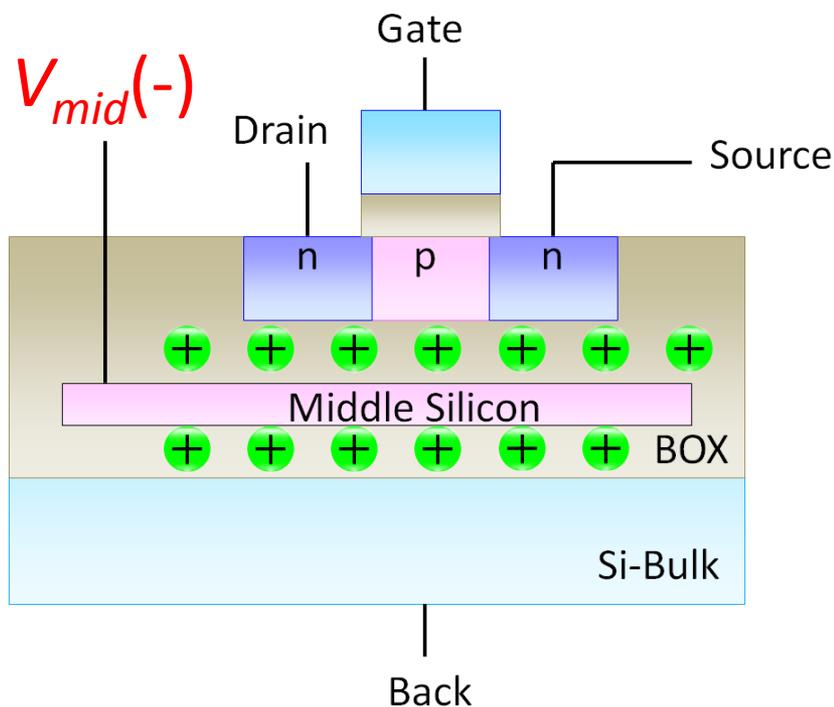
BOX層一様に固定電荷配置(TCAD)



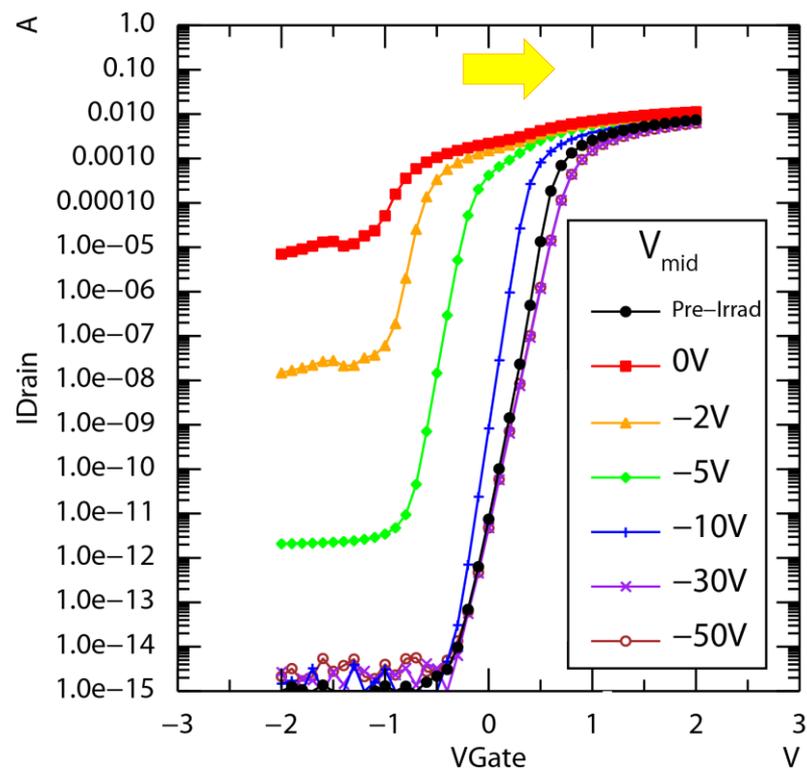
× NMOSでは特性シフトが起きる

# 放射線ダメージ(TID)：2層SOI構造による解決

Middle Siliconに負電圧 $V_{mid}$ をかけて、ホールトラップを相殺



補償電圧 $V_{mid}$ による変化(TCAD)

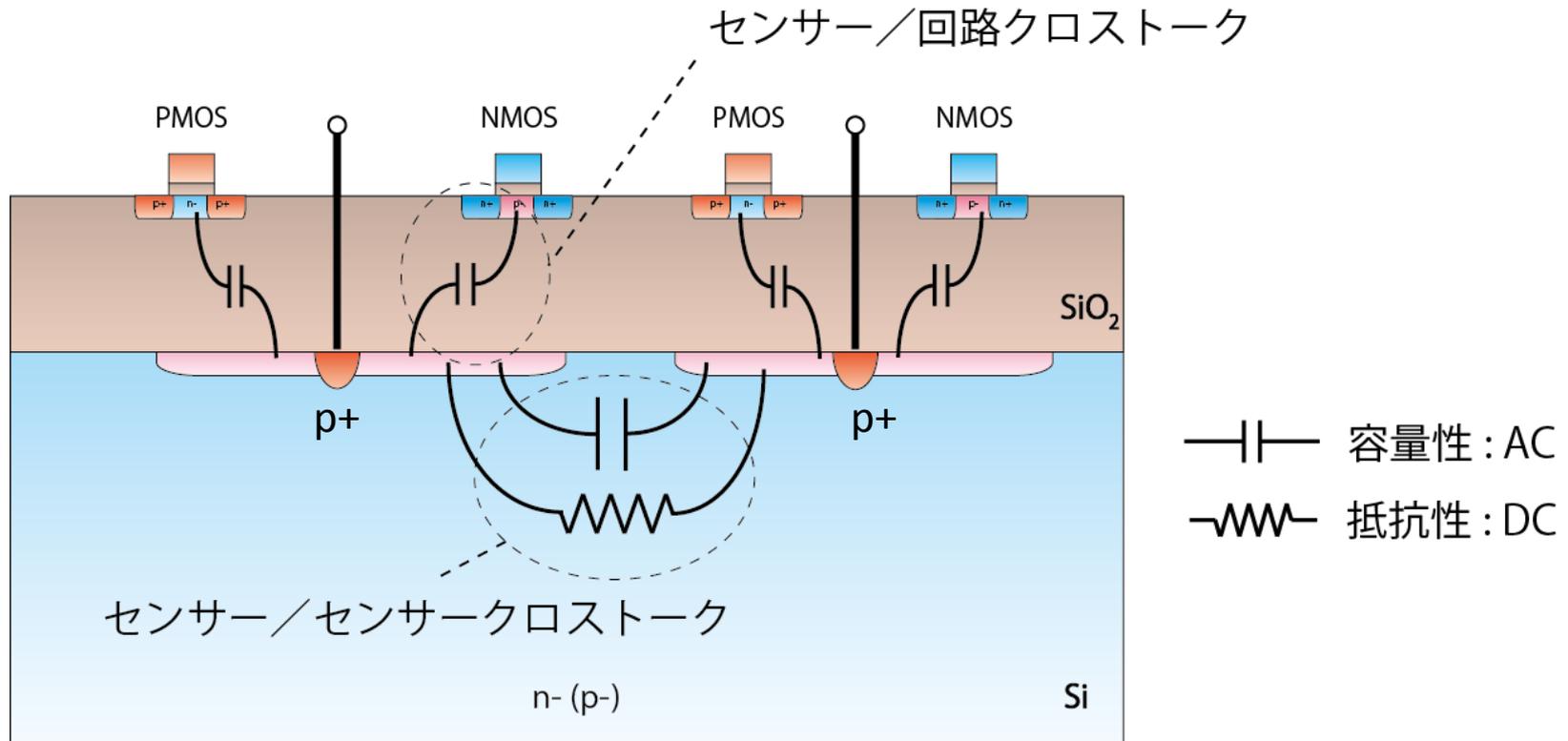


○特性シフトを補償することが可能 ⇒ 放射線耐性を得る

# センサークロストーク：課題

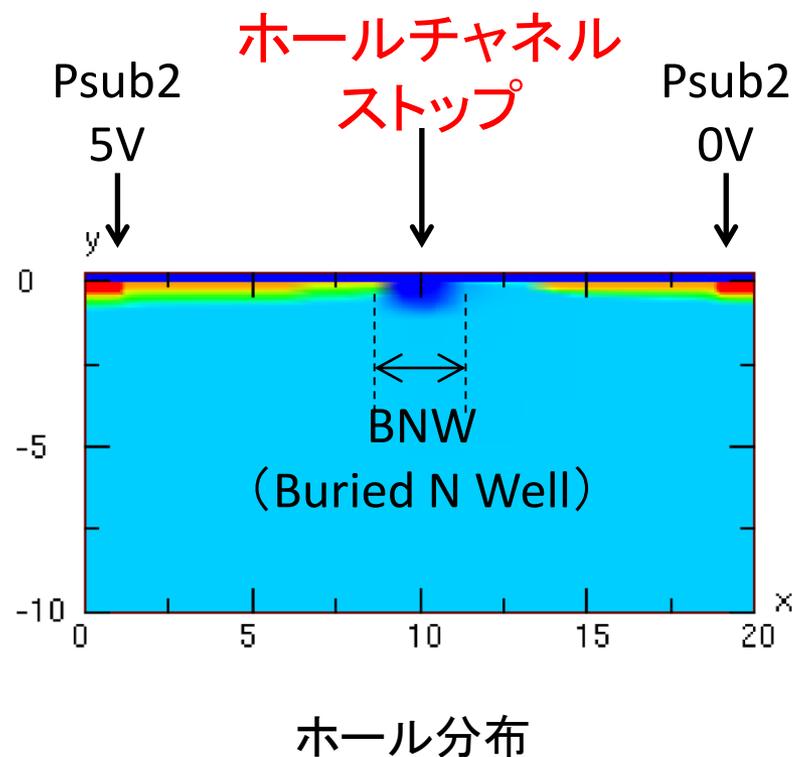
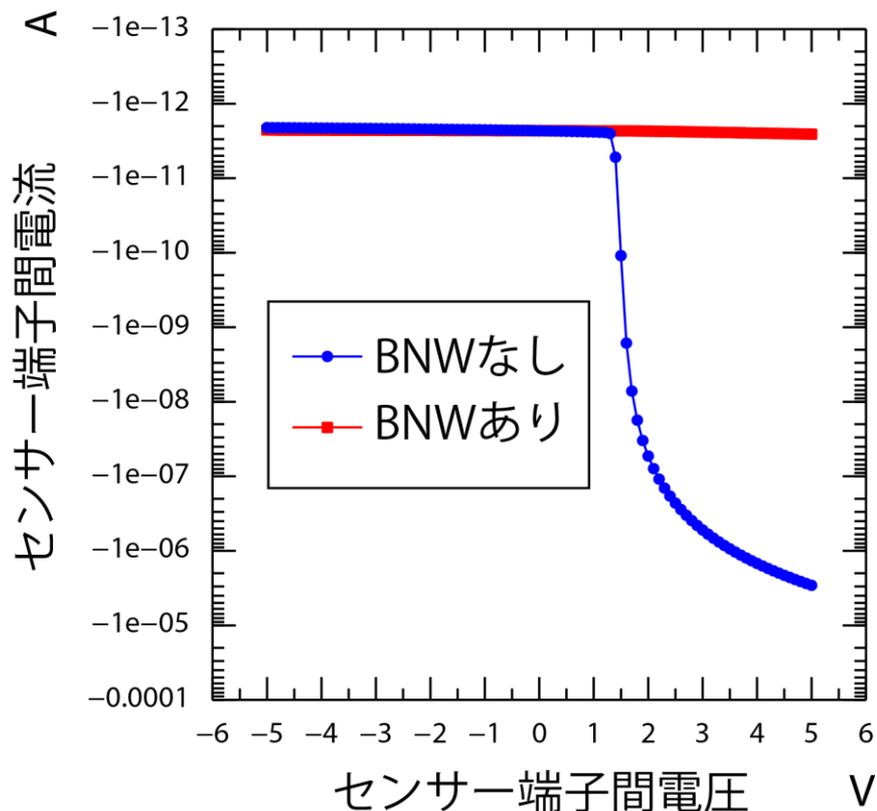
## センサークロストーク：

- センサーと読み出し回路が近接
- 容量性・抵抗性ノイズの発生 → 読み出し回路が正常動作しない



# センサークロストーク： センサー間クロストーク(抵抗性)

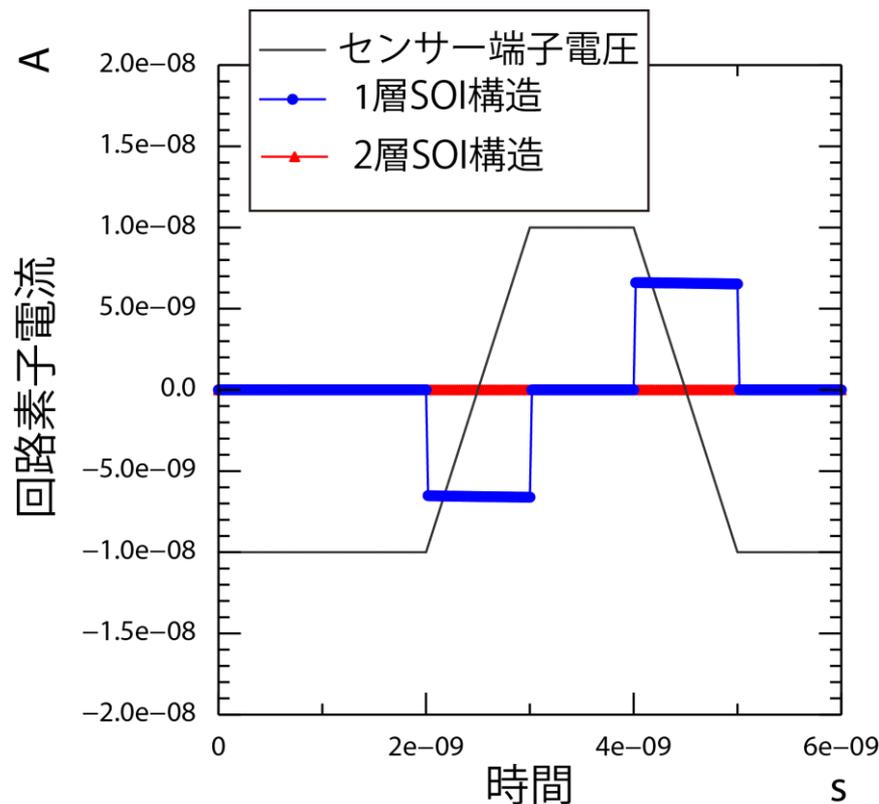
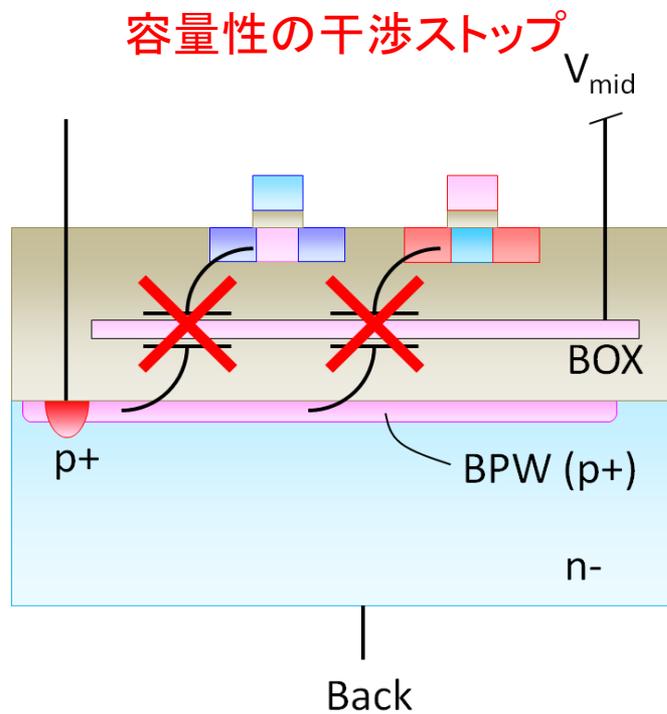
センサークロストーク(抵抗性) → センサー間BNWで解決



BNWにより電極間の電流が収まる ⇒ センサー間の抵抗的分離

# センサークロストーク： センサー/回路クロストーク(容量性)

センサー/回路クロストーク(容量性) → 2層SOI構造で解決

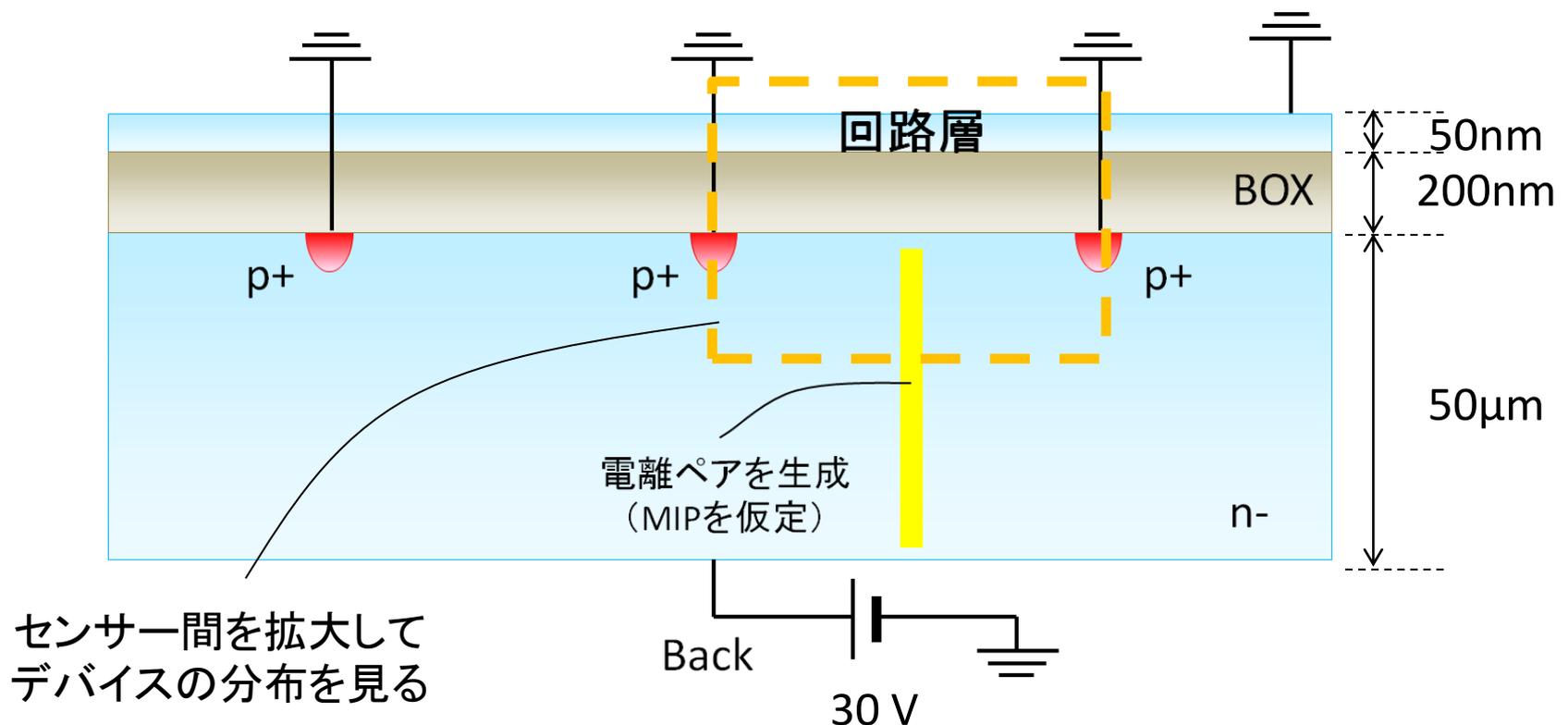


2層SOI構造により電流値が生じなくなる⇒ センサー/回路間の容量的分離

# 電荷収集メカニズム：課題

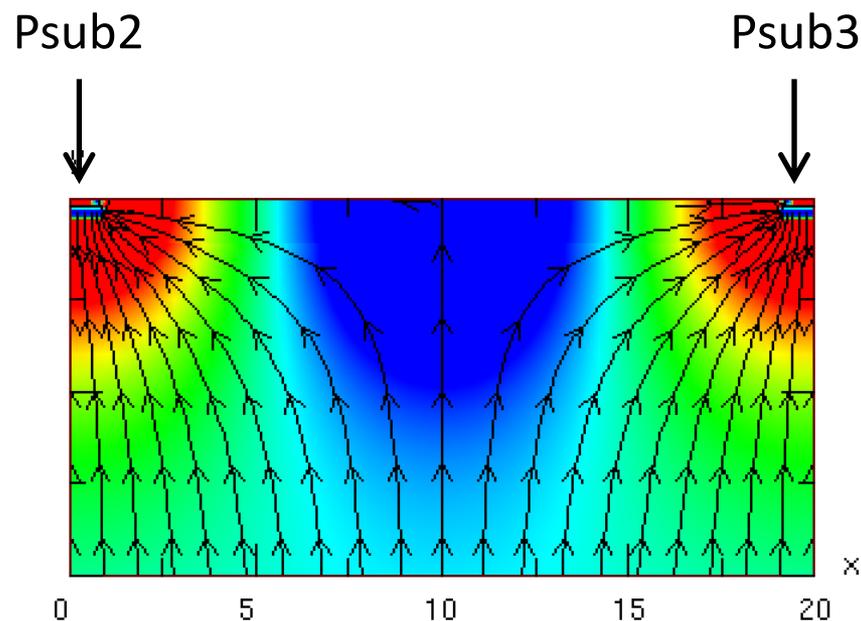
## 電荷収集メカニズム：

- センサーと読み出し回路が近接（下図の回路層がある場合に近づく）
- 電荷収集軌道が悪い方向に変化

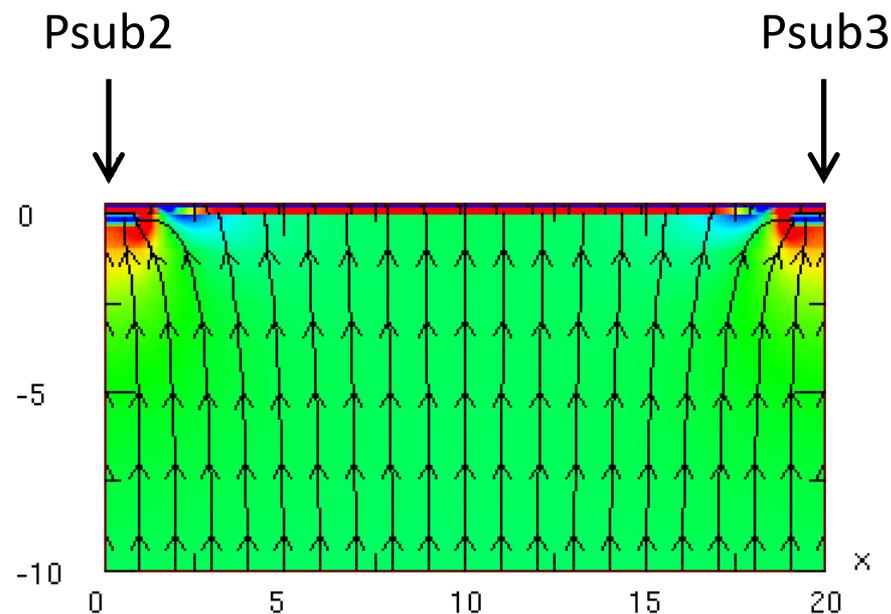


# 電荷収集メカニズム： 回路層の有無：電場形状

回路層なし



回路層あり



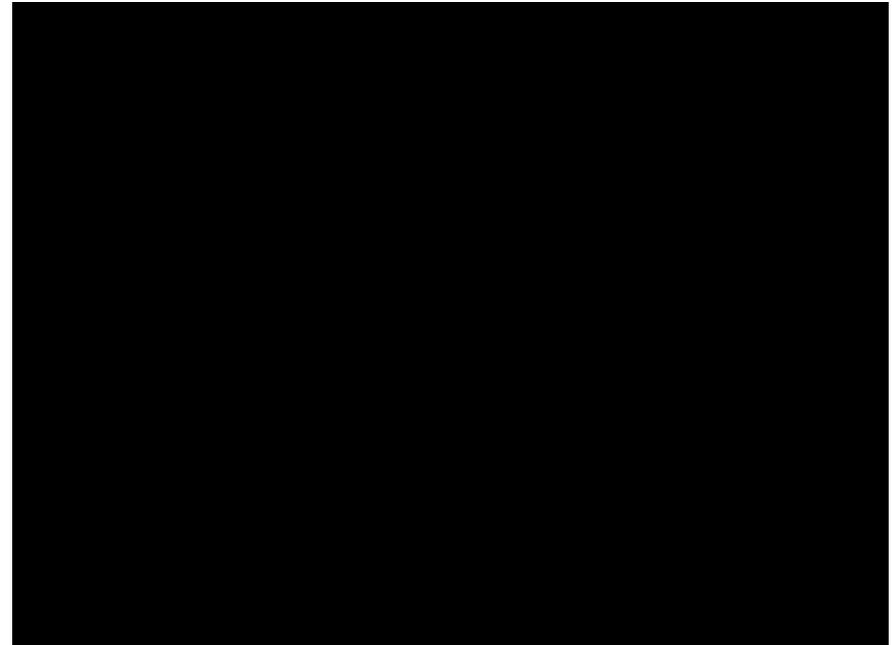
× 回路層により電場がBOX層に刺さる形状になる

電荷収集メカニズム：  
回路層の有無：ホール密度の時間変化

回路層なし



回路層あり

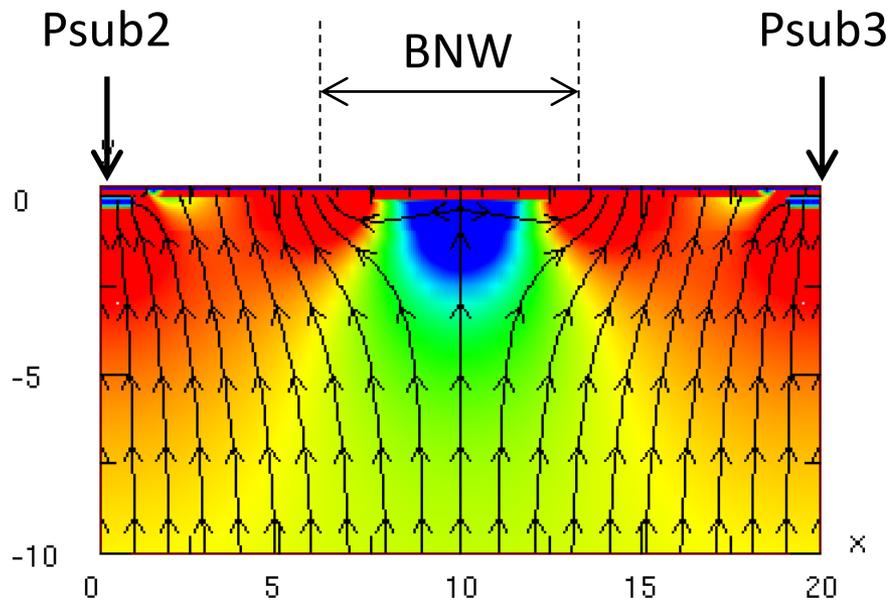


× 電荷がSi/BOX界面に到達後にセンサー端子に回収される  
(→センサー端子間の導通、収集速度の低下...)

# 電荷収集メカニズム：センサー間BNWによる解決

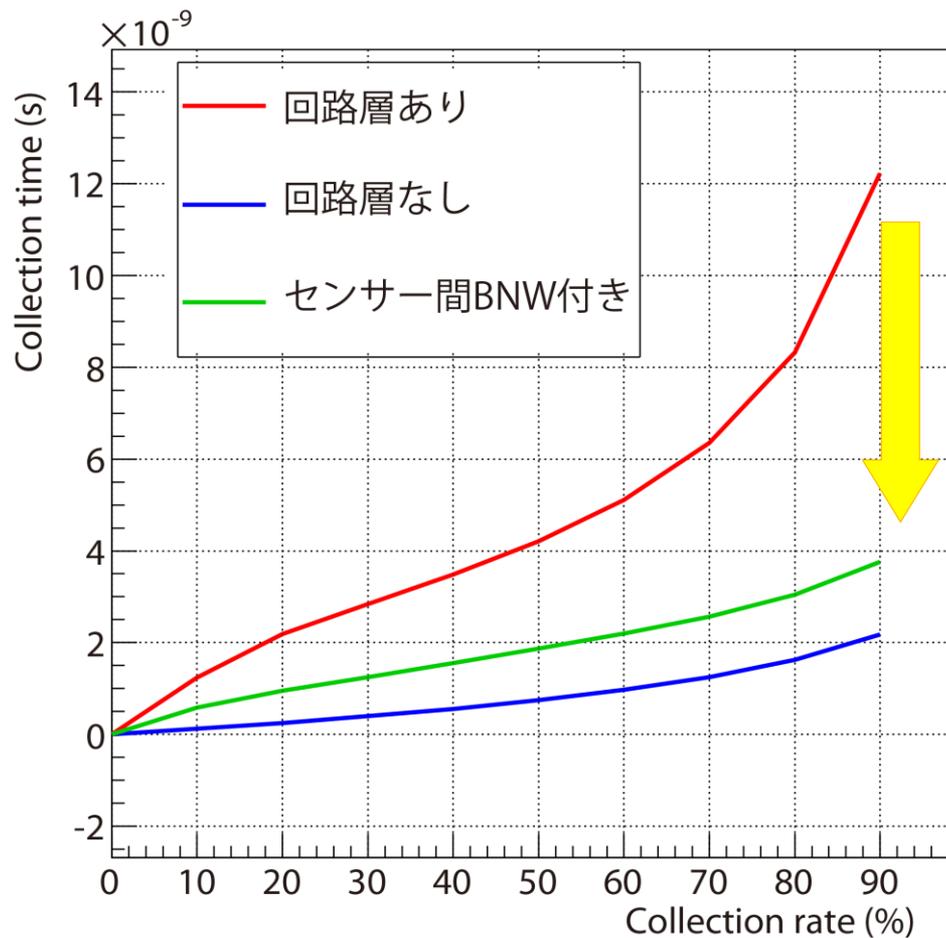
センサー端子間の電場形状

センサー端子間のホール密度の時間変化



○電荷が界面を避けて電極へと回収される

## 電荷収集メカニズム： 電荷収集時間の比較



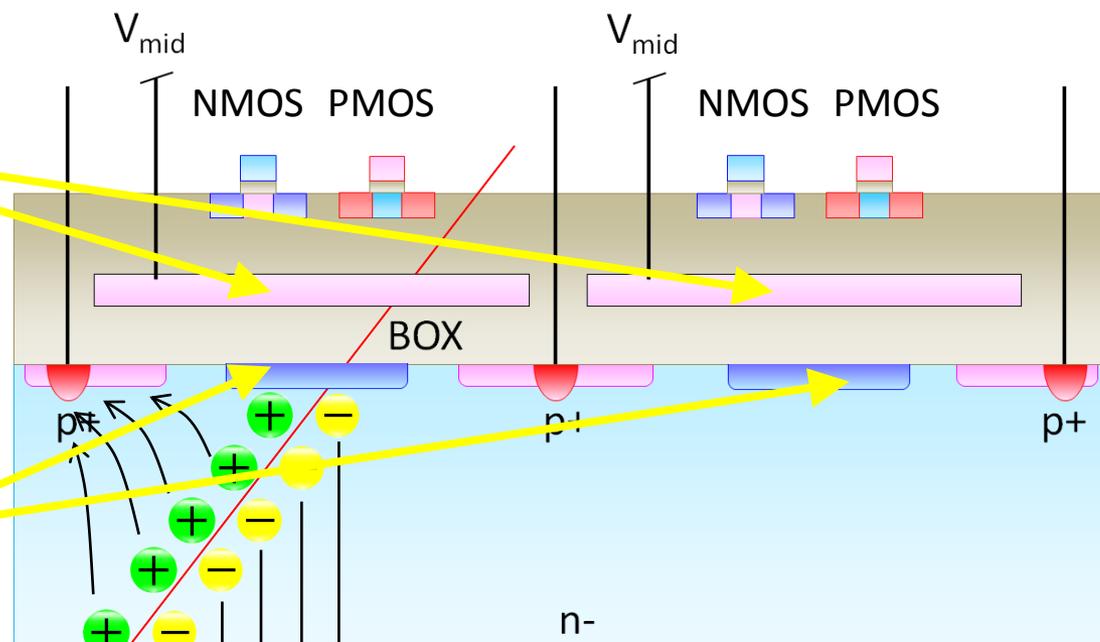
○センサー間BNWにより収集速度が上がる

# 課題克服方法のまとめ

## 課題克服方法

2層SOI構造

センサー間BNW



課題	解決方法
放射線ダメージ:TID	2層SOI構造による放射線ダメージ補償
センサー間クロストーク(抵抗)	センサー間BNWによる抵抗分離
センサー/回路クロストーク(容量)	2層SOI構造による容量分離
電荷収集メカニズム	センサー間BNWによる電場形状変化



高エネルギー実験用：PIXORの開発

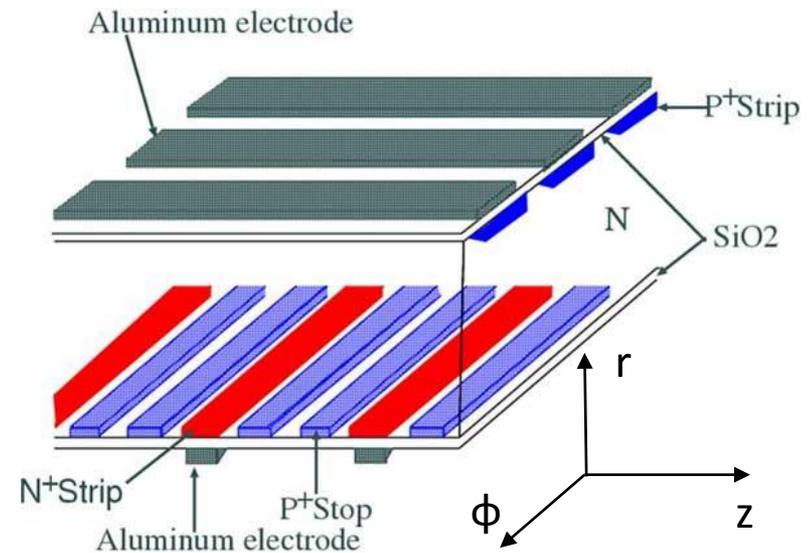


# PIXOR開発の目的

Belle II SVD 最内層(L3)アップグレードでのインストールを目指す  
「占有率低下」「物質質量低下」

DSSD  
(Double-sided Silicon Strip Detector)

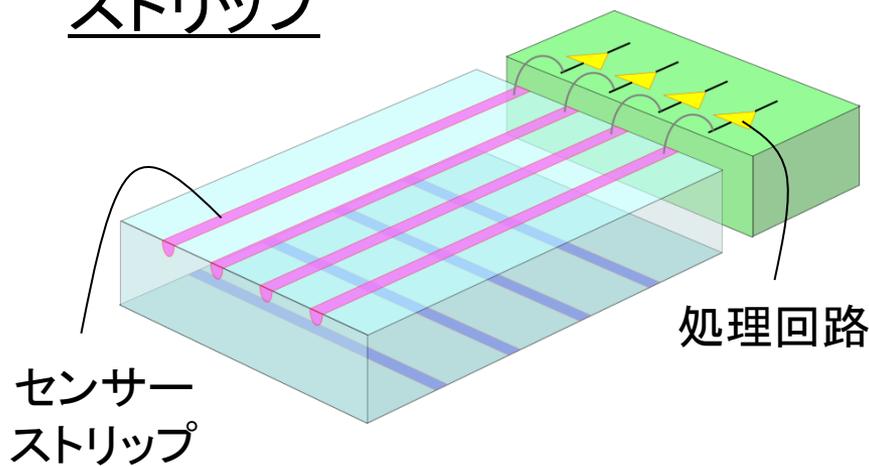
L3 パラメータ	数値
ラダー数	8
有感領域(1/2ラダー)	122.88*38.4 mm <sup>2</sup>
ストリップピッチ	φ:50, z:160 μm
センサー厚	300 μm
占有率	6.7 %



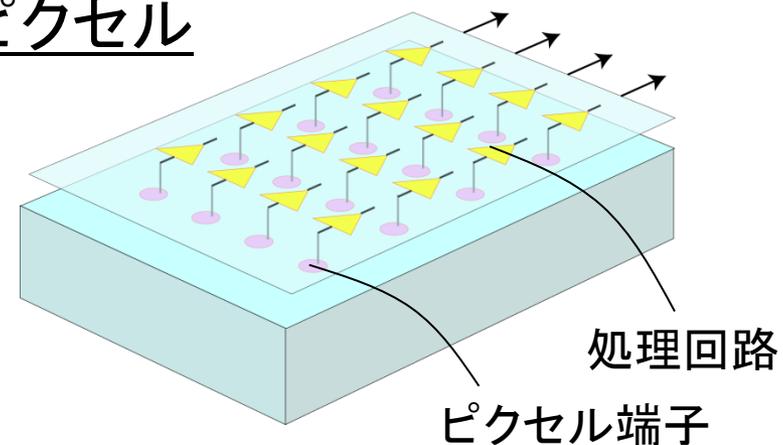
# PIXOR構造：ストリップとピクセル

PIXOR構造：ストリップ型とピクセル型の中間的な構造

## ストリップ



## ピクセル

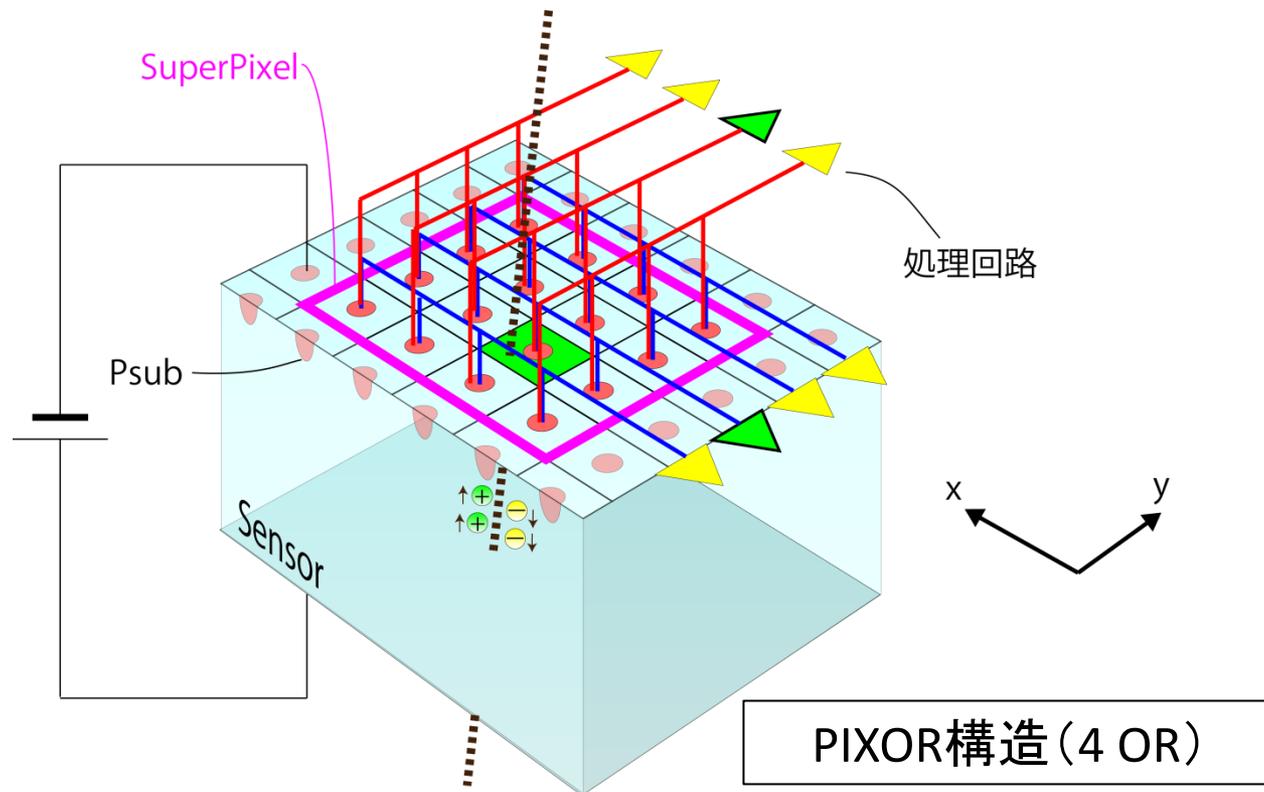


	ストリップ	ピクセル
占有率	×：高い	○：低い
センサー寄生容量	×：高い	○：低い
ゴースト	×：発生あり	○：発生なし
読み出し量 (位置分解能)	○：少ない (○：高い)	×：多い (×：低い)

# PIXOR構造：構造と利点

## PIXOR構造

- 2方向に分けてPixel ORをとった後、読み出し回路で処理



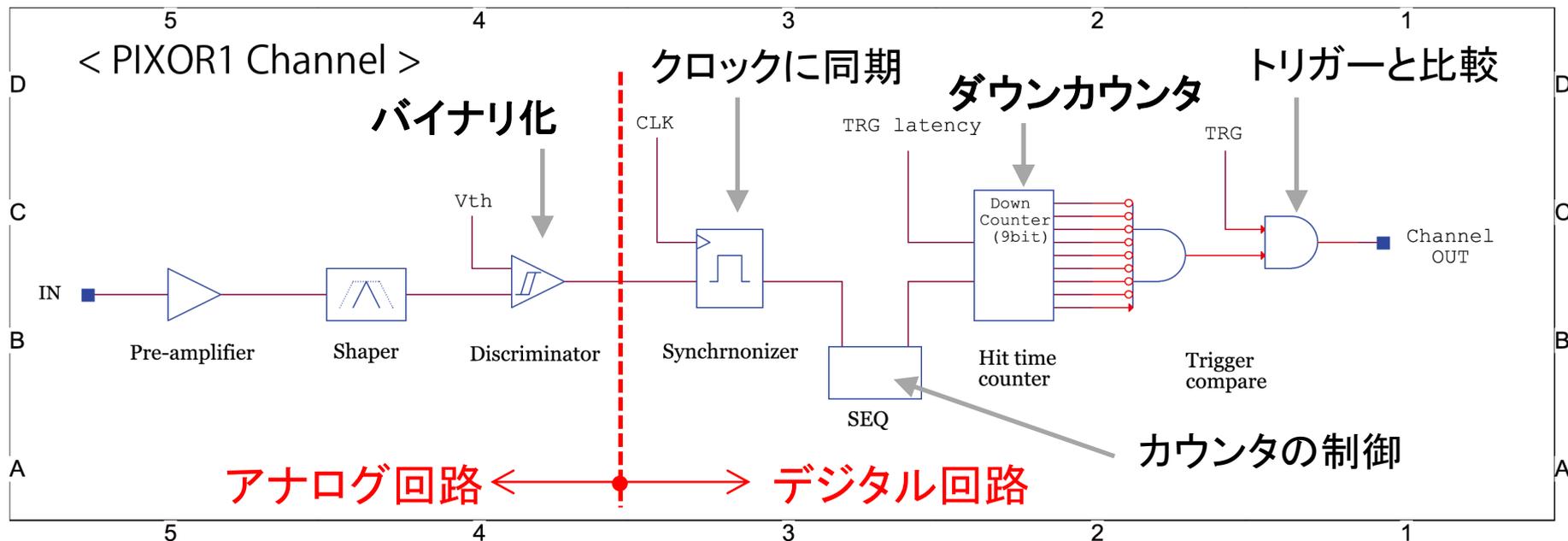
○位置分解能を保ちつつ、ピクセル型のメリットを得られる。

# 読み出し回路：全体

## 読み出し回路構成

ここまで決定

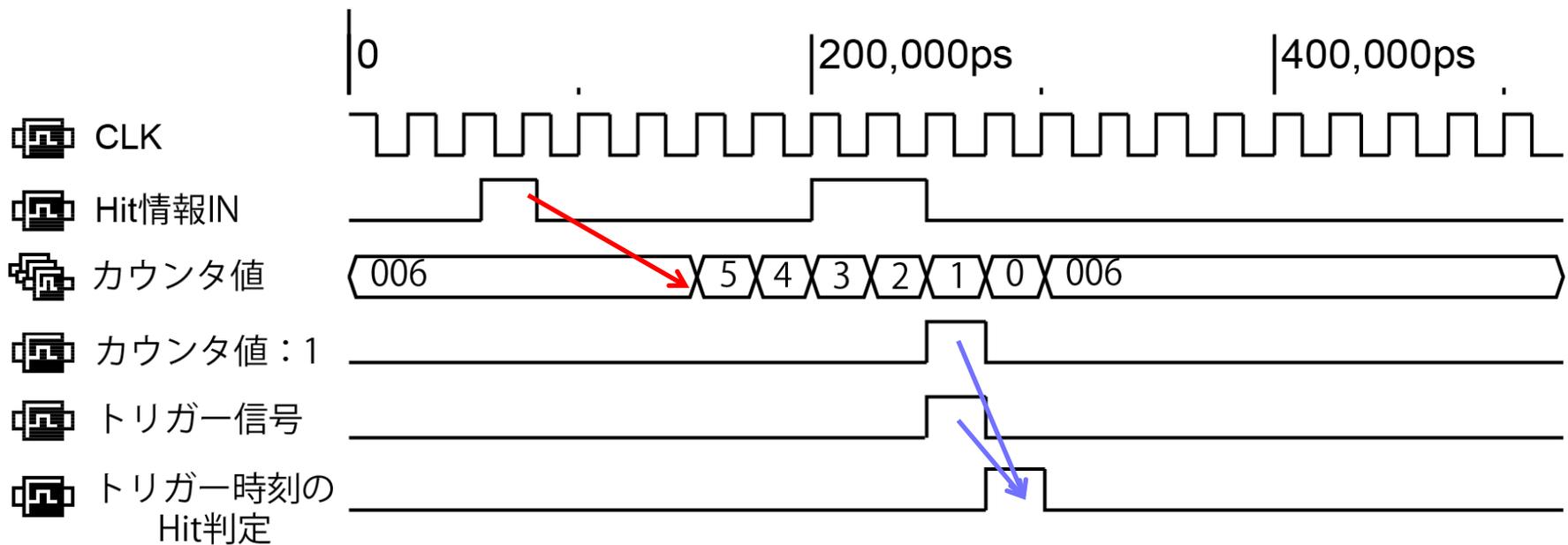
– 「読み出しチップ」「1 Column」「Super Pixel」**「チャンネル」**



- アナログ回路は既存のものを流用
- デジタル回路部分の開発 → verilog シミュレーションで動作確認

# 読み出し回路：デジタル回路 verilogシミュレーション

## ヒット時刻からカウントダウン → トリガー信号時刻でのヒット選別



※verilogシミュレーションより抜粋

ヒット判定 → カウントダウン開始

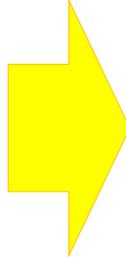
トリガー信号&カウンタ1 → トリガー時刻でのヒット情報として読み出し

# Belle II SVD最内層への応用

## PIXORをSVD最内層に応用した場合のパラメータ試算

現在のデザイン

置き換え後

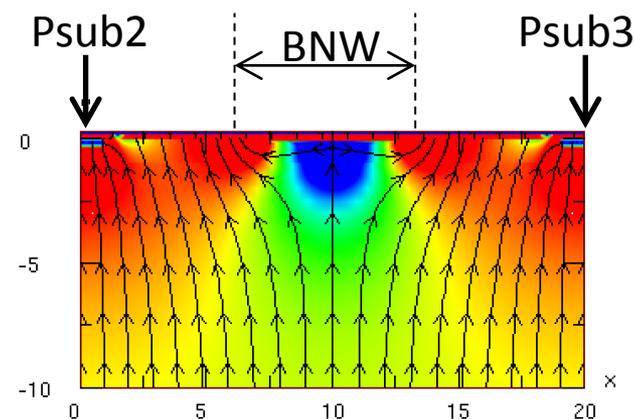
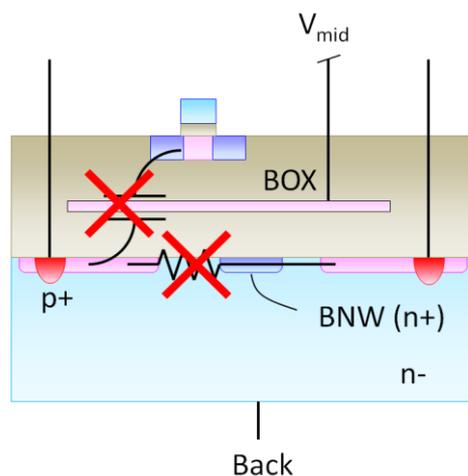
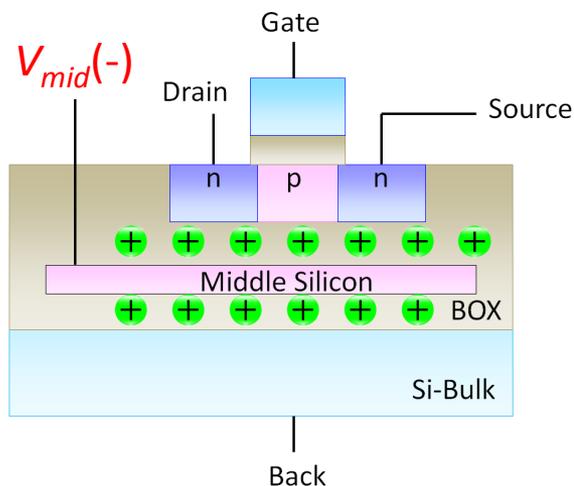
	DSSD + APV25		SOI PIXOR (16 OR)
占有率	6.7 %		<b>0.016 %</b>
センサー厚	300 $\mu\text{m}$		<b>100 <math>\mu\text{m}</math></b>
センサーピッチ	$\phi:50, z:160 \mu\text{m}$		$\phi:20, z:40 \mu\text{m}$
サンプリング周波数	42.33 MHz		42.33 MHz
読み出し形式	アナログ ( $\rightarrow$ 10bit?)		バイナリ (1bit)
Trigger rate	30 kHz		
Trigger latency	5 $\mu\text{s}$		

占有率 6.7%  $\rightarrow$  0.01%、物質質量1/3程度を狙う

 16 ORで設計し、回路面積により8 ORを狙う

# まとめ 1

- SOI検出器の高エネルギー実験での応用に向けて開発  
SOI検出器の課題克服研究



課題	解決方法を提案
放射線ダメージ:TID	2層SOI構造による放射線ダメージ補償
センサー間クロストーク(抵抗)	センサー間BNWによる抵抗分離
センサー/回路クロストーク(容量)	2層SOI構造による容量分離
電荷収集メカニズム	センサー間BNWによる電場形状変化

## まとめ 2 & 今後

### PIXORの開発 : Belle II SVD最内層アップグレードでのインストール

- PIXOR構造
- バイナリ判定方式
- カウンタを使ったトリガー待ち
- ヒットアドレス読み出し



PIXOR1を試作

	SOI PIXOR (16 OR)
占有率	0.016 %
センサー厚	100 $\mu\text{m}$
センサーピッチ	$\phi$ :20, z:40 $\mu\text{m}$
サンプリング周波数	42.33 MHz
読み出し形式	バイナリ(1bit)

### 今後

- PIXOR1のチップ評価(2月中旬～)
- PIXOR1 の性能 → PIXOR2の試作
- Belle II SVD最内層に向けて最適化
- 2層SOI構造による課題解決を実機で確認