

修士論文

国際リニアコライダーにおける
崩壊点検出器用高精細 CCD の読み出し回路の研究開発

Research and development of a readout electronics
for the fine-pixel CCD vertex detector at the international linear collider

東北大学大学院理学研究科
物理学専攻

板垣 憲之輔

平成 21 年

概要

国際リニアコライダー (International Linear Collider) 計画では、全長約 30km、重心系エネルギー 500 GeV の次世代電子・陽電子衝突型線形加速器の完成を目指している。ILC の重要な目的の一つとして、ヒッグス粒子の精密測定があげられる。ヒッグス粒子とフェルミオンとの湯川結合の質量への線型性を確かめるためには b クォークと c クォークを識別するフレーバータグが必要不可欠である。そのため、崩壊点検出器にはフレーバータグのための高い位置分解能が要求される。しかし、崩壊点検出器は衝突点の最も近くに配置されるシリコンピクセル検出器であり、ビームに付随するバックグラウンドが多数衝突する。それによりピクセル占有率 (全体のピクセル数に対するヒットのあるピクセル数の割合) が大きくなり、粒子の飛跡を正しく再構成できなくなってしまう。ILC 実現のためには、高い位置分解能を達成しつつ、ピクセル占有率を低く抑えた崩壊点検出器の開発が必須である。

世界中で ILC の要求を満たす崩壊点検出器の開発が進められており、日本グループは高精細 CCD (FPCCD) をセンサーに用いた崩壊点検出器を開発している。FPCCD はピクセルサイズ $5\ \mu\text{m} \times 5\ \mu\text{m}$ の CCD イメージセンサーで、ピクセルを細かくすることでピクセル占有率を低く抑えることが出来る。しかし、ピクセルが非常に細かいため、ピクセル数が全体で 10^{10} にもなり、読み出し技術の開発が重要になる。

本研究では FPCCD のための読み出し回路を開発し、その性能評価をおこなった。

目次

第 1 章	国際リニアコライダー	1
1.1	ILC 計画	1
1.2	加速器	1
1.3	ILD 測定器	1
1.3.1	崩壊点検出器 (VTX)	1
1.3.2	シリコン飛跡検出器	5
1.3.3	中央飛跡検出器	6
1.3.4	カロリメータ	7
1.3.5	ミュオン検出器	7
1.3.6	前方検出器	9
第 2 章	高精細 CCD(Fine Pixel CCD)	10
2.1	高精細 CCD 崩壊点検出器	10
2.2	CCD イメージセンサ	10
2.3	高精細 CCD(FPCCD)	10
2.4	試作高精細 CCD	13
第 3 章	高精細 CCD 用読み出し回路	16
3.1	開発の目的	16
3.2	読み出し回路への要求	16
3.3	要求の解決	17
3.4	回路構成	18
3.4.1	TOP	18
3.4.2	CHAIN1	20
3.4.3	CHAIN1A	31
3.4.4	CHAIN2	31
第 4 章	試作読み出し回路の動作検証	36
4.1	チップ仕様	36
4.2	試験基板	37
4.3	試験環境	37
4.4	出力信号の確認	38
4.4.1	シフトレジスタの出力	38
4.4.2	モニター出力の確認	41

4.4.3	ADC 出力	43
4.5	性能評価	45
4.5.1	読み出し速度	45
4.5.2	ペDESTAL分布	45
4.5.3	ADC の線形性	48
4.5.4	ADC の出力問題	48
第 5 章	高精細 CCD の読み出し試験	50
5.1	試験環境	51
5.2	CCD 出力の確認	51
5.3	CCD の読み出し	53
第 6 章	読み出し回路の第二次試作品	55
6.1	回路構成	55
6.1.1	TOP	55
6.1.2	CHAIN1	55
6.2	シミュレーション	62
6.2.1	シミュレータ	62
6.2.2	ADC のシミュレーション	62
6.2.3	CHAIN1 のシミュレーション	63
6.2.4	シフトレジスターのシミュレーション	72
第 7 章	まとめ	74
付 録 A	読み出し回路の仕様	76
A.1	チップレイアウト図	76
A.2	パッド配置一覧表	77
A.3	パッド配置一覧表 (次回試作品)	79
付 録 B	試験基板回路図	82
付 録 C	謝辞	83

目次

1.1	ILC の配置図 (500 GeV CM)	2
1.2	ILD 測定器	3
1.3	ヒッグス粒子との結合の強さ	4
1.4	電子・陽電子ペアバックグラウンドの生成	5
1.5	ILC のビーム構造	5
1.6	崩壊点検出器	5
1.7	ILC の飛跡検出システム	6
1.8	中央飛跡検出器 (TPC)	7
1.9	電磁カロリメータ	8
1.10	ハドロンカロリメータ	8
2.1	電荷転送の際のポテンシャル井戸の変化	11
2.2	CCD イメージセンサ	11
2.3	粒子の入射方向識別	12
2.4	センサーの多チャンネル化	13
2.5	全空乏化した CCD	14
2.6	試作高精細 CCD	14
2.7	試作 FPCCD のレーザーへの反応	15
3.1	崩壊点検出器の回路概念図	16
3.2	粒子の入射方向による発生電子数	17
3.3	ADC の動作	18
3.4	TOP	19
3.5	CHAIN1	20
3.6	読み出し経路の回路構成	20
3.7	前置増幅器	21
3.8	増幅要素	22
3.9	差動増幅器：電圧電流変換器としての働き	23
3.10	差動増幅器：抵抗としての働き	23
3.11	GmC フィルター	23
3.12	差動増幅器	24
3.13	ローパスフィルター (LPF)	25
3.14	ローパスフィルターの出力：VL1 設定	25

3.15	ローパスフィルターの出力：VL2 設定	25
3.16	相関二重サンプリングでのサンプリング点	25
3.17	相関二重サンプリング回路	26
3.18	電荷再分配型 ADC	26
3.19	電荷再分配型 ADC での A/D 変換の手順	28
3.20	電荷再分配型 ADC	29
3.21	入力ブロック	29
3.22	容量ブロック	30
3.23	トライステートバッファ	30
3.24	ローカルコントロールレジスター	30
3.25	CHAIN1A	31
3.26	CHAIN1A の前置増幅器	32
3.27	CHAIN2	32
3.28	バイアス電圧生成回路	33
3.29	BIAS	34
3.30	BIASLN	34
3.31	BIAS_DAC	34
3.32	セントラルコントロールレジスター	35
3.33	プルアップ回路	35
4.1	パッケージに封入した読み出し回路	36
4.2	読み出し回路用試験基板	37
4.3	読み出し回路の試験環境	38
4.4	VME モジュール (GNV-250)	39
4.5	シフトレジスターのタイミングチャート	40
4.6	チャンネル指定シフトレジスターの出力	41
4.7	セントラルコントロールレジスターの出力	42
4.8	ローカルコントロールレジスターの出力	42
4.9	モニター出力により確認できる信号	43
4.10	増幅器直後の信号:増幅率：×5	43
4.11	増幅器直後の信号:増幅率：×40	43
4.12	ADC 直前の差動信号	44
4.13	ADC 出力	44
4.14	ペDESTAL分布 変換速度：1.5 Mpix/sec	45
4.15	ペDESTAL分布 変換速度：5 Mpix/sec	45
4.16	ペDESTAL分布	46
4.17	ペDESTAL分布の温度による移動	47
4.18	温度変化による RMS の変化	47
4.19	入力電圧対 ADC 出力	48
4.20	フィットした直線との差	48

4.21	入力電圧対 ADC 出力：出力されない ADC カウントによりガタついている	49
4.22	入力電圧対 ADC 出力：容量素子の容量比を崩したシミュレーションとの比較	49
5.1	FPCCD 用試験基板	50
5.2	高精細 CCD 読み出しのためのセットアップ	51
5.3	高精細 CCD の動作信号	52
5.4	高精細 CCD の出力信号 左：光弱 右：光強	52
5.5	読み出し方式	53
5.6	遮光板	54
5.7	CCD 出力の二次元プロット	54
6.1	TOP(改良版)	56
6.2	CHAIN1(改良版)	57
6.3	前置増幅器(改良版)	58
6.4	LPF(改良版)	58
6.5	CDS(改良版)	59
6.6	容量ブロック(改良版)	60
6.7	ADC(改良版)	61
6.8	LCR(改良版)	61
6.9	オフセット調整回路(DAC)	62
6.10	再設計した電荷再分配型 ADC のシミュレーション	63
6.11	入力信号	64
6.12	増幅率調整	64
6.13	現行回路での増幅率調整	65
6.14	VL1 の設定を変えた LPF 出力	65
6.15	VL1 の設定を変えたときの LPF 直後の差動信号	65
6.16	VL2 の設定を変えた LPF 出力	66
6.17	VL2 の設定を変えたときの LPF 直後の差動信号	66
6.18	LPF 直後の差動信号	66
6.19	CDS 直後の差動信号	66
6.20	CHAIN1 のシミュレーション	67
6.21	CHAIN1 のシミュレーション (ADC カウント=0 付近)	68
6.22	CHAIN1 のシミュレーション (ADC カウント=96 付近)	68
6.23	コンパレータのオフセットを調整した CHAIN1 のシミュレーション (ADC カウン ト=0 付近)	69
6.24	コンパレータのオフセットを調整した CHAIN1 のシミュレーション (ADC カウン ト=96 付近)	69
6.25	コンパレータのオフセットを調整した CHAIN1 のシミュレーション	70
6.26	CHAIN1 のシミュレーション (増幅率：33 倍)	71
6.27	CHAIN1 のシミュレーション (増幅率：12.5 倍)	71

6.28	チャンネル指定シフトレジスタのシミュレーション	72
6.29	CCRのシミュレーション	72
6.30	LCRのシミュレーション	73
7.1	読み出しボードを含めたセットアップ	75
A.1	試作読み出し回路のレイアウト図	76
B.1	読み出し回路試験基板の回路図	82

表 目 次

1.1	崩壊点検出器の各レイヤーの半径と長さ	6
4.1	チップ仕様	36
5.1	試験に用いた試作 FPCCD の仕様	50
A.1	試作読み出し回路のパッド配置	78
A.2	次回試作読み出し回路のパッド配置	81

第1章 国際リニアコライダー

1.1 ILC 計画

ILC(International Linear Collider) 計画は、次世代電子・陽電子衝突型線形加速器を開発し、標準理論を越える物理の検証や Higgs 粒子の精密測定、トップ・クォークの精密測定などを旨とする実験計画である。

1.2 加速器

ILC は名前の通りの線形加速器である。これはシンクロトロン放射によるエネルギー損失を考慮した結果である。TeV スケールのエネルギーフロンティア実験として CERN の LHC 実験があるが、こちらは陽子・陽子衝突加速器であり、シンクロトロン放射の影響が小さいために円形加速器で高エネルギーの実験を可能としている。一方、加速粒子の質量が小さい電子・陽電子衝突ではシンクロトロン放射の影響が大きいため、円形加速器での到達エネルギーは限界に来ている。

ILC では、重心系エネルギーは最大 500 GeV、最大ルミノシティは $2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ 、四年間で 500 fb^{-1} の積分ルミノシティを計画している。また、後に重心系エネルギー最大 1 TeV にアップグレードし、TeV スケールの物理に迫る。

1.3 ILD 測定器

高精度な解析を行うために、ILC の測定器には高い性能が要求される [1]。いくつかの測定器グループが世界中で研究開発を進めていたが、2009 年に IDAG(International Detector Advisory Group) による LOI(Letter of Intent) の審査により 2 つのグループに絞られた。アジア・ヨーロッパを中心とした ILD(International Large Detector) グループと、北米を中心とした SiD(Silicon Detector) グループである。

ILD 測定器 (図 1.2) は崩壊点検出器 (VTX)、シリコン飛跡検出器 (SIT)、中央飛跡検出器 (TPC)、カロリメータ (CAL)、ミュオン検出器、前方検出器などから構成される。以下で ILD 測定器を構成する各検出器について説明する。

1.3.1 崩壊点検出器 (VTX)

崩壊点検出器は検出器の最内層に位置するシリコンピクセル検出器であり、粒子の飛跡を再構成し崩壊点を求める役割を担う。ヒッグス粒子とフェルミオンとの湯川結合の質量への線形性 (図

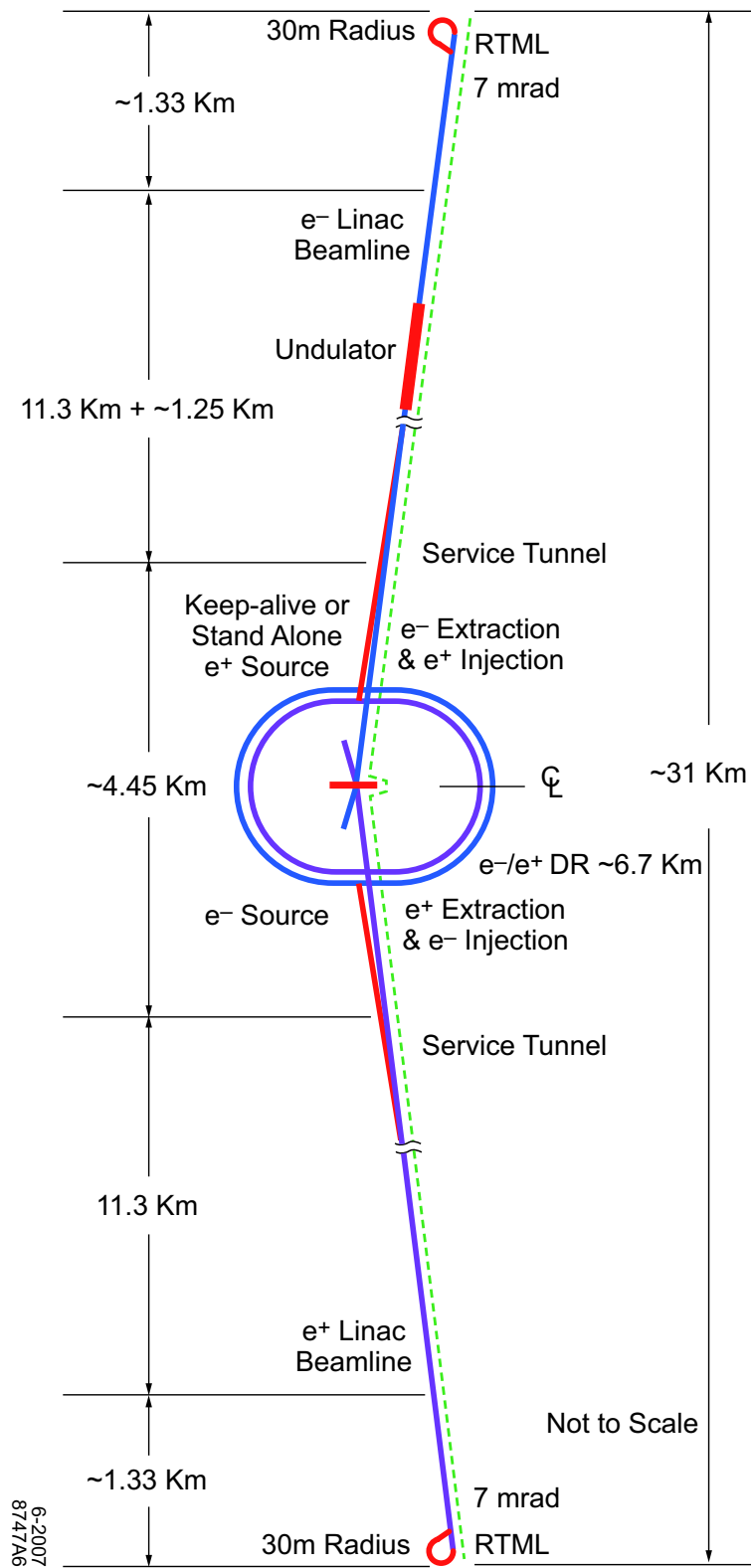


図 1.1: ILC の配置図 (500 GeV CM)

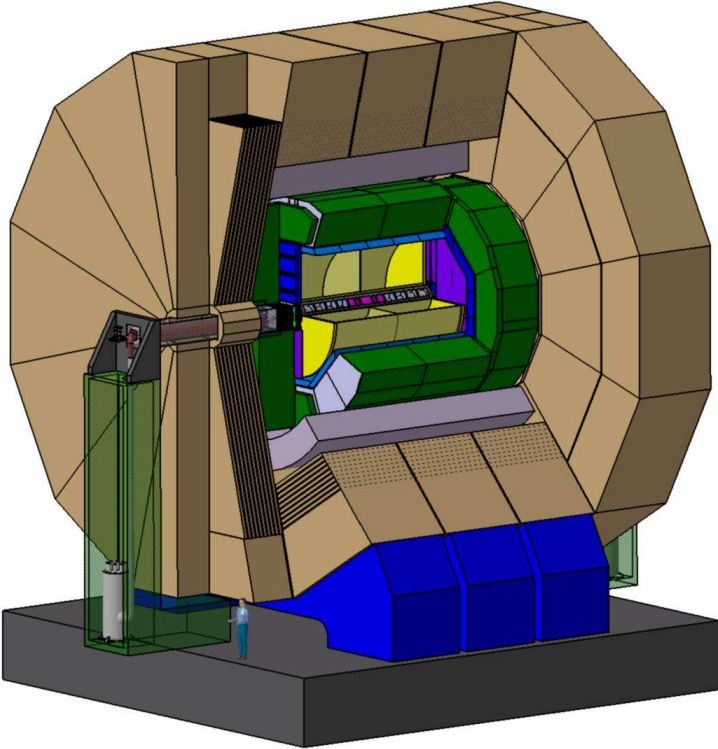


図 1.2: ILD 測定器

1.3) を確かめるためには b クォークと c クォークを識別するフレーバータグが必要不可欠である。フレーバータグには B 中間子や D 中間子の崩壊点を求めることが必要であるため、崩壊点検出器に極めて高い性能が要求される。崩壊点分解能の目標は

$$\sigma = 5 \oplus 10/p\beta\sin^{\frac{3}{2}}\theta \text{ (}\mu\text{m)}$$

p : 粒子の運動量, β : 粒子の速度, θ : ビーム軸からの角度

である。ここでセンサーの分解能は第一項であり、第二項は多重散乱からの寄与である。第二項を達成するため、検出器の物質質量を抑える研究もなされている。

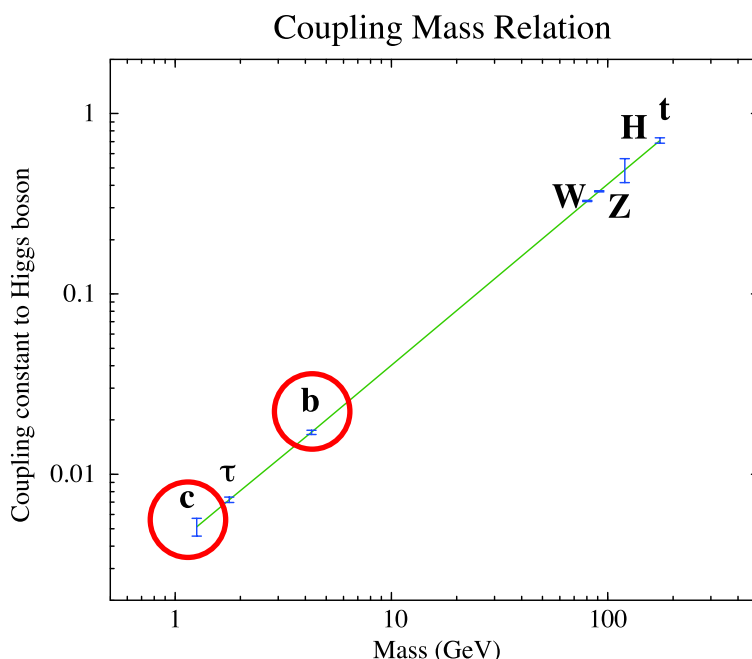


図 1.3: ヒッグス粒子との結合の強さ

粒子の飛跡を正確に求めるために崩壊点検出器は出来るだけ衝突点の近傍に設置される。しかし、衝突点近傍に設置すると、磁場で抑えられるとはいえ、衝突点で発生する電子・陽電子ペアバックグラウンドが崩壊点検出器に多数衝突する (図 1.4)。ILC ではビーム (トレイン) を 200 ms おきに衝突させるが (図 1.5)、1 トレインにわたってヒット情報を蓄積すると、ピクセル占有率 (全体のピクセル数に対するヒットのあるピクセル数の割合) が 10% を超えてしまう。ピクセル占有率が大きくなると飛跡の再構成が正確におこなえなくなるため、数% 以下に抑える必要がある。ピクセル占有率を抑えた崩壊点検出器の開発は世界中のグループによっておこなわれており、日本以外のグループでは、1 トレインのヒット情報を 20 程度に分割することで、ピクセル占有率を抑える方法をとっている。それに対し日本グループでは、独自のアイデアであるセンサーを高精細にすることでピクセル占有率を抑える方法をとっており、センサーに高精細 CCD を用いた崩壊点検出器の開発をおこなっている。高精細 CCD 崩壊点検出器については次章で詳しく語る。

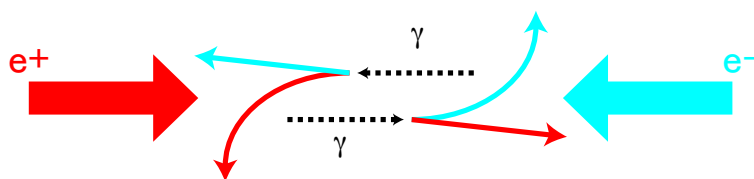


図 1.4: 電子・陽電子ペアバックグラウンドの生成

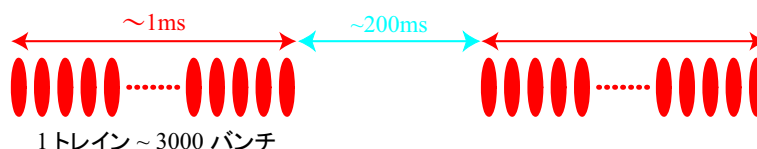


図 1.5: ILC のビーム構造 : 5 Hz でビームが衝突する。

また、崩壊点検出器の形状にはシングル・レイヤーとダブル・レイヤーの二つの案がある。どちらの案も、センサーと読み出し回路からなるラダーをサポート・レイヤーが支持する形になるが、シングル・レイヤーではサポート・レイヤー層がラダー層を支えるのに対し、ダブル・レイヤーではサポート・レイヤーの裏表にラダーを張り付ける。検出器全体でのレイヤーの数は、シングル・レイヤーの場合は五層、ダブル・レイヤーの場合は三層と設計されている。

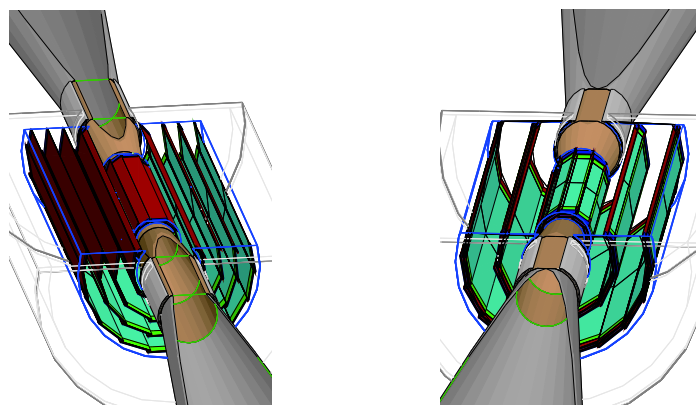


図 1.6: 崩壊点検出器 左 : シングル・レイヤー 右 : ダブル・レイヤー

1.3.2 シリコン飛跡検出器

シリコン飛跡検出器は崩壊点検出器と中央飛跡検出器での飛跡検出を補佐する検出器である。

表 1.1: 崩壊点検出器の各レイヤーの半径と長さ

geometry	radius [mm]		ladder length [mm]	
	VTX-SL	VTX-DL	VTX-SL	VTX-DL
layer 1	15.0	16.0/18.0	125.0	125.0
layer 2	26.0	37.0/39.0	250.0	250.0
layer 3	37.0	58.0/60.0	250.0	250.0
layer 4	48.0		250.0	
layer 5	60.0		250.0	

SIT(Silicon Internal Tracker) と SET(Silicon External Tracker) は円筒状のシリコンストリップ検出器であり、SIT は崩壊点検出器と TPC の間に、SET は TPC と ECAL の間に配置される。これらの検出器は運動量分解能の向上に寄与するとともに、バンチ間の時間情報による各々のイベントのバンチタグを可能とする。

FTD(Forward Tracking Detector) と ETD(End cap Tracking Detector) は円盤状の検出器で、FTD はピクセル三層とストリップ四層、ETD はストリップ三層で構成される。FTD は TPC の内側に配置され、 0.15 rad の領域をカバーする。ETD は TPC のエンドキャップとエンドキャップ ECAL の間に配置される。FTD、ETD は運動量分解能の向上に寄与し、また、ETD には TPC と ECAL の接続を良くする効果もある。

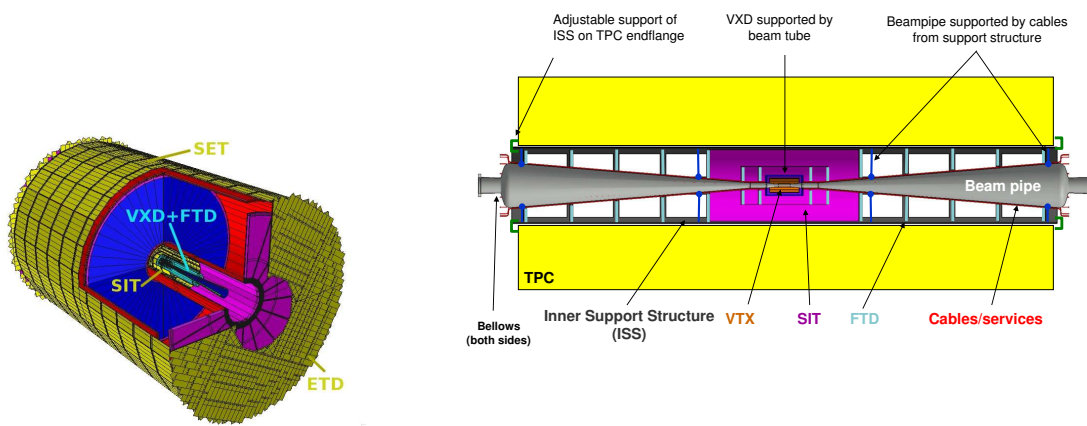


図 1.7: ILC の飛跡検出システム

1.3.3 中央飛跡検出器

中央飛跡検出器 (図 1.8) はガスを検出媒体とした TPC(Time Projection Chamber) である。検出器端部にマイクロパターンガス検出器 (MPGD) が敷き詰められ、内部空間にはガスが充満した

構造をしている。粒子の検出は以下の手順でおこなう。まず、ガス中を荷電粒子が通るとガスが陽イオンと電子に電離する。電離した電子はビーム軸に平行な高電場によってMPGD方向にドリフトされる。MPGDに達した電子は電子雪崩を起こし、数千倍に増幅されて検出される。このドリフトに要した時間の情報と、MPGDによる二次元の空間情報を用いて、荷電粒子の飛跡を再構成する。

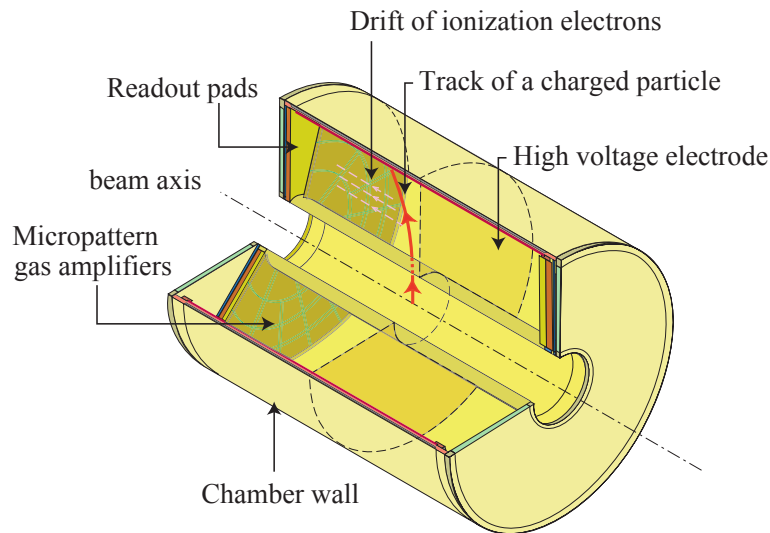


図 1.8: 中央飛跡検出器 (TPC)

1.3.4 カロリメータ

カロリメータでは、高エネルギー粒子が物質に入射したときの二次粒子の生成 (カスケードシャワー) を利用して粒子のエネルギーや位置を測定する。特に飛跡を残さない光子、中性ハドロンの測定に利用される。

ILCのカロリメータは、粒子のエネルギーを落とす吸収層とエネルギーの測定をおこなう測定層で構成されるサンプリング型カロリメータであり、電磁カロリメータ (ECAL : 図 1.9) とハドロンカロリメータ (HCAL : 図 1.10) がある。

ECAL は光子と電子をとらえるカロリメータで、吸収層にはタングステンを用い、測定層としてはシリコン・ピクセル・センサを用いる方法と、ストリップシンチレータを用いる方法が考えられている。

HCAL はハドロンをとらえるカロリメータで、吸収剤にステンレス鋼を用い、測定層はシンチレータタイルを用いる方法と、ガス検出器を用いる方法が考えられている。

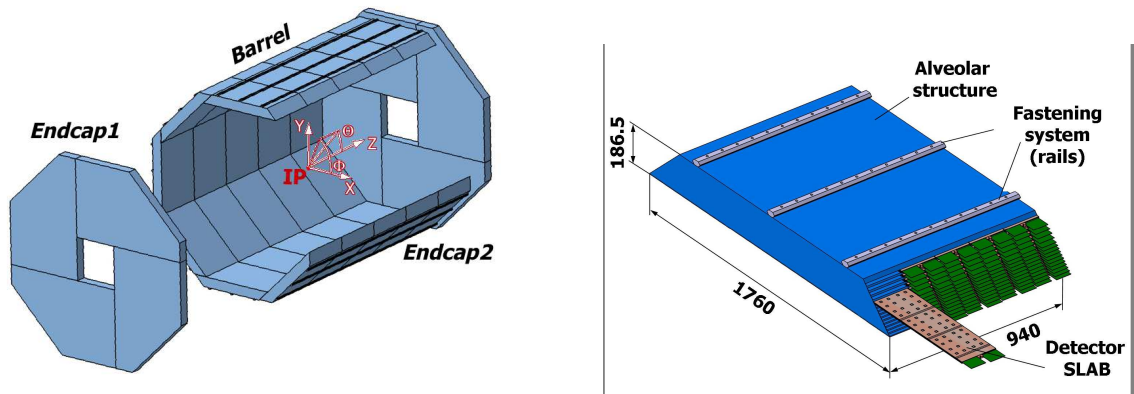


図 1.9: 電磁カロリメータ 左: 概観 右: 構成要素

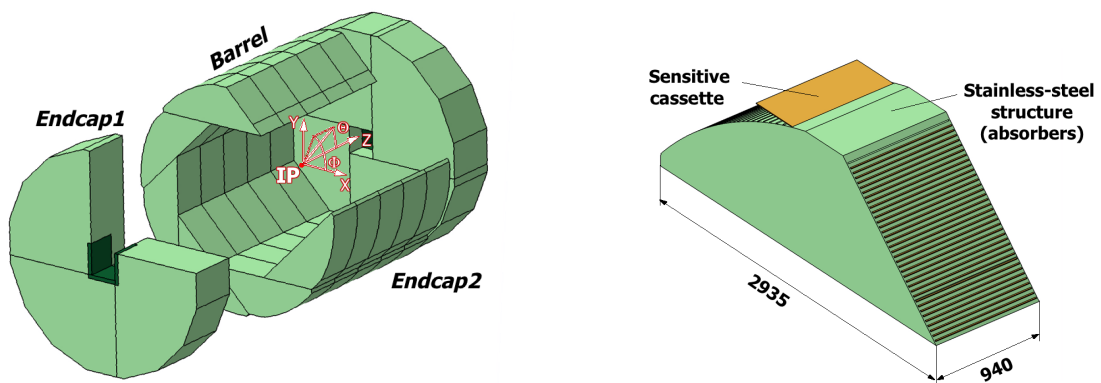


図 1.10: ハドロンカロリメータ 左: 概観 右: 構成要素

1.3.5 ミューオン検出器

カロリメータを通過する粒子のほとんどはミューオンであり、その検出にはリターンヨークが利用される。方向のリターンヨークは100 mmの厚さの鉄板10枚と560 mmの厚さの鉄板3枚で構成され、各々の隙間(40 mm)にミューオン検出器が配置される。また、エンドキャップヨークも10枚の100 mmと2枚の560 mmの鉄板で構成され、その隙間にミューオン検出器が配置される。ミューオン検出器で検出された信号と飛跡検出器で再構成した飛跡は容易に結びつけられる。これは、レプトンコライダーであるILCで観測される事象がクリーンであるためである。

1.3.6 前方検出器

ビーム軸近傍に配置する検出器群を前方検出器と称する。これらの検出器ではビームサイズの測定やルミノシティの測定をおこなう。主な前方検出器としてはLumiCal、BeamCal、ペアモニタが挙げられる。

LumCalはシリコンとタングステンを用いたカロリメータで、バーバー散乱を利用してルミノシティの測定をおこなう。ルミノシティ L を求める式は $L = \frac{N}{\sigma}$ であらわされる。 N はバーバー散乱の計数率、 σ は理論計算で求めた反応断面積である。Lumcalのカバーする角度領域において、バーバー散乱の反応断面積は約3 nb、予定するルミノシティは $3 \times 10^{34} / \text{cm}^2 \text{s}$ であるので、一年間に約 9×10^8 のイベントが得られる。これは、目標とする統計誤差 10^{-4} 以下を達成するのに十分な値である。

BeamCalは固体センサーとタングステンを用いたカロリメータで、LumCalよりビームパイプに近い位置に配置される。目的は、ビーム軸に沿う信号を観測することによる検出器の精度向上にある。

ペアモニタはシリコン・ピクセル検出器で、BeamCalの前方に配置され、ペアバックグラウンドのヒット分布情報を利用してビームの形状を測定する。ペアバックグラウンドはビームによって生じる電磁場によって散乱されており、この電磁場はビームの形状により決まる。そのため、ペアバックグラウンドはビームの形状の情報を持っているので、そのヒット分布からビーム形状を求めることが出来る。ペアバックグラウンドはBeamCalにもヒットするため、両者のデータを合わせることで高精度な測定が期待できる。

第2章 高精細 CCD(Fine Pixel CCD)

2.1 高精細 CCD 崩壊点検出器

崩壊点検出器のセンサー開発にあたって最も厳しい条件は、前章でも触れたビームに付随するバックグラウンドによりピクセル占有率が高くなってしまふことである。この問題を解決し、ILCの崩壊点検出器として十分な性能を発揮すべく、崩壊点検出器の研究開発は世界中でなされている。日本グループはピクセルサイズが $5\ \mu\text{m} \times 5\ \mu\text{m}$ の高精細 CCD(FPCCD) を用いた崩壊点検出器の開発を進めている [2, 3]。

2.2 CCD イメージセンサ

FPCCDの説明の前に、CCD イメージセンサについて説明する [4, 5]。CCDとはCharge Coupled Devices(電荷結合素子)の頭文字で、シリコン基板上にMOSトランジスタを用いた転送電極を配列した構造を持っている。各転送電極に異なる電圧を与えることでシリコン基板内に異なるポテンシャルを持ったポテンシャル井戸を形成し、与える電圧を変えることでポテンシャル井戸に貯まった電荷の転送をおこなえる素子である。図 2.1 に CCD の電荷転送の際のポテンシャル井戸の様子を示す。

CCD をフォトダイオードで発生した電荷の転送に用いたイメージセンサが CCD イメージセンサ(図 2.2)である。CCD イメージセンサは電荷の転送方式により分類され、FPCCD はフルフレームトランスファー (FFT) 型の CCD イメージセンサである。FFT-CCD イメージセンサでの画像取得は以下のおこなう。まず、一定の受光時間にフォトダイオードに電荷を発生させ、電極下のポテンシャル井戸に電荷を貯める。次に、垂直転送 CCD により電荷を一段下へ転送する。最下段のピクセルに貯まった電荷が水平転送 CCD に移動するので、出力アンプに順次転送し、電圧として外部に出力する。一段分の電荷を出力し終わったら、再び垂直転送をおこなう。下から二段目のピクセルに貯まった電荷が水平転送 CCD に移動するので、出力アンプから外部に出力する。同様の操作を繰り返し、全ピクセルの電荷を電圧信号として出力し、電圧信号を再構成することで画像を得ることができる。

2.3 高精細 CCD(FPCCD)

我々が崩壊点検出器に用いるべく開発している FPCCD は、ピクセルサイズ $5\ \mu\text{m} \times 5\ \mu\text{m}$ 、厚さ $15\ \mu\text{m}$ の全空乏化した有感層を持つ CCD イメージセンサである。FPCCD の特徴を以下にあげる。

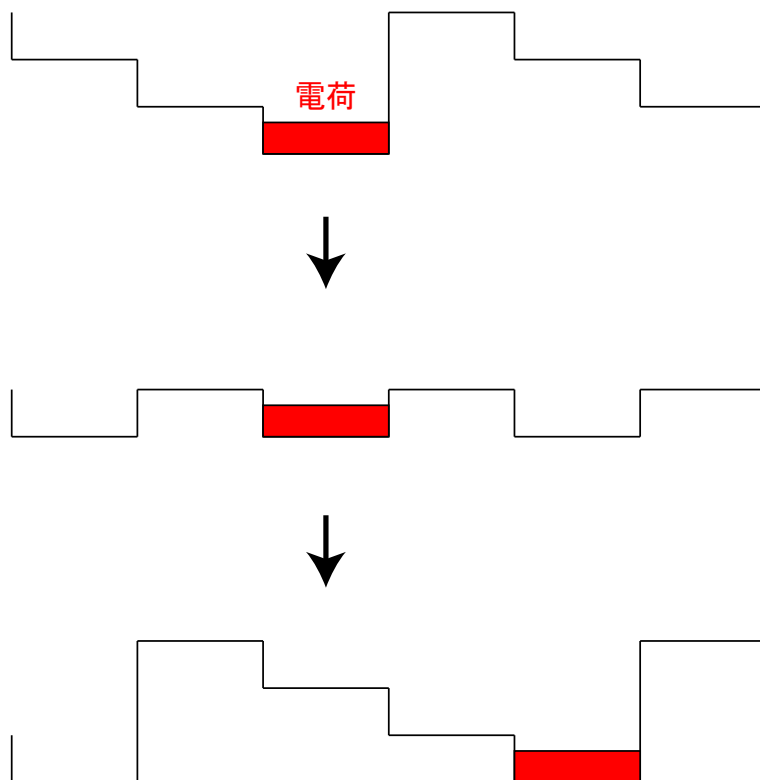


図 2.1: 電荷転送の際のポテンシャル井戸の変化

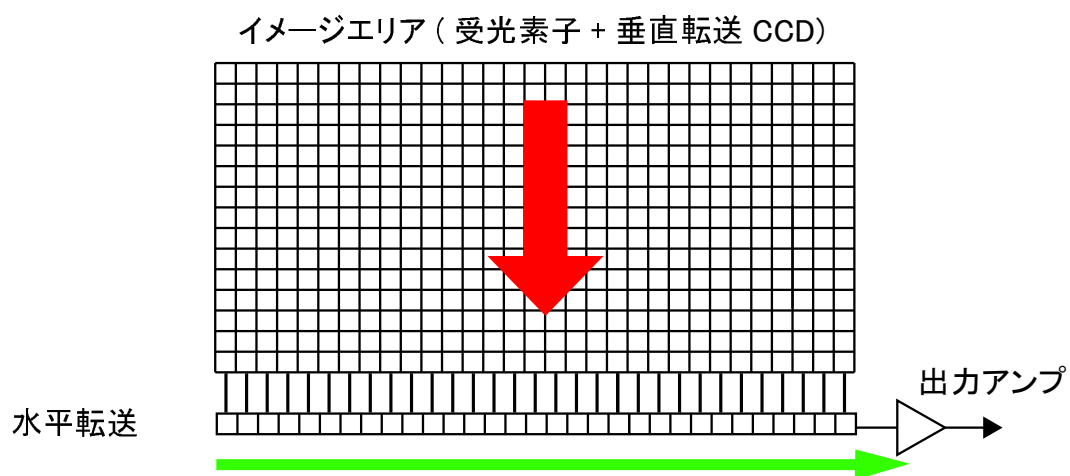


図 2.2: CCD イメージセンサ

- 高精細であるため、高い空間分解能力を持っている。
- 有感層はバイアス電圧をかけて空乏化する。このとき、空乏層には電場がかかるが、空乏化されていない層ではキャリアにより電場が打ち消される。FPCCD では有感層が全空乏化されており、信号電荷がすぐにポテンシャル井戸に移動するため、熱拡散が抑えられる。そのため、近接する二粒子の分解能に優れている。
- ヒットのあるピクセルの並び方により、信号の入射方向がわかる (図 2.3)。バックグラウンドは磁場によりビームパイプに垂直な方向へ曲げられているため、粒子の入射方向の情報がバックグラウンド除去に役立つ。
- 信号をトレイン間の 200 ms に読み出すため、ビームに由来する高周波ノイズの影響を受けない。また、パワーサイクリングをおこなわないため、ローレンツ力による振動の心配がない。パワーサイクリングとは、消費電力を抑えるためにビームの衝突時のみ電源を入れ、トレイン間の 200 ms には電源を切るという方法である。この方法を取ると 5 Hz で大電流が流れることになり、ローレンツ力による振動が問題となる可能性がある。トレイン中での読み出しを提唱している開発グループでは消費電力低減のためにパワーサイクリングを採用している。

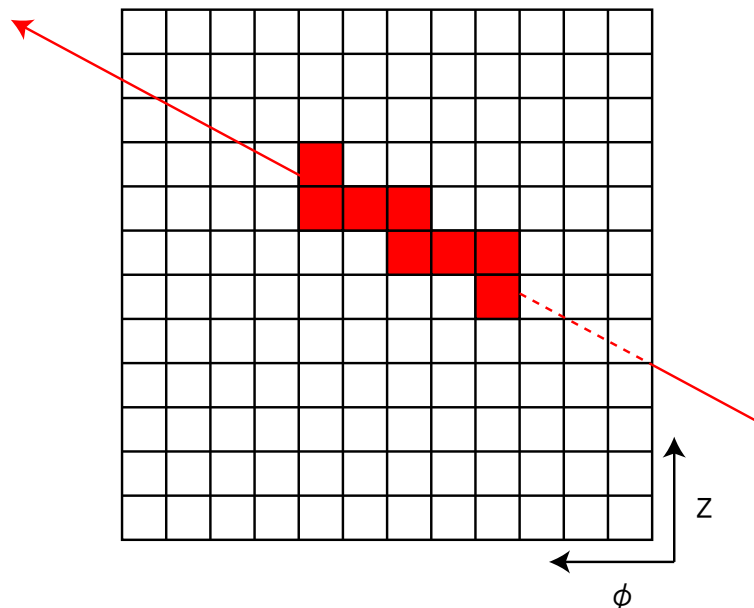


図 2.3: 粒子の入射方向識別

- 高精細にするための代償として膨大な数になったピクセルを素早く読み出すため、図 2.4 のように水平転送 CCD をイメージエリア内に埋め込み、複数の出力アンプを設ける。ひとつのアンプで出力するピクセルは $20,000 \times 128$ ピクセルで、一枚のセンサーは 32 チャンネルに分割される。このためには水平転送 CCD をピクセルと同じ大きさにする必要がある。

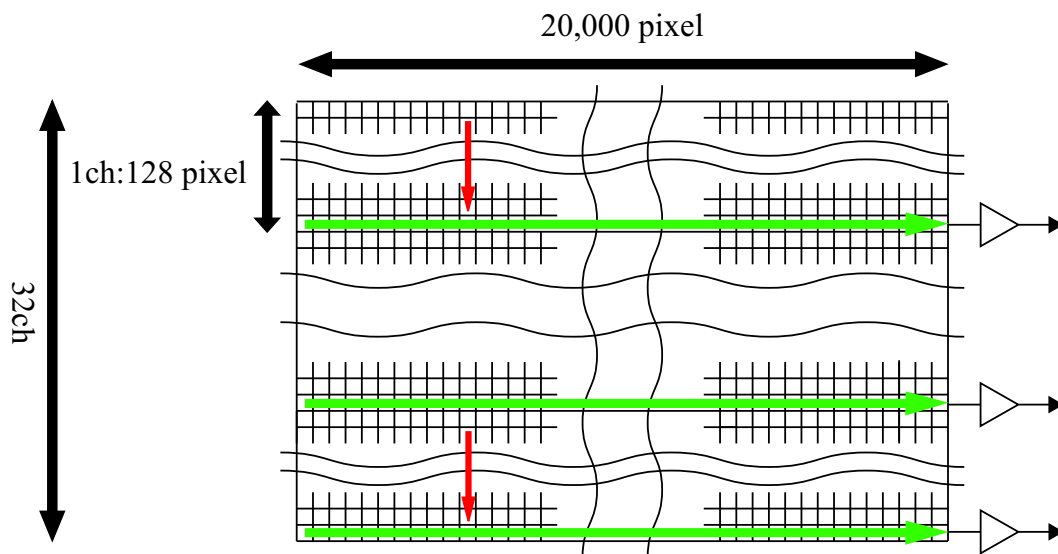


図 2.4: センサーの多チャンネル化

2.4 試作高精細 CCD

FPCCDの開発が進められており、有感層を全空乏化した CCDの開発に成功している(図 2.5)。

2008年度にはFPCCDの試作に入っており、ピクセル・サイズ $12\ \mu\text{m} \times 12\ \mu\text{m}$ で、有感層の厚さは $15\ \mu\text{m}$ と $24\ \mu\text{m}$ の二種類の試作FPCCDを開発した。図 2.6 はパッケージングした試作FPCCDである。この試作品の水平転送 CCD はピクセルと同じサイズになっており、レーザーにより感度をもっていることが確認されている(図 2.7)。ピクセルを小さくしたFPCCDの試作を継続しており、2009年度末にはピクセルサイズ $6\ \mu\text{m} \times 6\ \mu\text{m}$ の CCD が完成する。

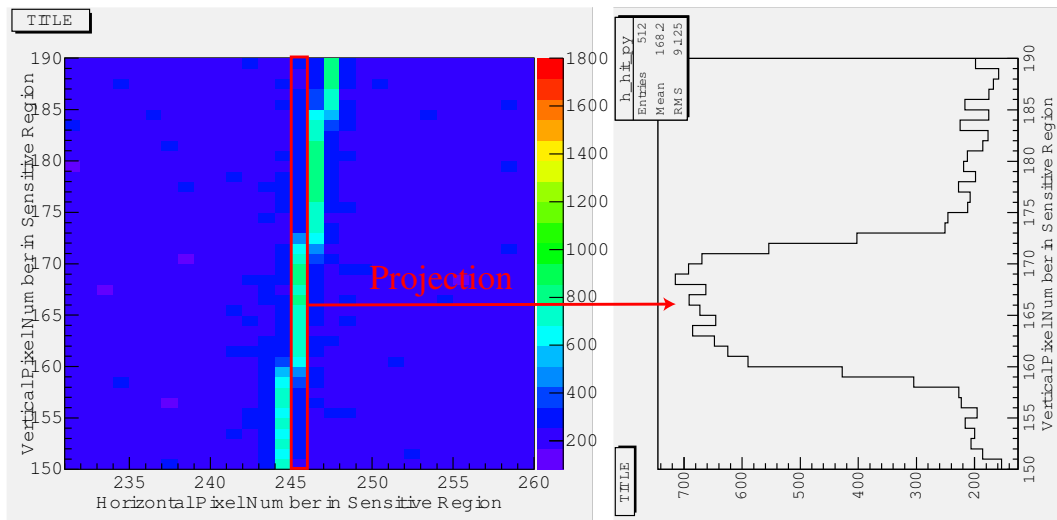


図 2.5: 全空乏化した CCD : 隣のピクセルへの電荷の染みだしがない

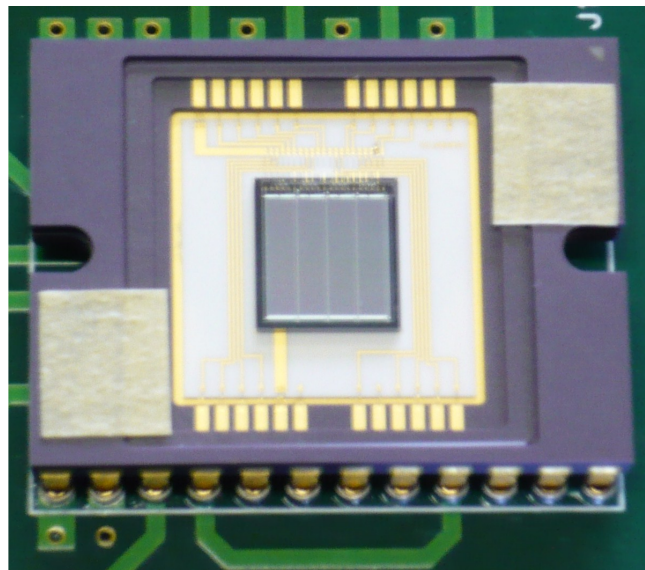


図 2.6: 試作高精細 CCD

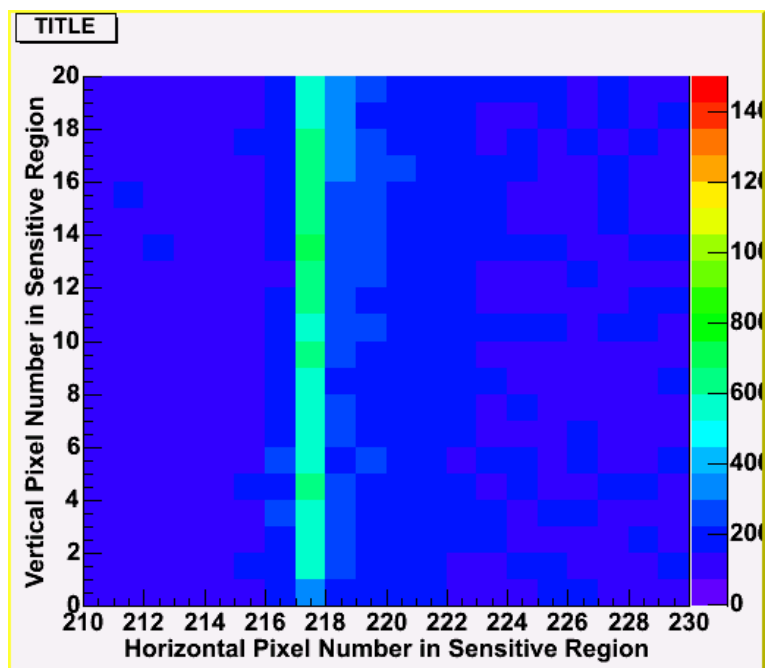


図 2.7: 試作 FPCCD のレーザーへの反応：最下段のピクセルは水平転送 CCD であり、感度を持っていることがわかる。他ピクセルに比べ、信号が小さい理由はアルミニウム層によりカバーされているためである。

第3章 高精細 CCD 用読み出し回路

3.1 開発の目的

FPCCD を用いた崩壊点検出器の実現のためには、その膨大なピクセル数のため、読み出しシステムの技術確立が必要である。FPCCD の読み出し技術を立証するために、多チャンネル対応の読み出し回路の開発を開始した。

3.2 読み出し回路への要求

FPCCD 用読み出し回路への要求は以下の三つが挙げられる。

1. 消費電力：6 mW/ch 以下

FPCCD と読み出し回路はラダー上に実装され、このラダーはクライオスタット内に設置される (図 3.1)。そのため、ラダーに実装される FPCCD、読み出し回路には電力消費による発熱に制限が掛かってくる。そこで、崩壊点検出器の開発にあたって、FPCCD と読み出し回路全チャンネルでの消費電力に 100 W 以下を要求した。チャンネル数は 6,080 あるので 1 チャンネルあたりに許される消費電力は約 16 mW となる。FPCCD 1 チャンネルあたりの消費電力は約 10 mW を目指して開発しているので、読み出し回路には 1 チャンネルあたり 6 mW 以下を要求する。

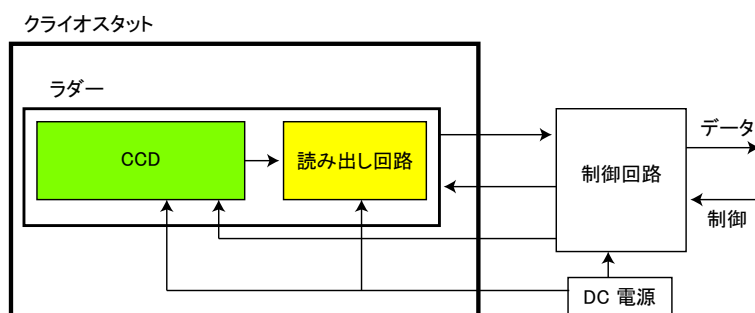


図 3.1: 崩壊点検出器の回路概念図

2. 読み出し速度：10 Mpix/sec 以上

トレイン間の 200 ms で 20,000×128 のピクセルを読み出さなくてはならない。そのために必要な読み出し速度は 10 Mpix/sec ($\sim 20,000 \times 128 \text{ pix} \div 200 \text{ ms}$) である。

3. ノイズレベル：30 電子以下

粒子がセンサー内を通ったとき、飛距離 $1 \mu\text{m}$ あたり 80 電子の信号が得られるとすると、図 3.2 のようにピクセルに対して横向きに入射する粒子から得られる信号は 400 電子程度となる。この信号がノイズに飲み込まれないようにするため、FPCCD と読み出し回路双方のノイズレベルを低く抑える必要がある。読み出し回路のノイズレベルとしては 30 電子以下を要求した。

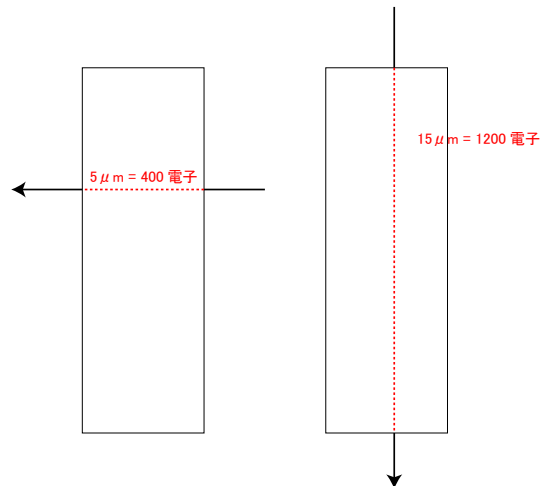


図 3.2: 粒子の入射方向による発生電子数 左：横向き入射粒子 右：縦向き入射粒子

3.3 要求の解決

設計した読み出し回路では上記の要求に対し、以下のような対策を施している。

1. 消費電力

消費電力を低減するために、読み出し回路の主な電力消費源の一つである ADC に電荷再分配型 ADC を採用した [6]。その消費電力は $10 \mu\text{W}/\text{ch}$ 程度である。電荷再分配型 ADC については 3.4.2 で説明する。

主な消費電力源として、出力信号のドライブ回路も挙げられる。本回路では、出力する信号として LVDS 規格を採用した。LVDS ドライバでの消費電力は、 1 mA の電流を 1.65 V からグランドに向かって流しているため $1.65 \text{ mW}/\text{ch}$ である。

2. 読み出し速度

$5 \text{ Mpix}/\text{sec}$ の変換速度を持つ ADC を二つ交互に使用することで、変換速度 $10 \text{ Mpix}/\text{sec}$ を達成する方法を採用した。A/D 変換の過程は「ADC への入力信号取り込み」と「入力信号の A/D 変換」の二つに分けられ、図 3.3 のように ADC の片方が「入力信号の A/D 変換」をおこなっているときは、もう一方が「ADC への入力信号取り込み」をおこなっている。

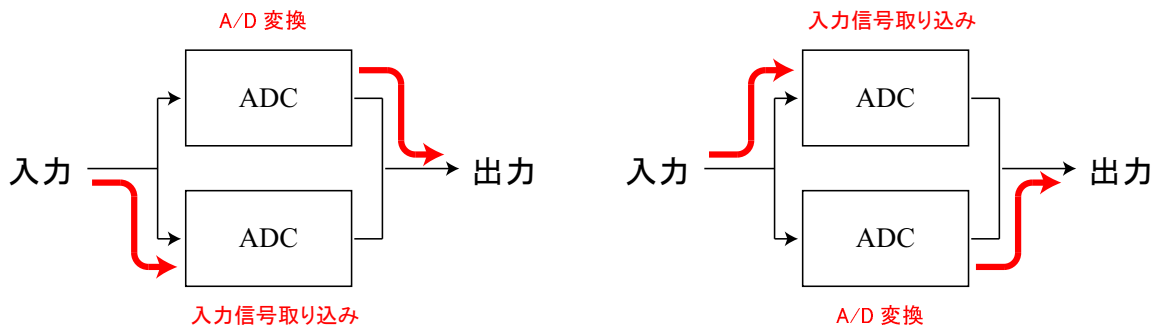


図 3.3: ADC の動作 : 二つの ADC が交互に A/D 変換をおこなう

3. ノイズレベル

ローパスフィルター、相関二重サンプリング回路を使用することで、ノイズレベルを抑えている。ローパスフィルター、相関二重サンプリング回路については 3.4.2 で説明する。

3.4 回路構成

以上の解決法を踏まえて設計した回路を説明する。回路の開発には宇宙航空研究開発機構の池田博一教授に協力していただき、Open-IP を活用している [7]。

3.4.1 TOP

全体の回路構成は図 3.4 のようになっており、主に以下のモジュールによって構成されている。

- CHAIN1(CHAIN1A)
読み出し処理の主な役割を担う回路。1 チップに 8 つある。
- CHAIN2
電流源に与えるバイアス電圧を生成する回路、ローパスフィルターのパラメータ設定をおこなうシフトレジスタ、不定値となったデジタル出力を 1 に引き上げる回路で構成されている。
- 各入出力のレシーバ/ドライバ回路
デジタル信号の振幅を調整する回路。外部信号は 0 V から 1.65 V の振幅を持つのに対して、読み出し回路内での信号は ± 1.65 V の振幅を持つので、レシーバ/ドライバ回路で信号の電圧を調整し、外部信号と回路内信号のやり取りを可能としている。

以下で CHAIN1(CHAIN1A)・CHAIN2 について記述する。

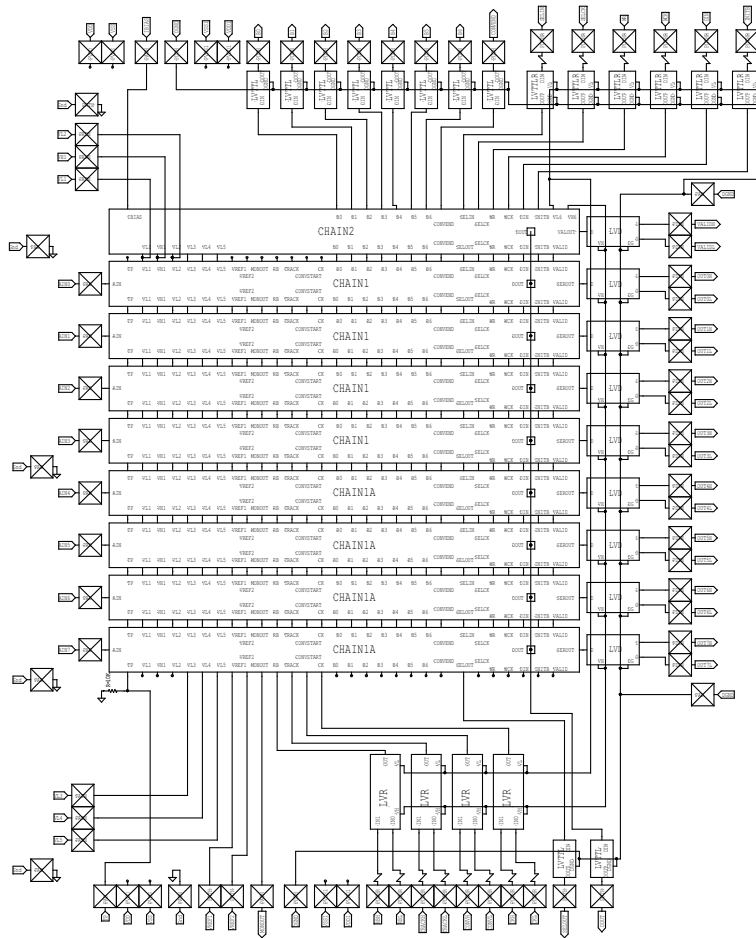


図 3.4: TOP

3.4.2 CHAIN1

CHAIN1 の回路図を図 3.5 に示す。図 3.6 は CCD 信号の読み出し経路の構成回路を簡略化した図である。CCD 信号の読み出し経路は以下のようになっている。

- (a) 20 pF 容量 + 前置増幅器 (GAIN)
- (b) ローパスフィルター (LPF)
- (c) 相関二重サンプリング (CDS)
- (d) 電荷再分配型 ADC

CHAIN1 には他に、前置増幅器後の信号と ADC 前の差動信号を確認するための (e) モニター回路と、前置増幅器とモニター回路を制御する (f) ローカルコントロールレジスター (LCR) が含まれる。

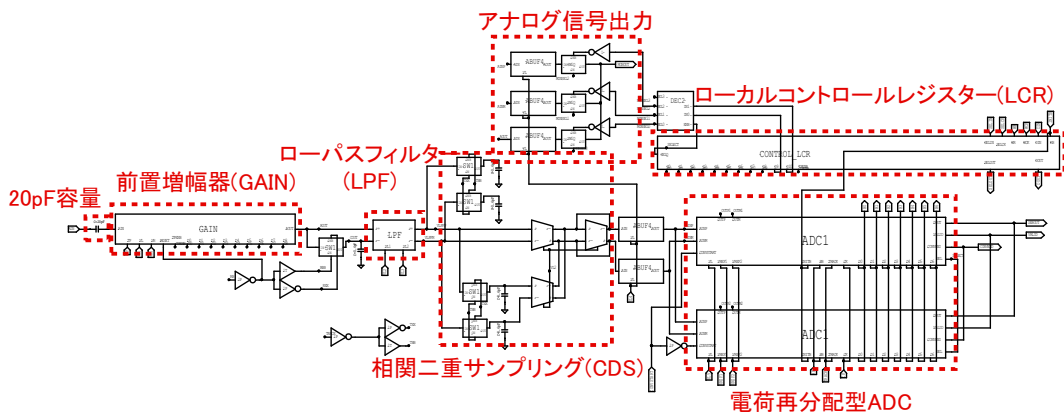


図 3.5: CHAIN1

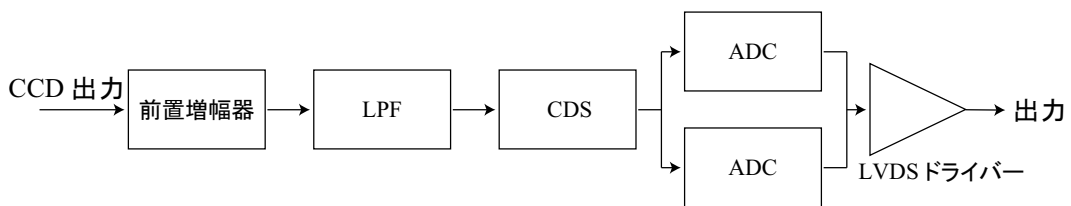


図 3.6: 読み出し経路の回路構成

以下で各モジュールについて記述する。

(a) 増幅器

前置増幅器の回路図を図 3.7 に示す。

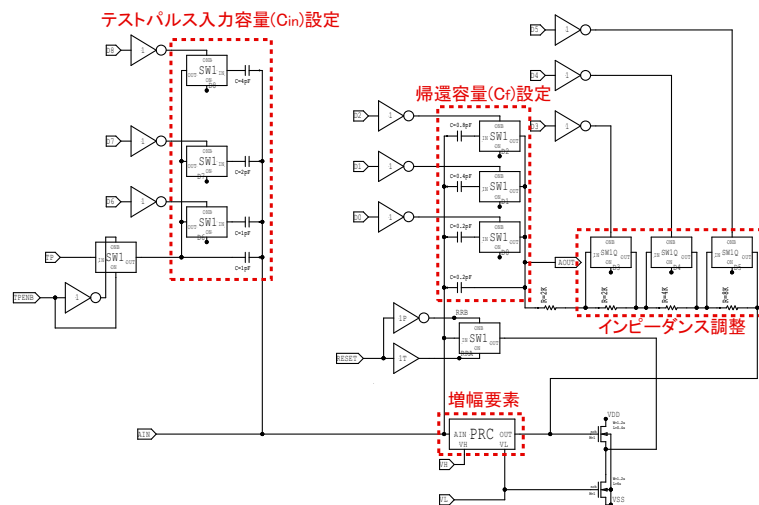


図 3.7: 前置増幅器

前置増幅器では CCD から入力された電圧信号を、 $V_{out} = -\frac{C_{in}}{C_f} V_{in}$ に増幅して出力する。ここで C_{in} は入力容量、 C_f は帰還容量である。出力電圧は帰還容量に反比例し、入力容量に比例しているため、帰還容量とテストパルスの入力容量を可変とした。帰還容量は $0.2 \text{ pF} \sim 1.6 \text{ pF}$ まで、テストパルスの入力容量は $1 \text{ pF} \sim 8 \text{ pF}$ まで、8 段階の設定ができる。容量の設定はチャンネル毎に装備された LCR により、各チャンネルごとに設定可能である。CCD 信号の入力容量は図 3.5 にある 20 pF であり、固定である。

増幅器における増幅要素の回路図を図 3.8 に示す。AIN が入力ライン、AOUT が出力ラインである。入力トランジスタには $1/f$ 雑音の小さい PMOS トランジスタを用いている。出力段には出力インピーダンスを大きくして大きな電圧利得を得るために、カスコードトランジスタを配している。前置増幅器の全体は、カスコード回路を折りたたんだ構成のフォールデッド・カスコード構造となっている。VH、VL は CHAIN2 から与えられるバイアス電圧であり、バイアス電圧を受けるトランジスタが定電流源として働くことで回路を駆動する。PMOS 側定電流源にはカスコードトランジスタを設け、 V_{SD} を一定に保つとともに、出力インピーダンスを大きくすることで電流源として安定させている。また、バイアス電圧を安定させるためにトランジスタのゲート容量をバイパスコンデンサとして用いている。

(b) ローパスフィルター (LPF)

読み出し回路ではローパスフィルターとして差動増幅器を用いた GmC フィルターを採用している。

まず、GmC フィルターについて説明する。GmC フィルターは差動増幅器二個とキャパシター一個を組み合わせた構成となっている。差動増幅器の一つは電圧電流変換回路として働き、その出力電流は $I_{out} = G_m V_{in}$ と表わされる (図 3.9)。 G_m は差動増幅器に用いている定電流源のドレインコンダクタンスの値により決定される変換係数である。もう一つは抵抗として使用する。差

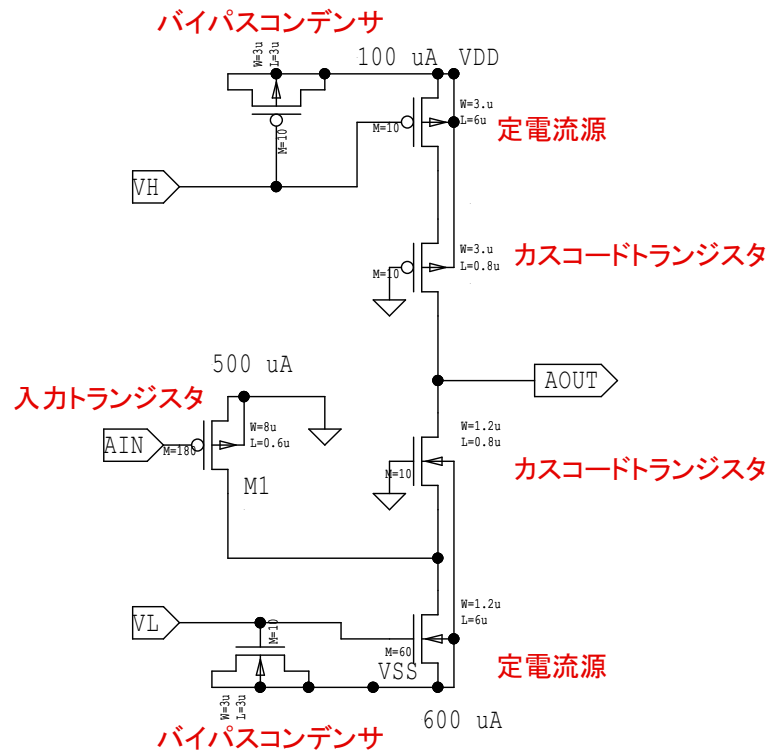


図 3.8: 増幅要素

動増幅器は帰還をかけると抵抗として働き、その抵抗値は $R = \frac{V_{in}}{I_{in}} = \frac{1}{G_m}$ である (図 3.10)。差動増幅器を抵抗として用いる利点はバイアス電圧により抵抗値を設定できる点にある。図 3.11 のようにキャパシターと組み合わせることで $\frac{V_{out}}{V_{in}} = \frac{-G_{m1}}{G_{m2} + j\omega C}$ となるローパスフィルターを構成できる。

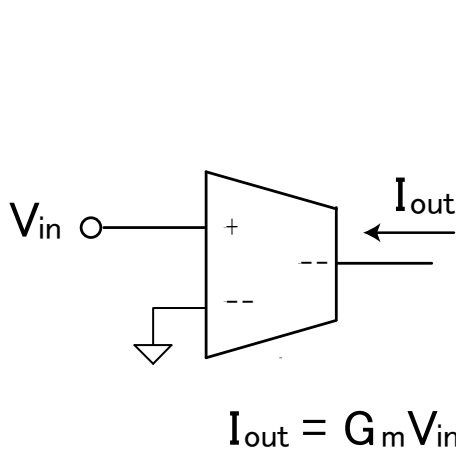


図 3.9: 差動増幅器：電圧電流変換器としての働き

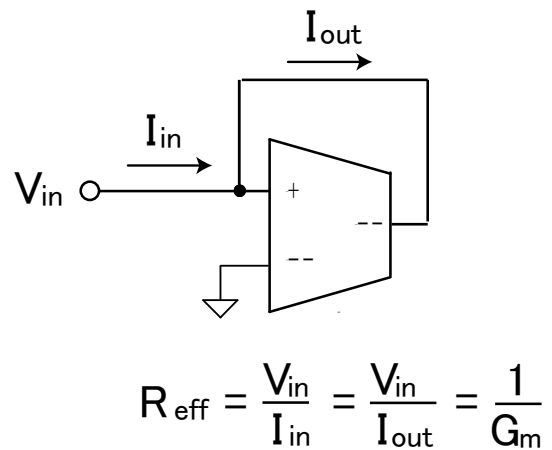


図 3.10: 差動増幅器：抵抗としての働き

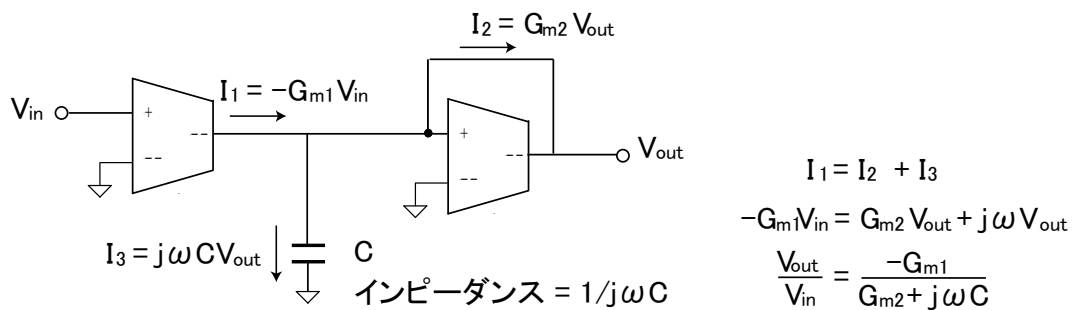


図 3.11: GmC フィルター

実際に使用している差動増幅器の回路図を 3.12 に示す。差動増幅器は全差動型の回路で、コモンモードフィードバック (CMFB) 回路を含んでいる。CMFB 回路は差動出力電圧の平均値が一定の値を取るようフィードバックをかける回路である。出力電圧が大きくなると、ゲートに出力電圧を与えられている PMOS トランジスタの V_{SG} が小さくなり、電源ラインに VDD から供給される電流も小さくなる。一方で定電流源が吸い込む電流は一定なので、出力電圧が低下することになる。反対に出力電圧が小さくなると、VDD から供給される電流が増大し、出力電圧も大きくなる。この働きにより、出力電圧の平均値は一定に保たれる。

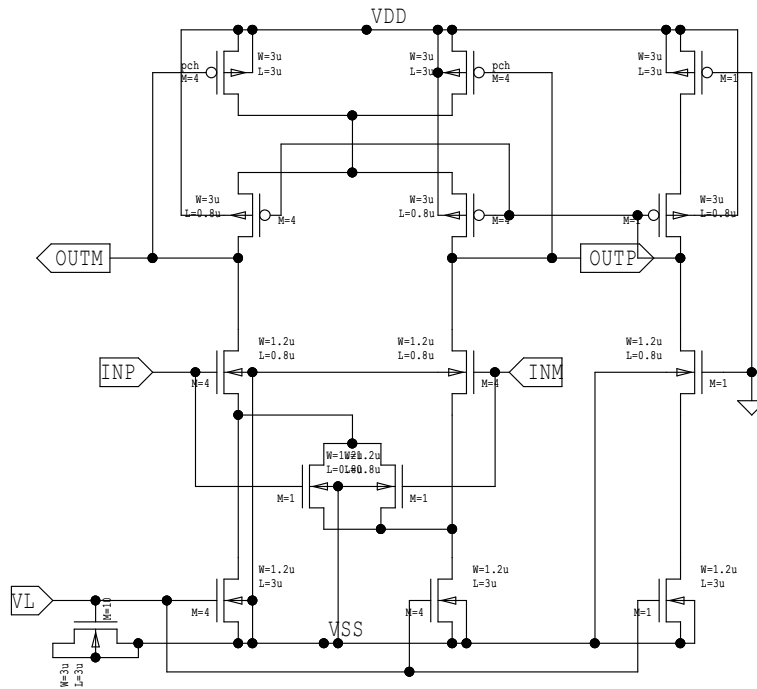


図 3.12: 差動増幅器

ローパスフィルターの回路図を図 3.13 に示す。ローパスフィルターの出力は

$$\frac{V_{\text{outp}} - V_{\text{outn}}}{V_{\text{inp}} - V_{\text{inn}}} = \frac{-G_{m1}G_{m2}}{-G_{m2}^2 + (0.2 \text{ pF} \times 0.8 \text{ pF})\omega^2 - j\omega G_{m2} \times (0.8 \text{ pF})} = \frac{G_{m1}G_{m2}}{(G_{m2} + j\omega \times (0.4 \text{ pF}))^2}$$

となる。\$G_{m1}\$、\$G_{m2}\$ はそれぞれバイアス電圧 \$V_{L1}\$、\$V_{L2}\$ で設定でき、バイアス電圧を大きくすると \$G_m\$ も大きくなる。バイアス電圧の設定は CHAIN2 の CCR でおこなわれるので、LPF の設定は全てのチャンネルで共通となる。

図 3.14, 3.15 は LPF の AC シミュレーション結果で、それぞれ \$V_{L1}\$、\$V_{L2}\$ を変えたものである。いずれの場合も、10 MHz 以上の周波数で出力が小さくなることがわかる。

(c) 相関二重サンプリング回路 (CDS)

CCD の信号は出力アンプからシリアルで出力する。そして、出力アンプには一つのピクセルの電荷を送る毎にリセットをかける。このため、リセット信号を入力したタイミングでリセットスパイクが出力に乗るのはもちろんのこと、リセット後の電圧にバラつきが出てくる (kTC ノイズ)。CDS 回路では図 3.16 のようにリセットスパイクを避けて、電荷情報が入る前のリセットレベルの信号をサンプリングし、シグナルレベルの信号との電圧差をとることでピクセルの電荷情報のみを取り出している。図 3.17 に CDS 回路を示す。下部の容量でリセットレベルの信号をサンプリングし、シグナルレベルの信号と比較している。上部の容量は、下から上に接続を切り替えたとき、回路の容量を変えないためである。

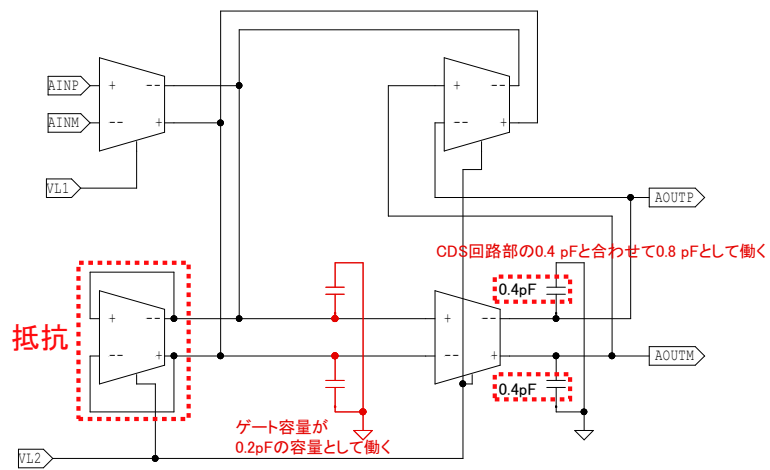


図 3.13: ローパスフィルター (LPF)

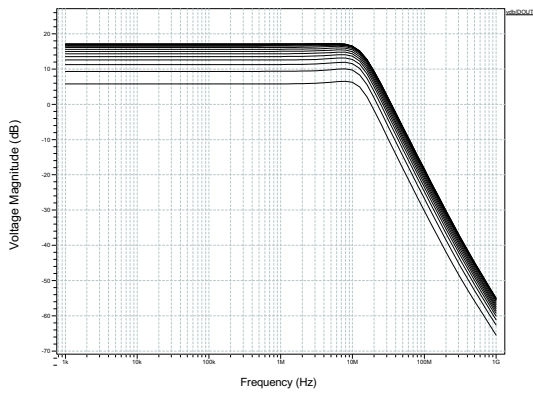


図 3.14: ローパスフィルターの出力 : VL1 設定

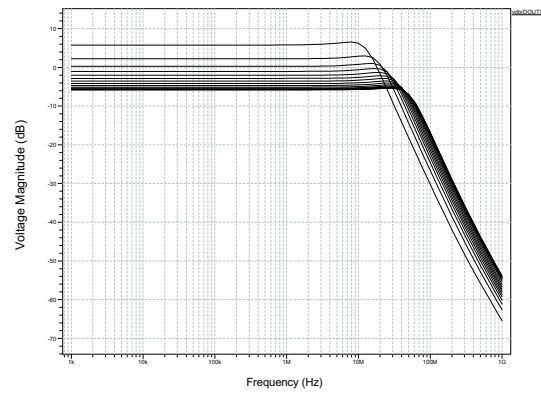


図 3.15: ローパスフィルターの出力 : VL2 設定

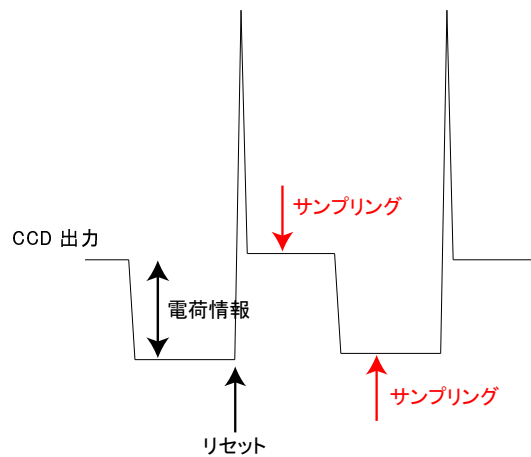


図 3.16: 相関二重サンプリングでのサンプリング点

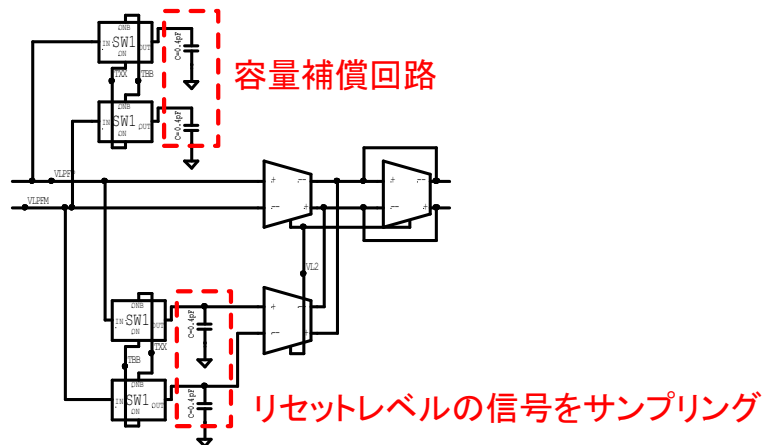


図 3.17: 相関二重サンプリング回路

(d) 電荷再分配型 ADC

電荷再分配型 ADC の概略を図 3.18 に示す。電荷再分配型 ADC は、入力信号をサンプルするための容量、ビットに対応した大きさの容量、コンパレータとスイッチで構成される。

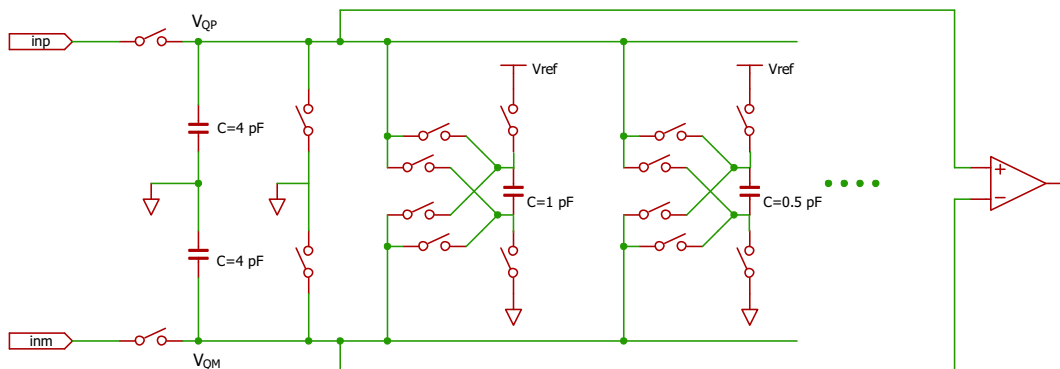


図 3.18: 電荷再分配型 ADC

図 3.19 が A/D 変換の手順である。変換を始める前に、ビットに対応する容量には基準電圧を接続して電荷をためておく。まず、入力信号をサンプルし、 V_{QP} 、 V_{QM} をコンパレータで比較する。 $V_{QP} - V_{QM} = V_{inp} - V_{inm}$ が正のときはサインビットを 1 に、負の場合は 0 に決定する。サインビットが 1 の場合、マイナス側の電荷に最上位ビットに対応する容量に貯められた電荷 $1 \text{ pF} \times V_{ref}$ を加え、プラス側の電荷に $-1 \text{ pF} \times V_{ref}$ を加える。このとき、 $V_{QP} - V_{QM} = \frac{2}{3} \left((V_{inp} - V_{inm}) - \frac{1}{2} V_{ref} \right)$ となり、入力電圧の差が $\frac{1}{2} V_{ref}$ より大きいかわ小さいかで最上位ビットの状態が決定する。 $\frac{1}{2} V_{ref}$ より $V_{inp} - V_{inm}$ が大きい場合は最上位ビット=1 と決定し、小さい場合は最上位ビット=0 と決定する。サインビットが 0 の場合、加える電荷を反転し、プラス側の電荷に $1 \text{ pF} \times V_{ref}$ を、マイナス側に $-1 \text{ pF} \times V_{ref}$ を加える。 $V_{QP} - V_{QM} = \frac{2}{3} \left((V_{inp} - V_{inm}) + \frac{1}{2} V_{ref} \right)$ となり、 $V_{inp} - V_{inm}$ の

絶対値と $\frac{1}{2}V_{\text{ref}}$ とを比較して、最上位ビットの状態を決定する。 $V_{\text{inp}} - V_{\text{inm}}$ の絶対値が大きい場合に最上位ビット=0、小さい場合に最上位ビット=1に決定する。以下のビットも同様にして、直前のビットの1、0に応じて容量の接続極性を変え、 $V_{\text{QP}} - V_{\text{QM}}$ の正負で1、0を決める。変換結果はシリアル信号で出力する。

使用している電荷再分配型 ADC の回路図を図 3.20 に示す。入力ブロック、容量ブロック、8 ビットビットレジスタ、8 ビットシフトレジスタ、トライステートバッファ、コンパレータから成っている。入力ブロックは入力電圧をサンプリングする容量を持つモジュールである (図 3.21)。容量ブロックが各ビットに対応した大きさの容量と、その接続を切り替えるスイッチを含むモジュールである。この ADC の出力信号はサインビット+6 ビットであり、ビットに対応する容量は 1 pF、0.5 pF、0.25 pF、0.25 pF、0.125 pF、0.0625 pF となっている。上位の 3 ビットは 500 mV、下位の 3 ビットは 250 mV で電荷を貯えることで、32:16:8:4:2:1 の比をもつ電荷を作っている。図 3.22 は最上位ビットに対応する容量ブロックである。8 ビットビットレジスタは各ビットの変換結果を記録して、容量ブロックの接続先を決定している。変換結果を記録するビットの選択をおこなっているのは 8 ビットシフトレジスタで、8 ビット選択し終わると変換終了の信号を外部に出力する。この信号をモニターすることで、ADC が動作しているかを確認できる。ビットレジスタ、シフトレジスタは 8 ビットあるが、ADC の出力は 7 ビットである。これは、サインビットを決定してから次のビットの決定がおこなえるようになるまで、容量を放電するために時間がかかるので、1 クロック分余裕を持たせているからである。また、ビットレジスタに記録された変換結果は外部に出力され、モニターすることができる。出力ラインはチャンネル内の二つの ADC で共通であるため、トライステートバッファ (図 3.23) によって出力する ADC を選択する。トライステートバッファは、出力許可信号 (OE) が 1 のときは入力をそのまま出力するが、OE がローの場合は出力がハイインピーダンスとなり、不定値になる。

(e) モニター回路

ADC 前の機能が正常に動作していることを確認するために、増幅器直後の信号と ADC 直前の差動信号をモニター出力から外部に出力することができる。モニター出力は一つなので、どの信号を出力するかを LCR により選択することになる。

(f) ローカルコントロールレジスタ (LCR)

ローカルコントロールレジスタ (LCR) の回路図を図 3.24 に示す。

LCR は、増幅器・モニター回路の設定を行う 12 ビットシフトレジスタ (増幅器・モニター設定シフトレジスタ) と、パラメータ設定を行うチャンネルを指定するためのシフトレジスタ (チャンネル指定シフトレジスタ) で構成されている。チャンネル指定シフトレジスタの出力は増幅器・モニター設定シフトレジスタの動作を許可する信号になっており、この信号が 1 になると各パラメータの設定が行えるようになる。増幅器・モニター設定シフトレジスタを構成するフリップフロップの出力は前置増幅器、モニター回路の CMOS スイッチに接続されており、回路をつなぎ変えて増幅率の設定や出力する信号の選択をおこなっている。

また、増幅器・モニター設定シフトレジスタ、チャンネル指定シフトレジスタともに、最終段のフリップフロップの出力は外部に接続されており、この出力を確認することで LCR が動作しているか否かを確認められるようになっている。

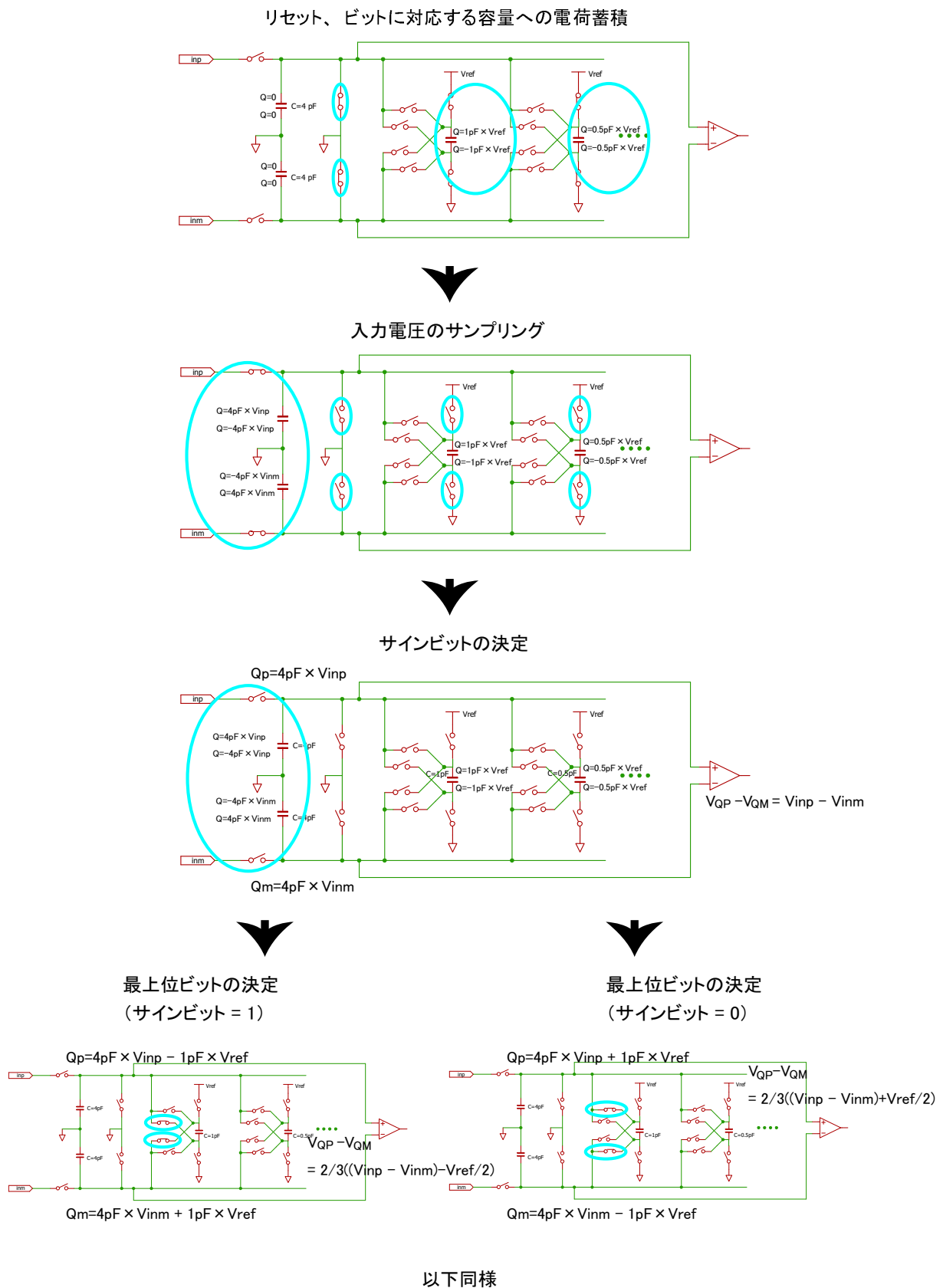


図 3.19: 電荷再分配型 ADC での A/D 変換の手順

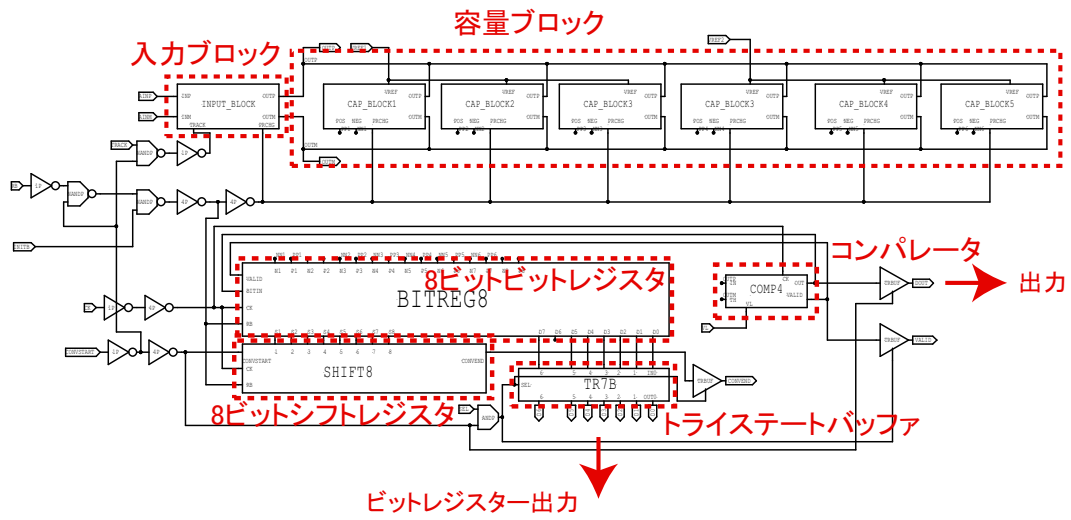


図 3.20: 電荷再分配型 ADC

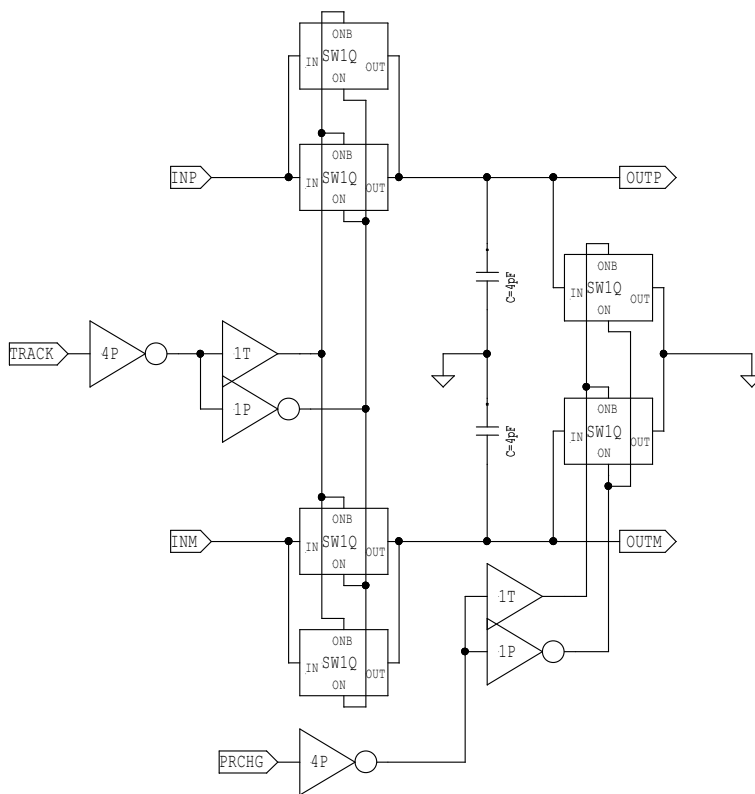


図 3.21: 入力ブロック

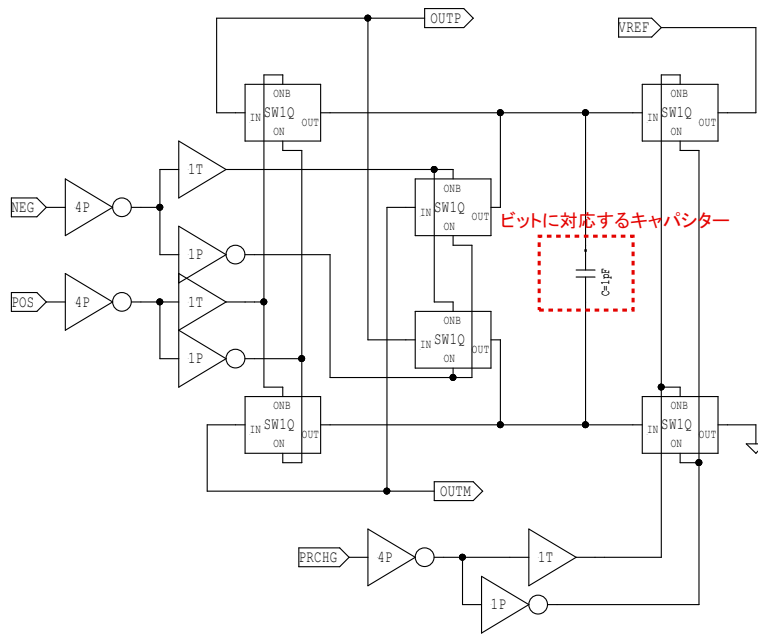


図 3.22: 容量ブロック : 最上位ビット

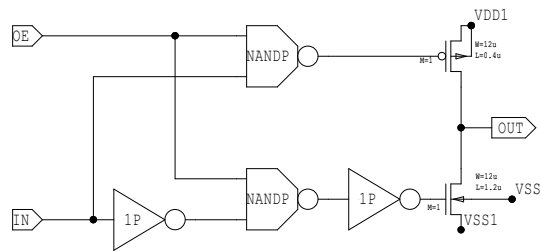


図 3.23: トライステートバッファ : 出力許可信号 (OE) が入力されないとき出力がハイインピーダンスとなり、不定値になる

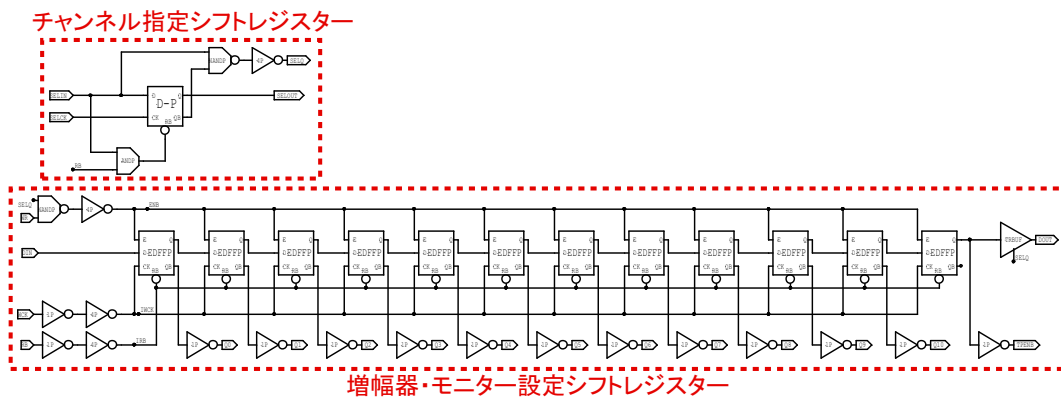


図 3.24: ローカルコントロールレジスター

3.4.3 CHAIN1A

CHAIN1A は図 3.25 のような構成をしており、CHAIN1 との唯一の違いは前置増幅器が図 3.26 に示す別モジュールに置き換わっていることである。CHAIN1A の前置増幅器は CHAIN1 で用いている前置増幅器からテストパルスの増幅率調整機能を省き、最高増幅率に固定したモジュールである。

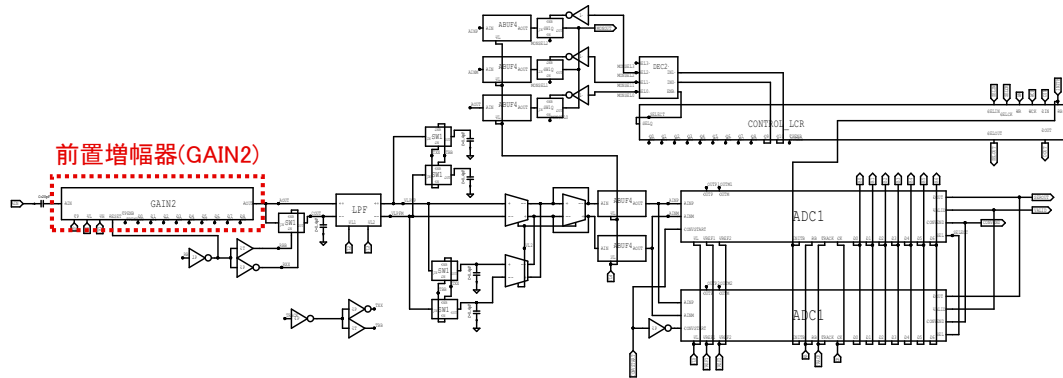


図 3.25: CHAIN1A

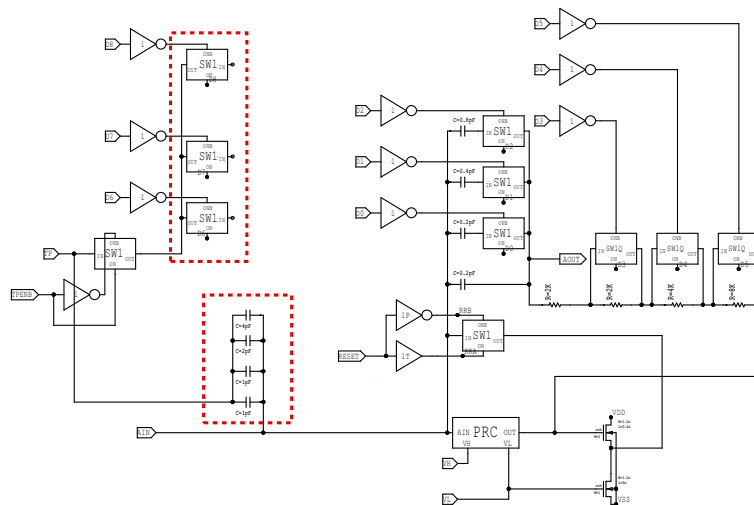


図 3.26: CHAIN1A の前置増幅器

3.4.4 CHAIN2

図 3.27 に CHAIN2 の回路図を示す。CHAIN2 の構成要素は以下の通りである。

(a) バイアス電圧生成回路

(b) セントラルコントロールレジスタ (CCR)

(c) プルアップ回路

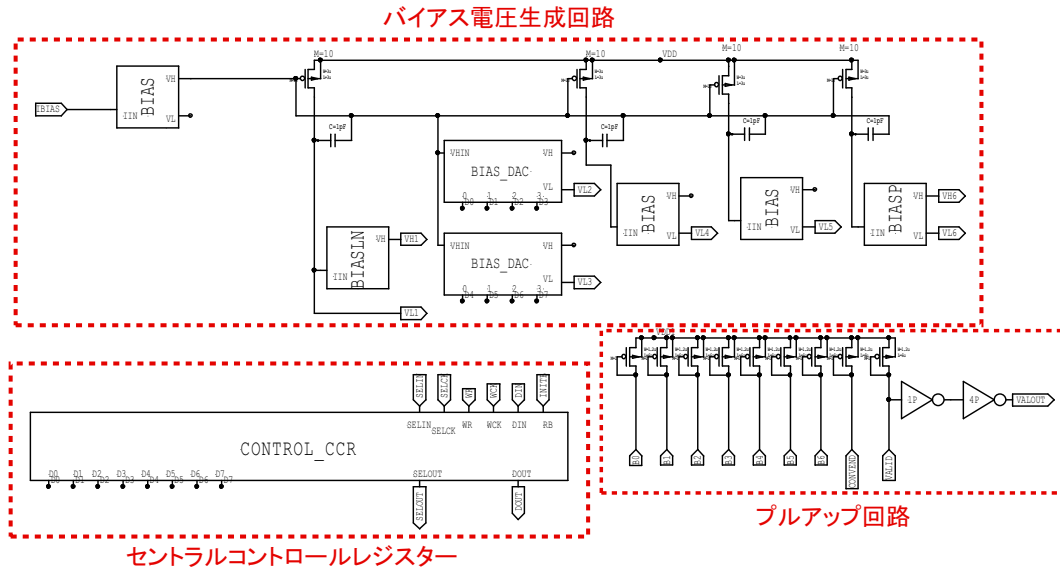


図 3.27: CHAIN2

以下で各モジュールについて記述する。

(a) バイアス電圧生成回路

バイアス電圧生成回路では、他のモジュールの定電流源に与えるバイアス電圧を、カレント・ミラー回路を用いて発生させている。基本構造はBIAS、BIASLN、BIAS_DACで共通で、カスコード・カレント・ミラーを用いている。カスコード・カレント・ミラーによりコピー先のドレイン・ソース間電圧がコピー元のそれとほぼ等しい値になり、チャンネル長変調の効果が低減される。また、出力抵抗が大きくなるので、電圧依存性の低い安定した電流を供給できるようになっている。図 3.29 は BIAS の回路図である。BIASLN はドライバ/レシーバ回路にバイアス電圧を与える回路で、電源にデジタル用電源を用いている点以外は BIAS と共通の構造をしている。ローパスフィルタにバイアス電圧を与える BIAS_DAC の回路図を図 3.31 に示す。BIAS_DAC では、スイッチ D0~D3 を切り替えることで並列に接続されるトランジスタの数を変更でき、バイアス電圧を設定できる。図 3.30 の BIASLN は前置増幅器にバイアス電圧を与える回路である。BIASLN はカスコードトランジスタを省き、L 長の長いトランジスタを用いることで、電源電圧の擾乱による影響を抑制している。

(b) セントラルコントロールレジスタ

セントラルコントロールレジスタ (CCR) の回路図を図 3.32 に示す。

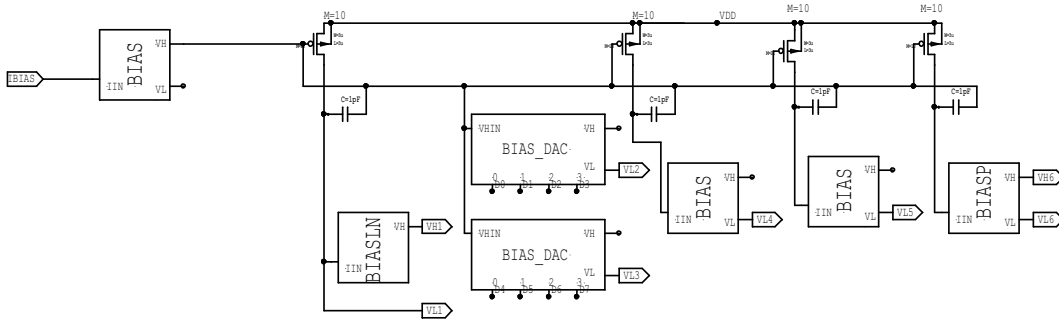


図 3.28: バイアス電圧生成回路

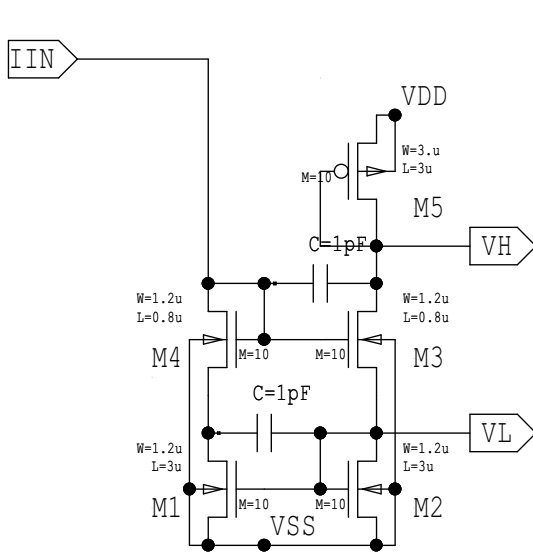


図 3.29: BIAS

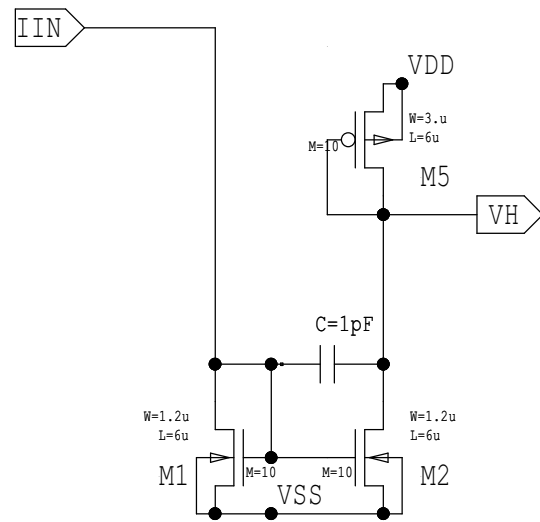


図 3.30: BIASLN

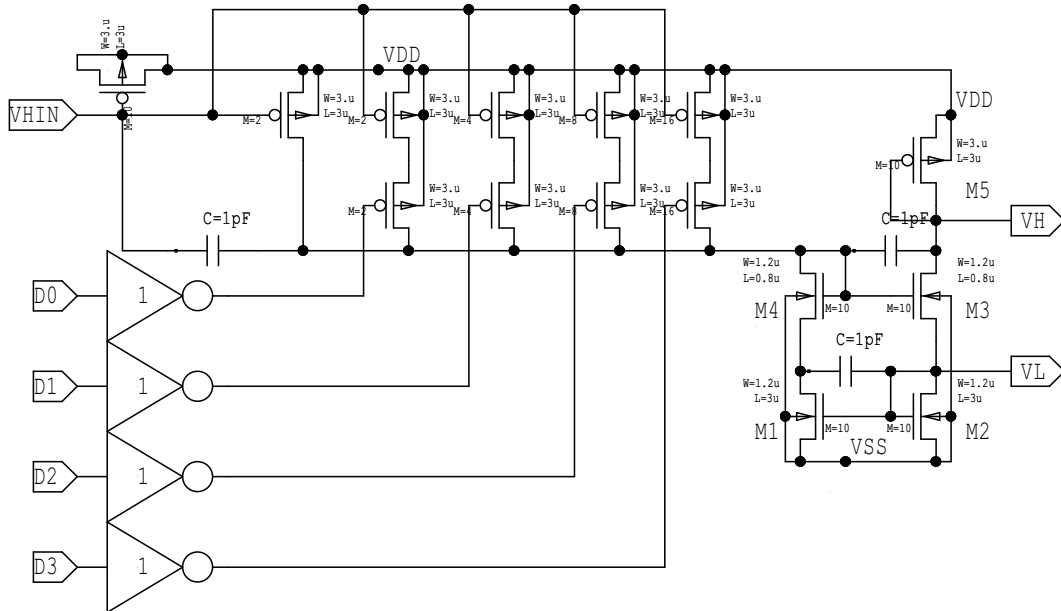


図 3.31: BIAS_DAC

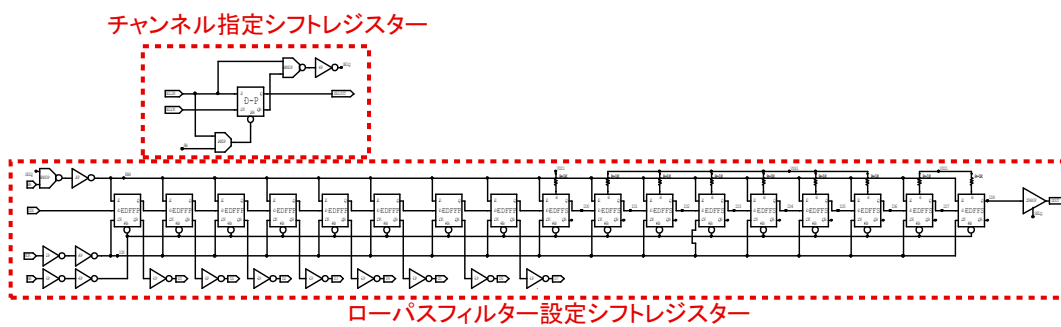


図 3.32: セントラルコントロールレジスター

回路構成としては LCR と同様の構成をしており、ローパスフィルタの設定を行う 17 ビットシフトレジスタ（ローパスフィルタ設定シフトレジスタ）と、パラメータ設定を行うチャンネルを指定するシフトレジスタ（チャンネル指定シフトレジスタ）で構成されている。最終段の出力で動作を確認できる点も LCR と同様である。

(c) プルアップ回路

ADC のビットレジスタ出力はトライステートバッファによって状態を決める。しかし、トライステートバッファの出力はハイインピーダンスとなって不定値をとることがある。出力がこの状態になってしまうと回路が不安定になり、後続のデジタル回路に過剰な電流が流れる不具合が発生することがある。そのため、プルアップ回路（図 3.33）ではビットレジスタ出力の信号ラインへ緩やかに電流を送り、不定値となった信号を 1 へと押し上げる役目を果たしている。

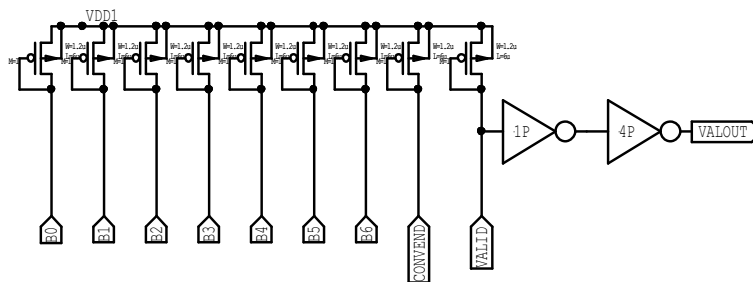


図 3.33: プルアップ回路

第4章 試作読み出し回路の動作検証

4.1 チップ仕様

前章の設計でFPCCD用の読み出し回路を試作した[8]。表4.1にチップの仕様をまとめる。使用したプロセスはTSMCの $0.35\ \mu\text{m}$ プロセスで、ベアチップのサイズは $2.85\ \text{mm} \times 2.85\ \text{mm}$ 、パッド数は80ある。評価試験には80ピンのQFP(Quad Flat Package)に封入したものを使用している(図4.1)。付録にチップのレイアウト、信号のアサインを示す。

表 4.1: チップ仕様

プロセス	0.35 μm TSMC プロセス
チップサイズ	2.85 mm \times 2.85 mm
パッド数	80
チャンネル数	8 ch
パッケージ	QFP-80pin



図 4.1: パッケージに封入した読み出し回路

4.2 試験基板

チップの試験をするにあたり、試験用の基板を製作した(図 4.2)。試験基板は主にチップへの電力供給、入出力信号の引き出し、バイアス電圧生成回路へ流入する電流の生成、可変抵抗による ADC の基準電圧生成を担っている。付録に試験基板の回路図を示す。

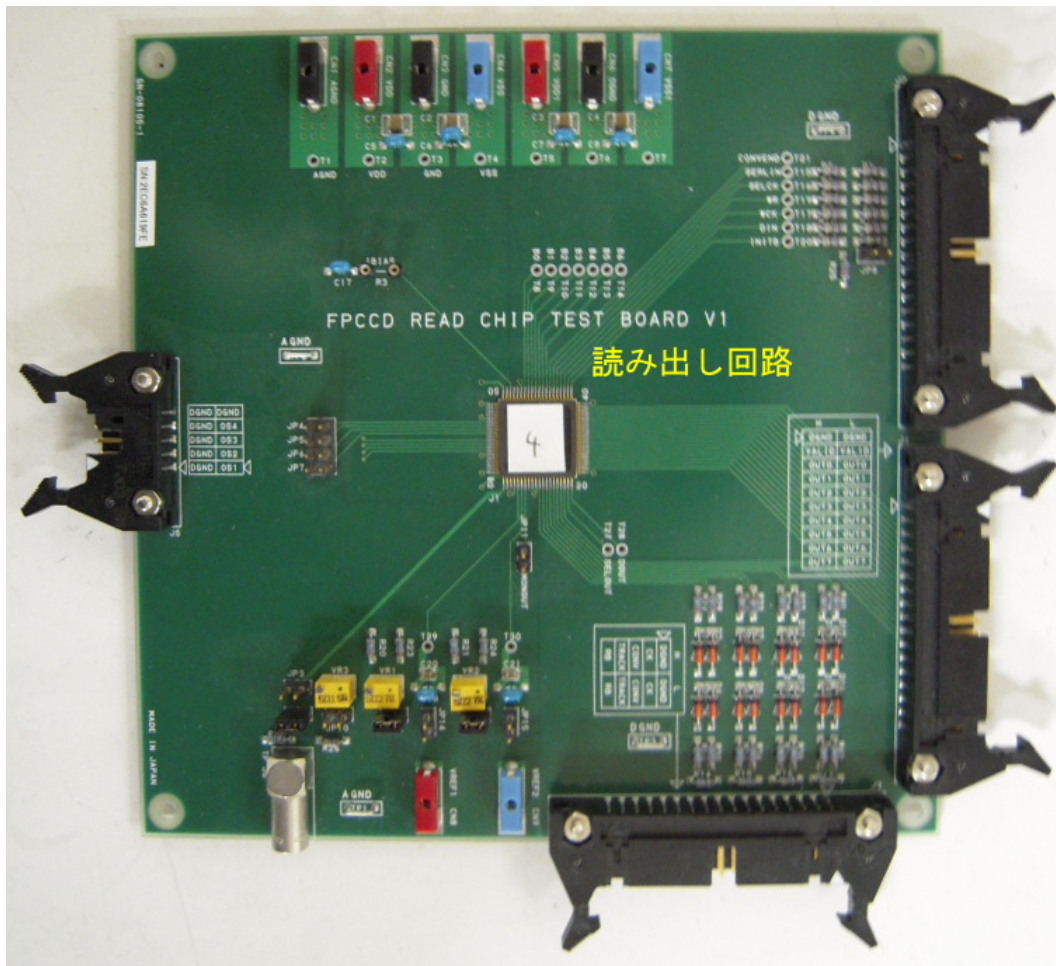


図 4.2: 読み出し回路用試験基板

4.3 試験環境

試験環境の概略を図 4.3 に示す。読み出し回路の制御、データ取得には KEK-VME6U モジュールである GNV-250 を用いている(図 4.4)。そのための論理回路は、GNV-250 に内蔵されている FPGA(Field Programmable Gate Array) に実装した。論理回路の設計には ISE(Integrated Software Environment) を使用し、ハードウェア記述言語として VHDL(Very High Speed Integrated Circuits Hardware Description Language) を用いた。

読み出し回路から得られたデータは FPGA 内のメモリに貯えられ、順次 PC に送信される。PC とのデータ通信には VME を使用しており、GNV-250 に実装されている CPLD(Complex Programmable Logic Device) により制御されている。

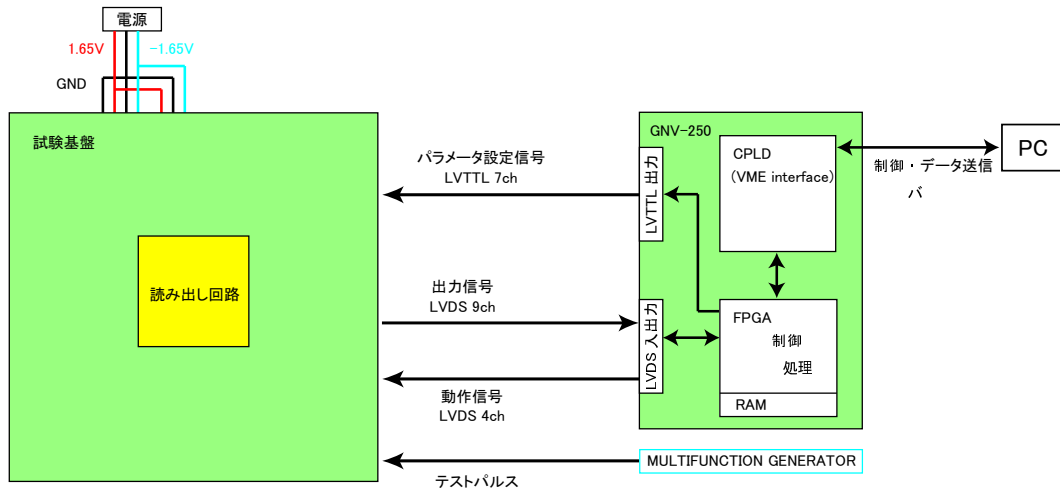


図 4.3: 読み出し回路の試験環境

4.4 出力信号の確認

読み出し回路が正常に動作することを確認するために、出力をオシロスコープで確認した。

4.4.1 シフトレジスタの出力

シフトレジスタの動作のタイミングチャートを図 4.5 に示す。シフトレジスタはフリップフロップ (FF) で構成されており、シフトクロックが入力されると最初の FF の出力 Q1 が入力 D と同じ値になる。出力 Q1 は次のフリップフロップの入口に接続されており、次のシフトクロックで出力 Q2 が Q1 = D と同じ値になる。以下、シフトクロックが入力されるたび、同じ動作を繰り返す。前章に記述したとおり、シフトレジスタの最終段の出力ラインは外部に接続されているので、この出力を見ることでシフトレジスタが正常に動作しているかを確認できる。

まず、チャンネル指定シフトレジスタの出力を確認した。チャンネル指定シフトレジスタを構成する FF は各 LCR・CCR に一つずつ配置されている。読み出しチャンネルは 8 個、それに加え CHAIN2 があるので、9 発目のシフトクロックが立ち上がると外部に接続された出力ラインから最初の入力の状態が出力される。図 4.6 にシフトクロックを入力したときの出力を示す。SELCK がシフトクロック、SELOUT が出力、SELIN が入力である。1 発目のシフトクロックを入力したときに SELIN は 1 になっており、9 発目のシフトクロックの立ち上がるタイミングで SELOUT が 1 になっているので、チャンネル指定シフトレジスタは正常に動作していると言える。

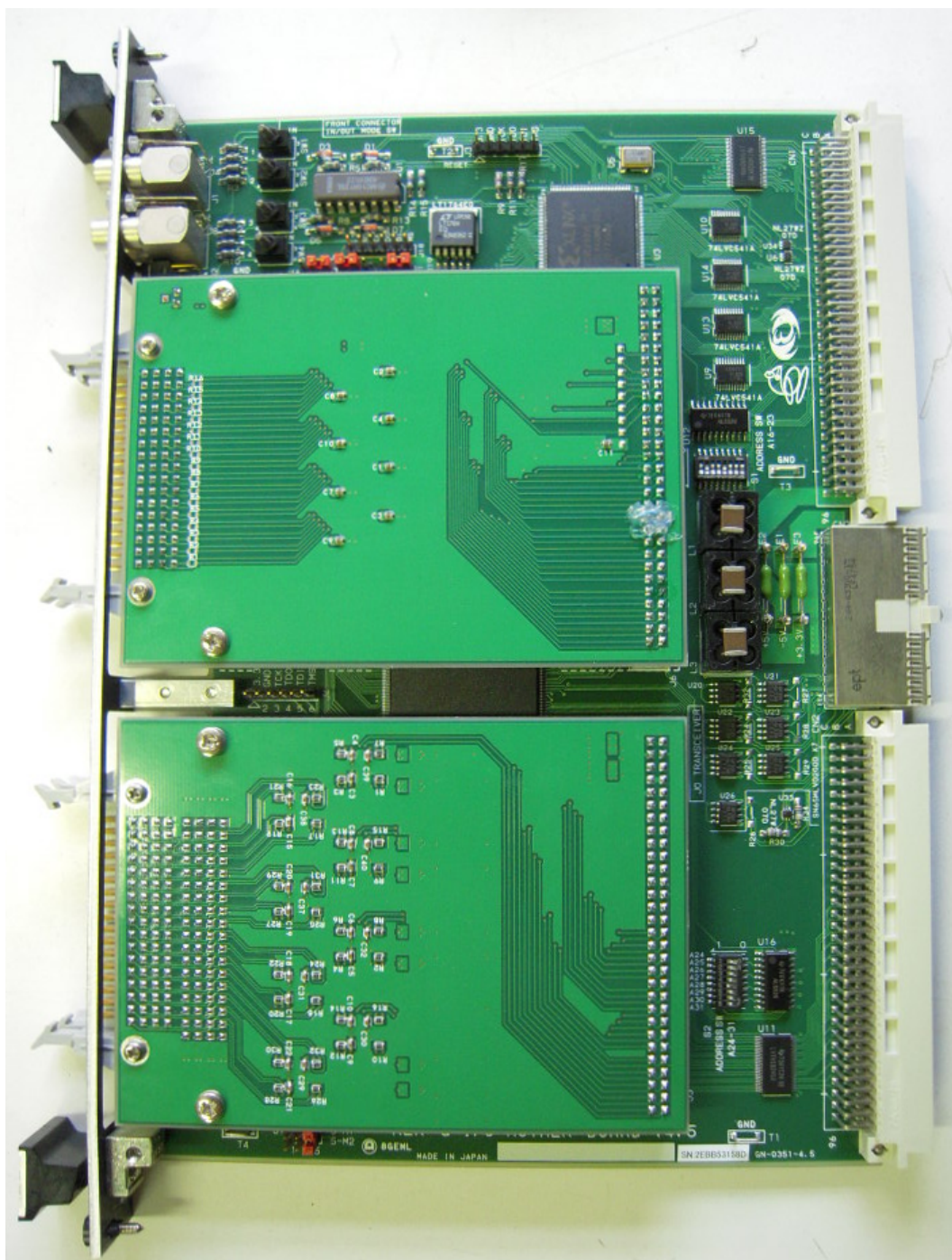


図 4.4: VME モジュール (GNV-250)

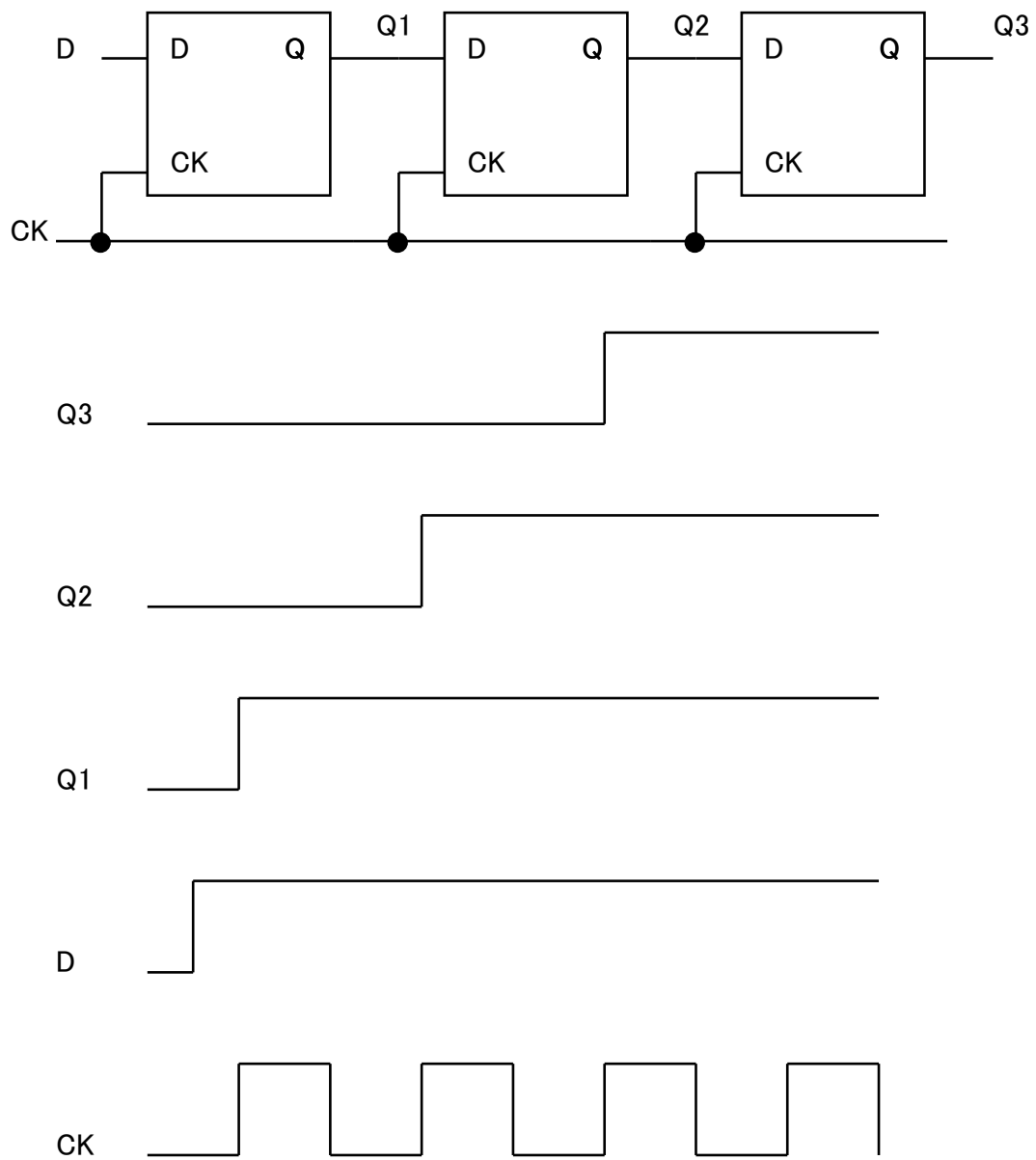


図 4.5: シフトレジスタのタイミングチャート：使用している回路にはシフトレジスタの動作許可信号、出力をリセットするリセット信号、出力 Q の反転出力 QB がある

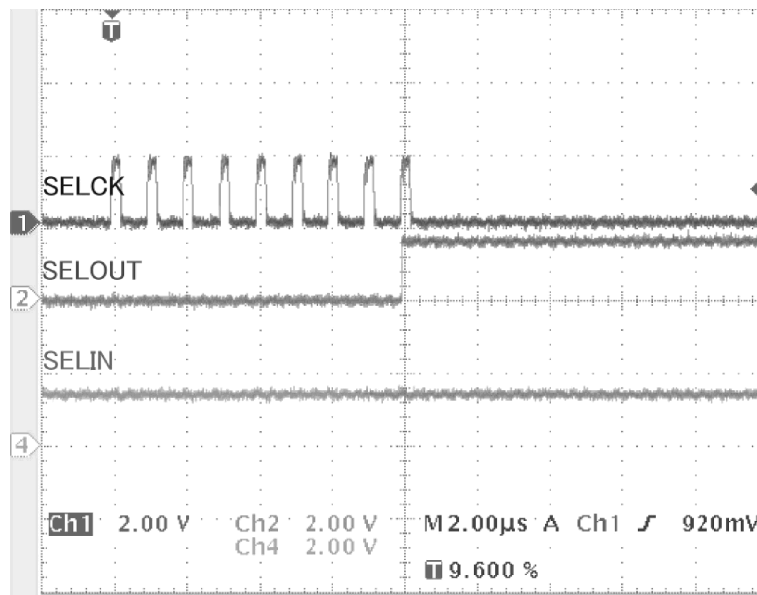


図 4.6: チャンネル指定シフトレジスタの出力: 9 発目の SELCK のタイミングで SELOUT が立ち上がる

CCR のパラメータ設定シフトレジスタは 17 ビットである。したがって、最初の入力と同じ信号が 17 発目のシフトクロックの立ち上がりで外部に出力される。図 4.7 の WCK がシフトクロック、DOUT が出力、DIN が入力である。1 発目のシフトクロックを入力したときに DIN は 1 になっており、17 発目のクロックの立ち上がりで DOUT が 1 になっているので、CCR も正常に動作している。ここで WR はシフトレジスタの動作許可信号で、この信号が 1 のときのみシフトレジスタは動作する。

LCR のパラメータ設定シフトレジスタは 12 ビットである。図 4.8 のとおり、12 発目のシフトクロックで出力が立ち上がっているため、LCR も正常に動作している。各信号は CCR のパラメータ設定シフトレジスタと同じものである。

チャンネル指定シフトレジスタ、CCR・LCR のパラメータ設定シフトレジスタはいずれも正常に動作している。

4.4.2 モニター出力の確認

テストパルスを入力し、モニター出力でアナログ信号を確認した。モニターできるアナログ信号は以下のポイントである (図 4.9)。

- 増幅器直後
- ADC 直前

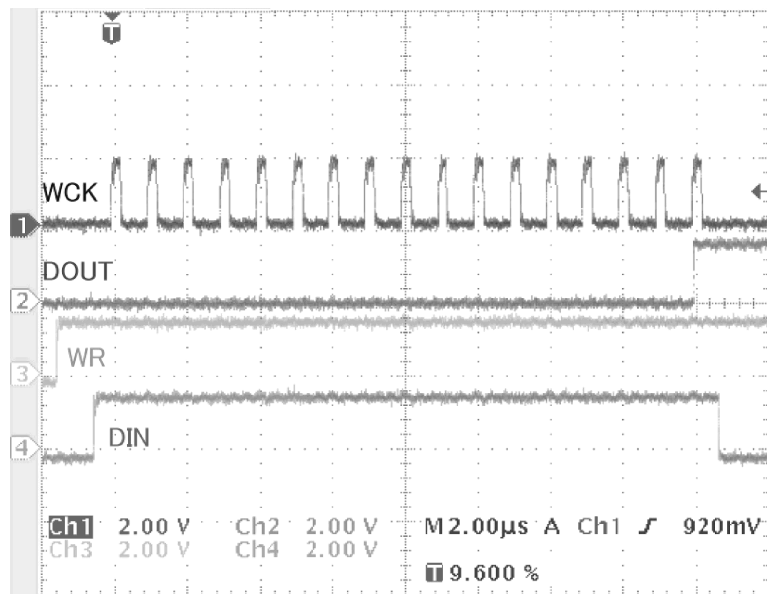


図 4.7: セントラルコントロールレジスタの出力 : 17 発目の WCK のタイミングで DOUT が立ち上がる

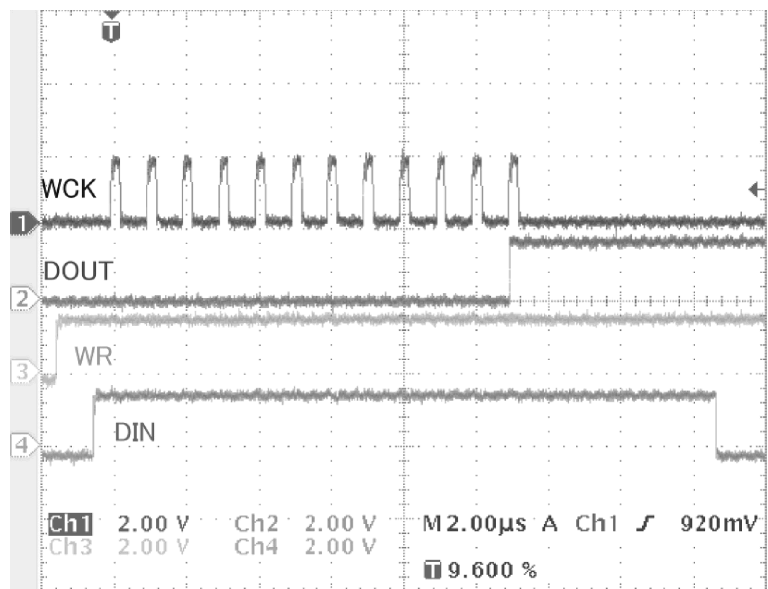


図 4.8: ローカルコントロールレジスタの出力 : 12 発目の WCK のタイミングで DOUT が立ち上がる

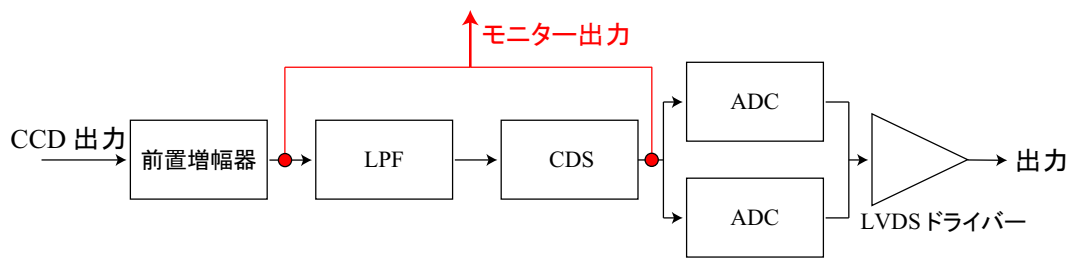


図 4.9: モニター出力により確認できる信号

増幅器直後

増幅器直後の信号を図 4.10、図 4.11 に示す。両者は増幅率の設定を変えてあり、図 4.11 は 5 倍、図 4.10 は 40 倍の増幅率に設定してある。テストパルスの入力に対してモニター出力が立ち上がり、増幅率を変えたときに出力の大きさが変わることが確認できた。増幅器は正常に動作している。

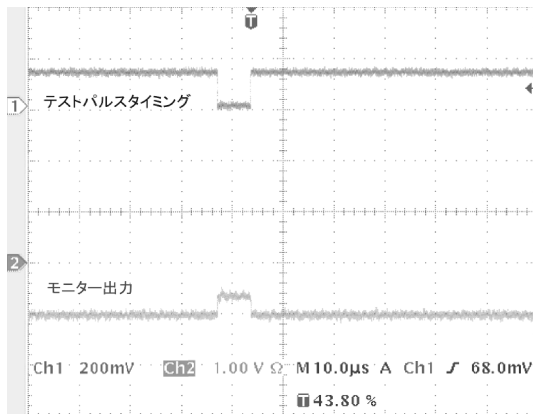


図 4.10: 増幅器直後の信号:増幅率 : ×5

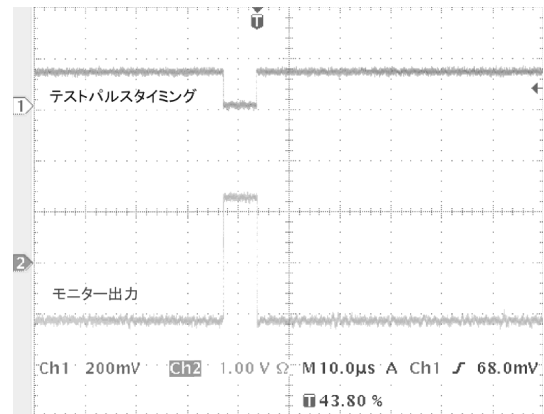


図 4.11: 増幅器直後の信号:増幅率 : ×40

ADC 直前

ADC 直前の信号を図 4.12 に示す。テストパルスを入力したタイミングで差動信号が見えているので、LPF・CDS は正常に動作していると思われる。詳細は A/D 変換後のノイズを確認することで調べる。

4.4.3 ADC 出力

ADC の基本動作を確認するために ADC 出力をみた。ADC が動作することを確認するためなので高速動作は求めず、変換速度は 10 kpix/sec に設定した。図 4.13 に結果を示す。上から順にテストパルスの立ち上がり立下りのタイミング、A/D 変換を開始させる信号であるコンバージョ

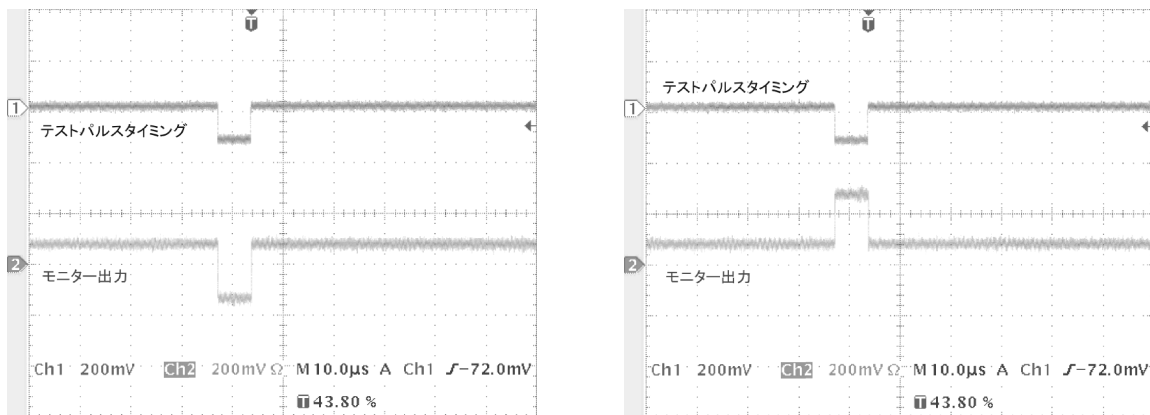


図 4.12: ADC 直前の差動信号

ンスタート、テストパルスの A/D 変換結果、変換終了時に出力されるコンバージョンエンドである。また、コンバージョンスタートは片方の ADC には反転して入力されており、この信号により二つの ADC を交互に動作させている。

A/D 変換の出力はシリアル信号であり、まずサインビットを出力し、電荷の移動時間を考慮して 1 クロック分の時間をあけてから、最上位ビットを出力、再び 1 クロック分の時間をあけた後、最下位ビットまでを連続で出力する。同じ電圧のテストパルスに対し同じ A/D 変換結果が得られており、また、変換後のタイミングでコンバージョンエンドが出力されているので、低速において ADC は機能していることがわかる。

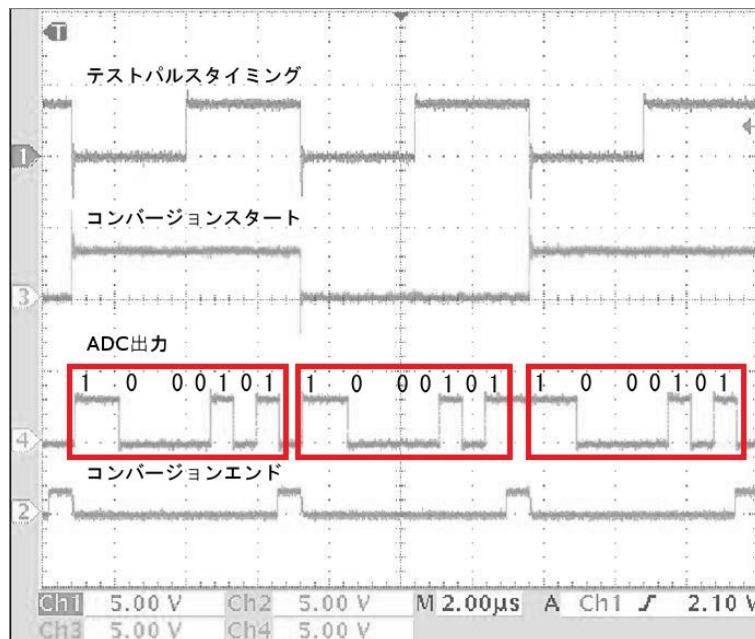


図 4.13: ADC 出力：赤枠で囲った ADC 出力が一発のテストパルスに対応している

4.5 性能評価

以上から試作読み出し回路の各モジュールが動作することを確認できた。そこで、試作読み出し回路について読み出し速度・ノイズレベル・ADC の線型性を評価した。

4.5.1 読み出し速度

動作を確認できた変換速度 10 kpix/sec から徐々に変換速度を速くしていき、正常に動作する限界速度を求めた。動作確認はオシロスコープによる各種信号の確認と、同一テストパルスを複数回変換した結果を確認しておこなった。目標変換速度 10 Mpix/sec に対し、動作を確認できた変換速度は 1.5 Mpix/sec だった。図 4.14 は変換速度 1.5 Mpix/sec でのペDESTAL分布である。これ以上の変換速度になると図 4.15(変換速度 5 Mpix/sec) のように ADC 出力が広がってしまった。この原因は、電荷再分配型 ADC のコンパレータに流入する電流が高速動作時に不足し、電圧が安定しないため変換結果にばらつきが出ていると考えられる。次の試作回路では回路設計を見直している。これについては第 6 章で説明する。

以後の実験結果は、変換速度 1.5 Mpix/sec でおこなった結果である。

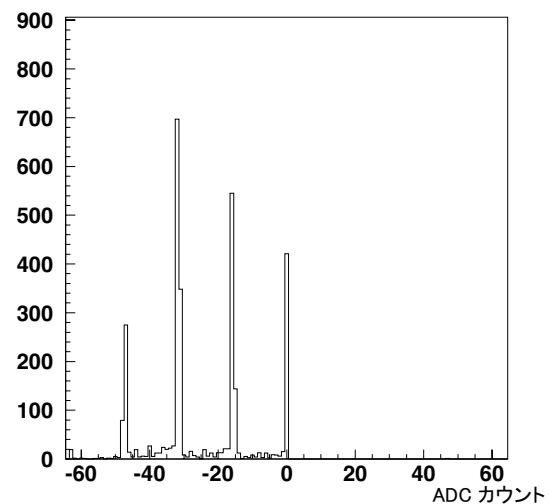
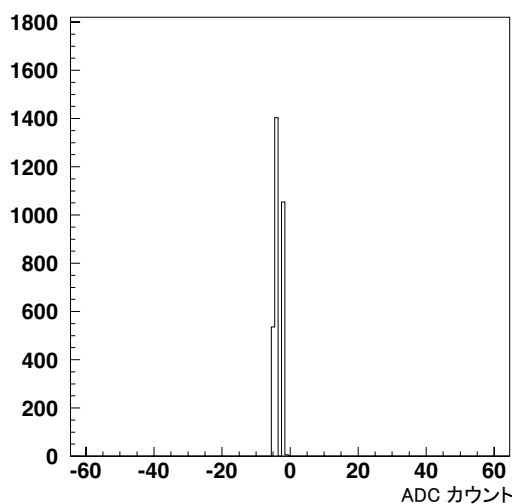


図 4.14: ペDESTAL分布 変換速度：1.5 Mpix/sec 図 4.15: ペDESTAL分布 変換速度：5 Mpix/sec

4.5.2 ペDESTAL分布

ペDESTAL分布を拡大して見ると、-3 ADC カウントが出力されていないことがわかる (図 4.16)。入力電圧を変えて ADC 分布を見ていくと、他にもいくつかの値が出力されないことがわかった。この問題については原因を解明したので、4.5.4 で説明する。

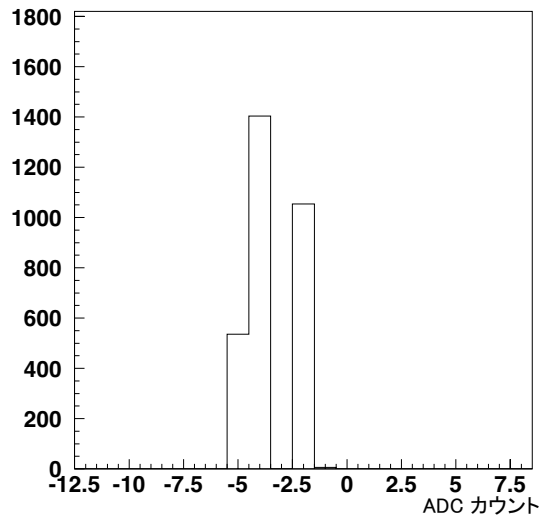


図 4.16: ペDESTAL分布：-3 ADC カウントが出力されていない

4.5.2.1 ノイズレベル

ペDESTAL分布からノイズレベルを見積もる。ADC の電子換算は以下の通りである。

$$1 \text{ ADC} \sim 0.5 \text{ mV} \times \frac{8}{20} \times \frac{1 \text{ e}}{5 \mu\text{V}} = 40 \text{ 電子}$$

ここで、0.5 mV はテストパルス対 ADC 出力の傾き、 $\frac{8}{20}$ はセンサー入力とテストパルス入力の比、 $\frac{1 \text{ e}}{5 \mu\text{V}}$ は FPCCD での発生した電子ひとつあたりの出力電圧である。変換速度 1.5 Mpix/sec でのペDESTAL分布の RMS は ~ 1.1 ADC カウントなので、電子換算でノイズレベルは ~ 44 電子となる。目標とする 30 電子は、室温では達成できていない。ILC で使用する際は読み出し回路を -40 に冷却するので、その際のノイズレベルを見積もるべくノイズの温度依存性を調べた。

4.5.2.2 ノイズの温度依存性

図 4.17 はチップ温度 20 (左) と -10 (右) でのペDESTAL分布である。図のとおり、チップを冷却するとペDESTAL分布が右に移動した。20 のときには、出力しない ADC カウントである -3 ADC カウントは分布の中心付近に位置しているが、 -10 では分布の端に来ている。出力されない ADC カウントにより分布の形が変わり、RMS が大きく変わることがわかった。図 4.18 は各温度での RMS である。出力しない ADC カウントによる RMS の揺らぎは 24 電子であり、ノイズの温度依存性はこれよりも小さいと思われる。次回試作では出力の問題を解決し、ノイズの温度依存性を詳細に調べる。

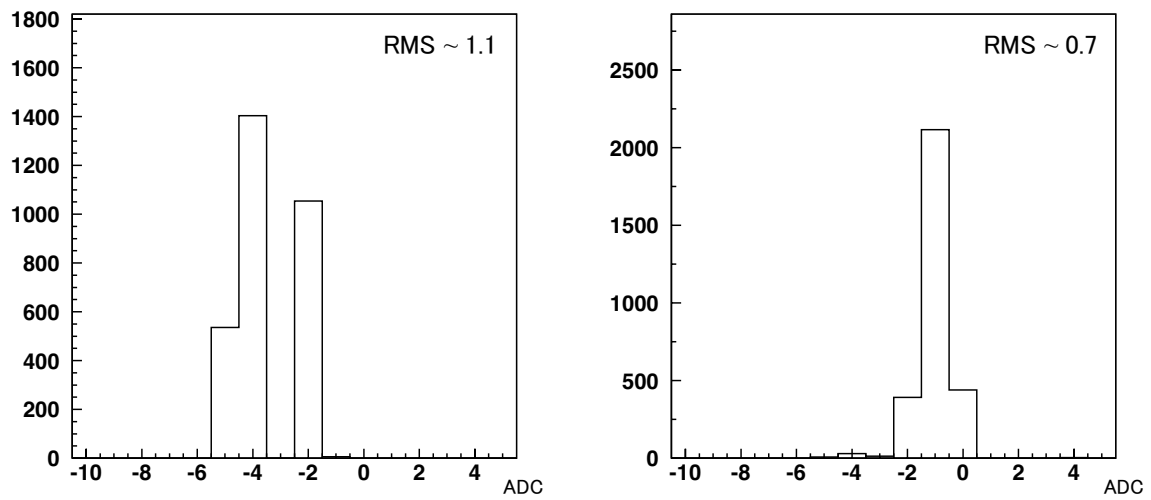


図 4.17: ペDESTAL分布の温度による移動 左: 20 右: -10

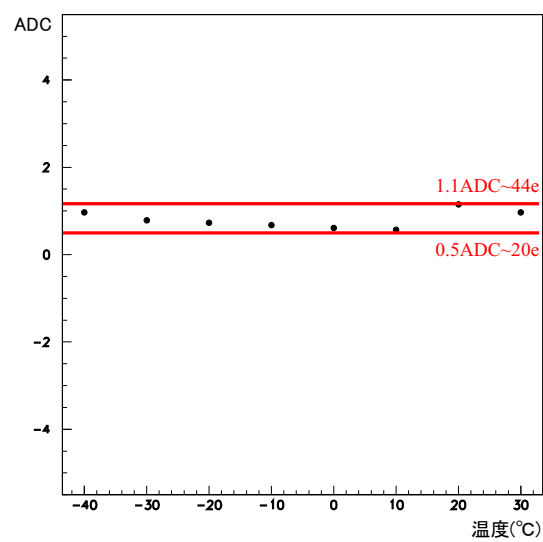


図 4.18: 温度変化による RMS の変化

4.5.3 ADC の線形性

入力するテストパルスの電圧を変え、出力との線型性を調べた。図 4.19 は入力電圧を -30 mV から 30 mV まで、 10 mV 刻みで変化させ、直線でフィットしたグラフである。図 4.20 はフィットした直線とデータの差をプロットしたもので、直線とデータの差は $\pm 2\text{ ADC}$ ~ ± 80 電子以内に収まっている。要求ノイズレベル 30 電子以下に比べ良い結果ではないが、これも出力されない ADC カウントにより悪くなっていると考えられるので、出力されない ADC カウントの問題を解決することにより改善が期待される。

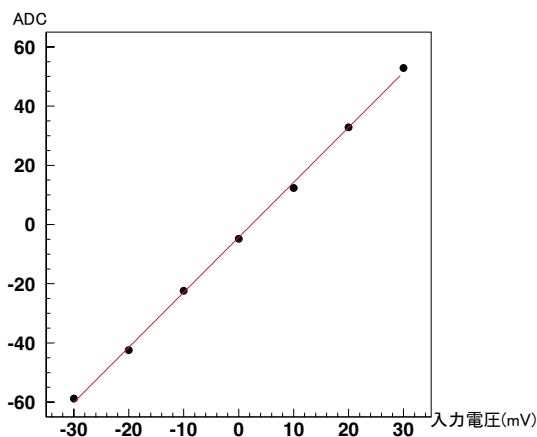


図 4.19: 入力電圧対 ADC 出力

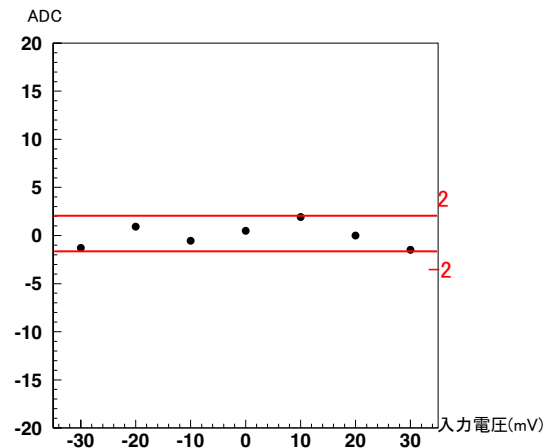


図 4.20: フィットした直線との差

4.5.4 ADC の出力問題

ADC カウントの一部の値が出力されないことの原因を調べた。図 4.21 は増幅率を最低に設定した状態でテストパルスの電圧を 1 mV 刻みで入力し、出力の様子を詳細に調べたものである。いくつかの ADC カウントが出力されておらず、そこでグラフが跳んでいることがわかる。

原因として考えられるのは、電荷再分配型 ADC のビットに対応する容量の比が崩れていることである。そこで、MATLAB 互換のソフトウェア Scilab を用いてビットに対応する容量素子の容量比を $32:16:8:4:2:1$ から $34.5:19:9.5:5.5:3:1.5$ に変えてシミュレーションをおこなった。図 4.22 はシミュレーションの結果と測定で得られた ADC の出力を重ね合わせたものである。両者はよく一致しており、試作チップにおいて各容量が大きくなって、容量比が崩れていると思われる。この容量の増加分は、容量素子が底面電極とシリコン基板との間にもつ浮遊容量と、容量素子の接続を切り替えるスイッチが持つ浮遊容量から来ていると考えられる。そこで、次回試作に用いる回路は、ビットに対応する容量素子の底面電極とシリコン基板との間の浮遊容量の効果を除去するとともに、スイッチ回路の浮遊容量と本来の容量素子の容量とが比例するように設計することで、容量比の適正化を図った。この問題が解決することで、入力対出力の線型性がよくなると見込まれる。新しい設計の ADC については第 6 章で説明する。

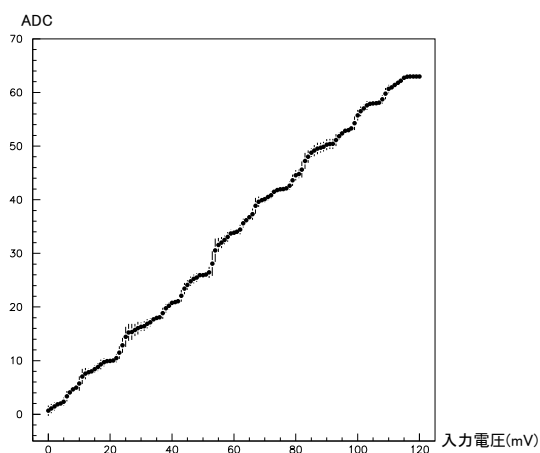


図 4.21: 入力電圧対 ADC 出力：出力されない ADC カウントによりガタついている

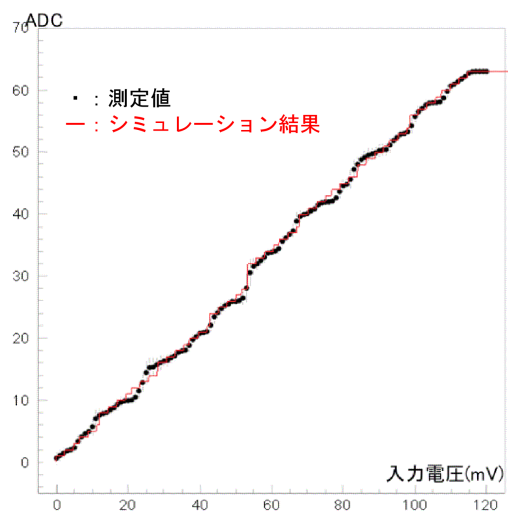


図 4.22: 入力電圧対 ADC 出力：容量素子の容量比を崩したシミュレーションとの比較

第5章 高精細 CCD の読み出し試験

前章では、読み出し回路単体での達成性能、問題点について述べた。この章では、試作 FPCCD を試作読み出し回路で読み出した結果について述べる。読み出し試験に用いた試作 FPCCD の仕様を表 5.1 に示す。チップサイズは $8.2\text{ mm} \times 7.5\text{ mm}$ 、ピクセルのサイズは $12\text{ }\mu\text{m} \times 12\text{ }\mu\text{m}$ 、有感層の厚さは $15\text{ }\mu\text{m}$ であり、ピクセル数が 512×128 のチャンネルを 4 つ持っている。図 5.1 は試験基板に装着した FPCCD である。

表 5.1: 試験に用いた試作 FPCCD の仕様

チップサイズ	$8.2\text{ mm} \times 7.5\text{ mm}$
ピクセルサイズ	$12\text{ }\mu\text{m} \times 12\text{ }\mu\text{m}$
チャンネル数	4 ch
チャンネル当たりのピクセル数	$512 \times 128\text{ pixel}$

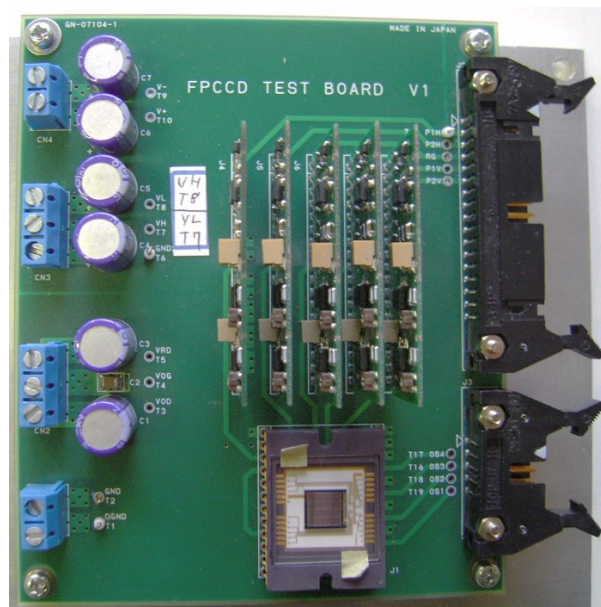


図 5.1: FPCCD 用試験基板

5.1 試験環境

FPCCD からの読み出し試験においても、回路制御、データ取得のために GNV-250 を用いた。図 5.2 が FPCCD 読み出しのための試験環境である。変更点は、試作 FPCCD を動作させるための信号を出力する論理回路を新たに内蔵 FPGA に実装した点である。図 5.3 に FPCCD 動作信号の概略を示す。P1H・P2H が電荷を水平に転送するクロック、P1V・P2V が電荷を垂直に転送するクロック、RG が出力アンプをリセットするクロックである。試作 FPCCD の読み出しでは、水平転送クロックとリセットを 512 発入力した後に垂直転送クロックを一発入力する工程を 128 回繰り返し、1 チャンネルのデータが得られる。

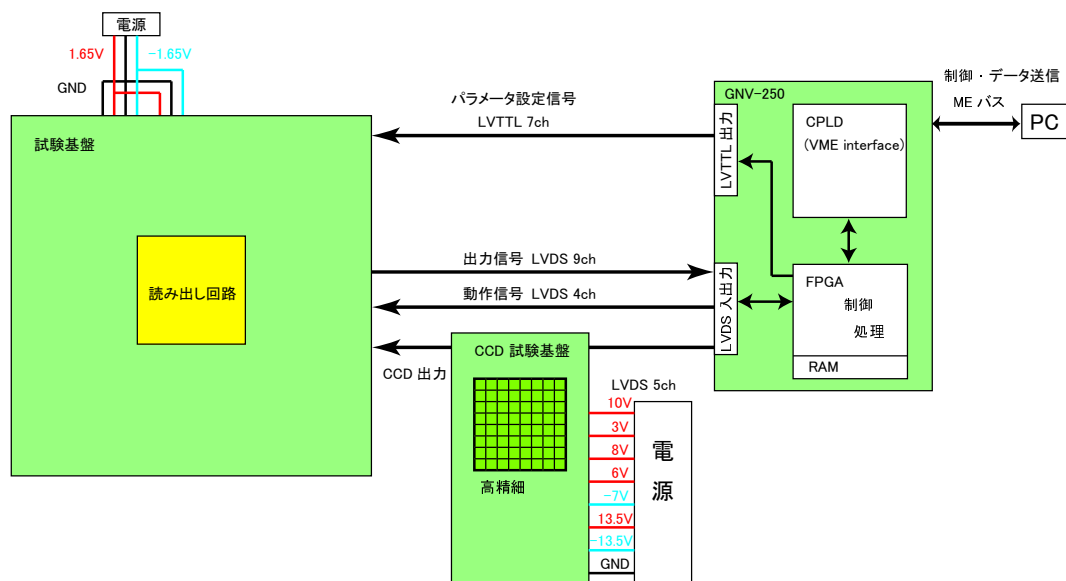


図 5.2: 高精細 CCD 読み出しのためのセットアップ

5.2 CCD 出力の確認

まず、試作 FPCCD の出力信号をオシロスコープで確認した。図 5.4 に出力の様子を示す。上から順に、電荷を水平に転送するクロック、試作 FPCCD の出力、出力アンプのリセット信号である。リセット信号の立下りで FPCCD の出力電圧がリセットされ、水平転送クロックの立下りでピクセルの電荷情報を持つ電圧が出力されている。また、左側の図に比べて、右側の図は強い光をあてており、光の強さに応じて出力信号が大きくなっている。試作 FPCCD の光に対する応答を確認できた。

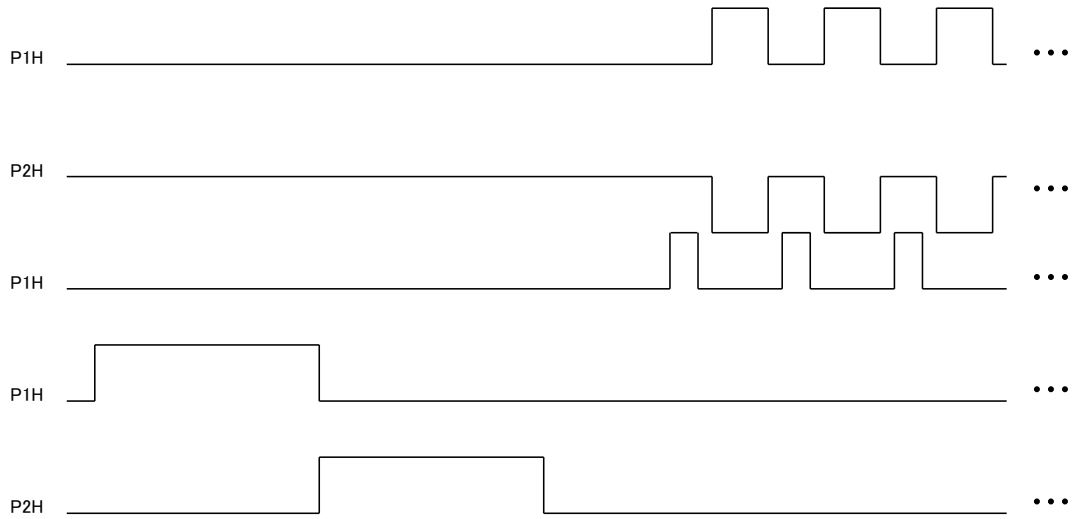


図 5.3: 高精細 CCD の動作信号 P1H・P2H : 水平転送クロック、P1V・P2V : 垂直転送クロック、RG : リセットクロック

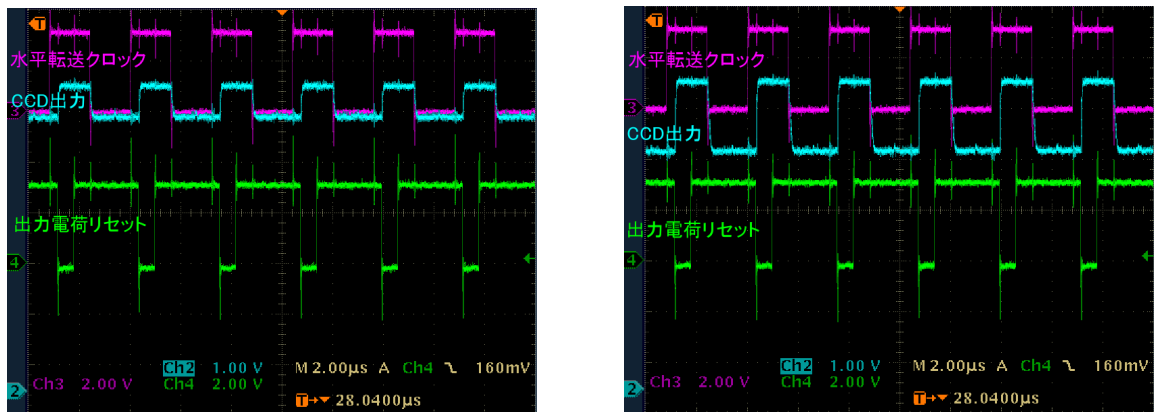


図 5.4: 高精細 CCD の出力信号 左 : 光弱 右 : 光強

5.3 CCD の読み出し

試作読み出し回路では CCD 1 ピクセルの電荷情報は 7 ビットに変換する。回路単体の動作で達成した最高速度 1.5 Mpix/sec で CCD を読み出すとすると、PC への転送速度は 10 Mbps 必要になる。しかし、前にもふれたとおり GNV-250 と PC との間の通信速度は遅く、読み出し回路の出力を一度メモリに貯めてから PC に送らなくてはならない。また、読み出しを止めるとピクセルに電荷が溜まり続けてしまうので、CCD の読み出しは一度に全ピクセルを読み出さなくてはならない。しかし、全ピクセルを読み出そうとすると、そのデータ量は $512 \times 128 \text{ pixel} \times 4 \text{ ch} \times 7 \text{ ビット} = 1,835,008 \text{ ビット}$ になる。それに対し内蔵メモリは 98,304 ビットしかないので全データを貯えるには遠く及ばない。そこで、図 5.5 のように読み出すチャンネルを 1 チャンネルに限定し、さらに読み出し回路の出力をメモリに貯える前に 1 ビットに落とすことでデータがメモリ容量を超えないようにして、CCD の出力を確認した。1 ビットにデータを落とす際、読み出し回路の出力が 10 ADC カウント以上の場合を 1、10 ADC カウント未満の場合を 0 とした。

全ピクセルを読み出そうとすると ...

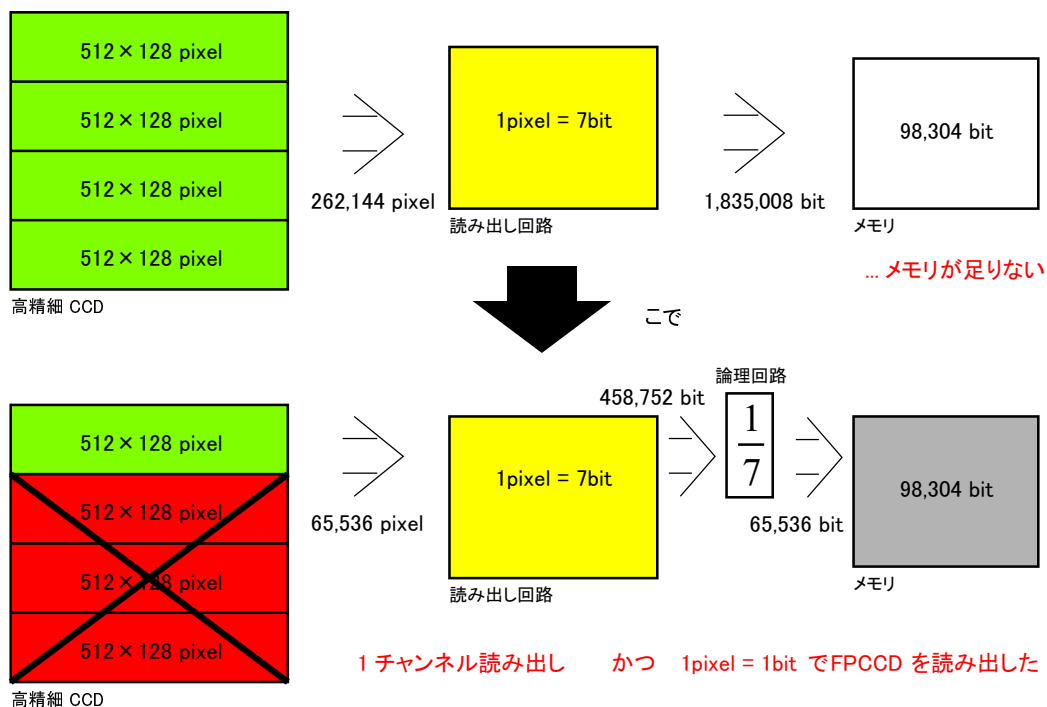


図 5.5: 読み出し方式

図 5.6 に示す遮光用のプラスチック板を自作し、中央付近に空けた穴から CCD に光が当たる様子を見た。用いた光源は LED で、光の照射時間は約 $1 \mu\text{s}$ 、その後に CCD を読み出した。図 5.7 が CCD を読み出した画像である。黒い部分が光に反応したピクセル、白い部分は反応していないピクセルである。穴の下のピクセルのみが光に反応していることがわかる。このことから、現行の回路構成で FPCCD を読み出せることがわかった。今後は全ピクセルを 7 ビットで読み出す

ことを目指す。



図 5.6: 遮光板

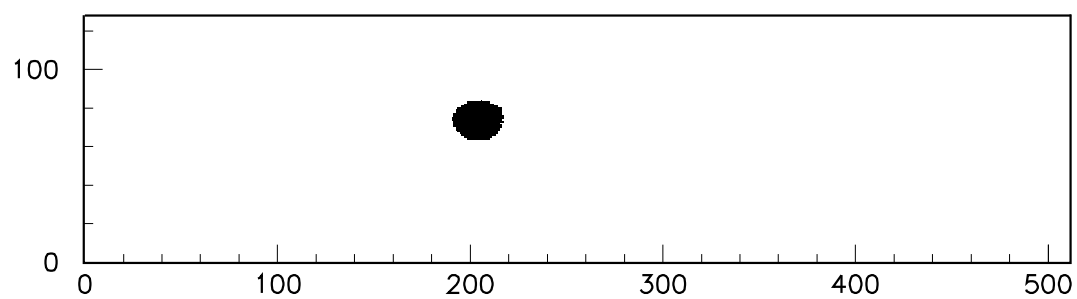


図 5.7: CCD 出力の二次元プロット

第6章 読み出し回路の第二次試作品

試作読み出し回路の評価試験で判明した問題点を解決するため、新たな試作品の製作が進んでいる。回路設計は終了し、2010年度にチップを製作する予定である。

以下で回路の改良点とシミュレーションの結果を示す。

6.1 回路構成

読み出し方式に変更はなく、各構成要素の性能を向上することで目標性能を達成する。したがって、回路構成に大きな変更点はない。

6.1.1 TOP

図 6.1 に全体の回路構成を示す。TOP の改良点には以下のものが挙げられる。

- ピン数の増加 : 80 ピン → 100 ピン
- 電源の強化
- DGND(デジタル)・GND ピンをアナログ部とデジタル部の間に配し両者を分割、相互の影響を低減
- 高精細 CCD 信号入力ラインのパッドに浮遊容量の小さいものを採用
- CHAIN1 の構成要素の改良

6.1.2 CHAIN1

図 6.2 に改良された CHAIN1 を示す。電荷再分配型 ADC のコンパレータにオフセット調整機能を加え、調整のための回路が増えている。一方で、CCD 信号の入力容量はチップの外に配置することにした。これは容量素子の耐圧性に不安があり、入力される CCD 信号と前置増幅器間の直流電圧の大きさにより、漏れ電流を発生したり静電破壊を起こす恐れがあるためである。

- (a) 前置増幅器
- (b) ローパスフィルター

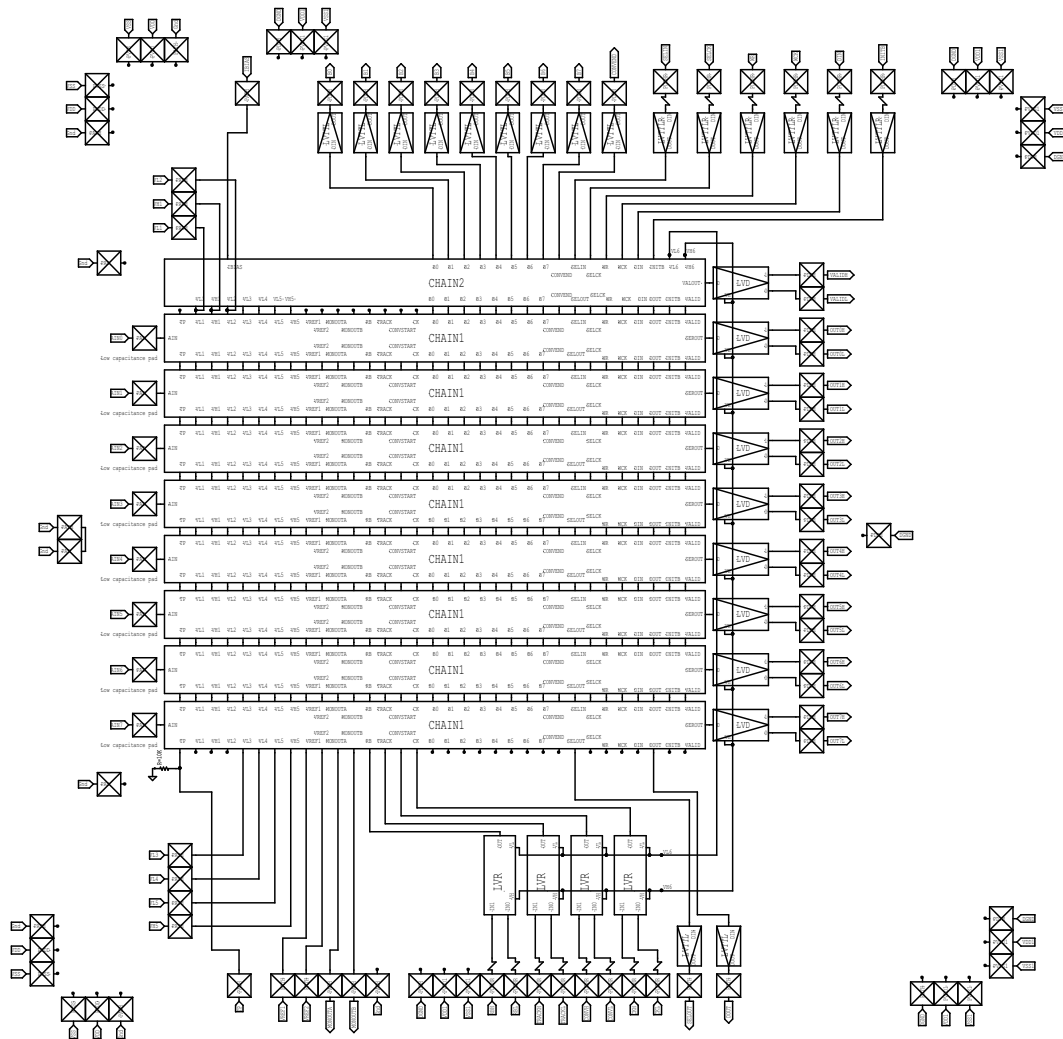


図 6.1: TOP(改良版)

- (c) 相関二重サンプリング
- (d) 電荷再分配型 ADC
- (e) モニター回路
- (f) ローカルコントロールレジスター
- (g) オフセット調整回路

以下で各要素の改良点を述べる。

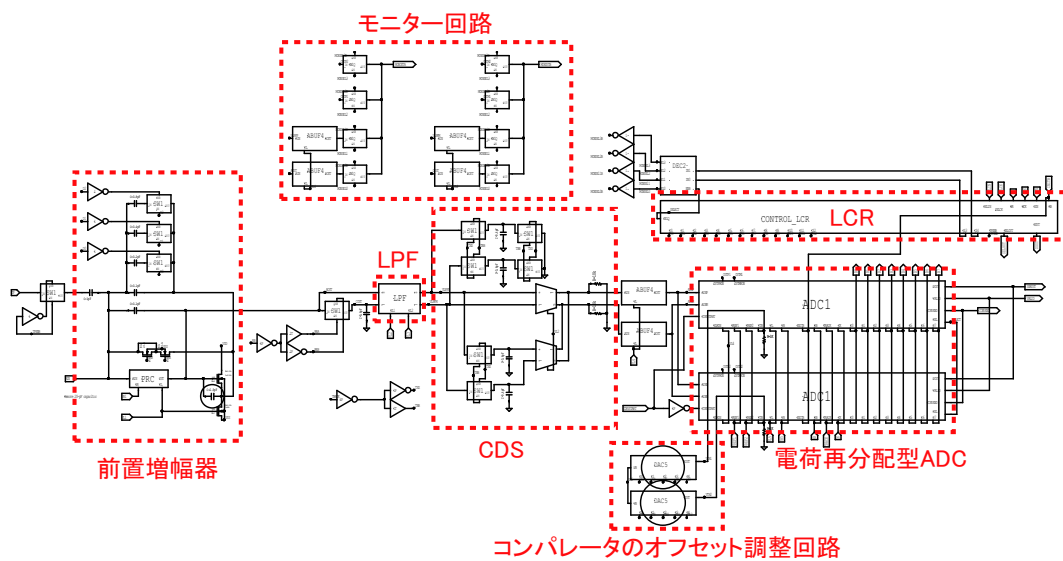


図 6.2: CHAIN1(改良版)

(a) 増幅器

図 6.3 に前置増幅器の回路図を示す。テストパルスの入力容量は 1 pF に固定され、設定項目が帰還容量のみとなっている。また、帰還容量の最低設定値 0.2 pF をソースフォロワ経由の 0.1 pF とソースフォロワを経由しない 0.1 pF に分割し、ソースフォロワのゲート端子とソース端子の間に 2.5 pF を入れている。この容量はリセット時に信号が振動するのを抑えるためにある。このため、出力電圧は $V_{out} = -\frac{C_{in}}{C_f} V_{in}$ から多少ずれる。

(b) ローパスフィルター

図 6.4 にローパスフィルターの回路図を示す。差動ラインに一つずつ容量を追加している。これは容量の微調整のためで、周波数特性に変更は無い。

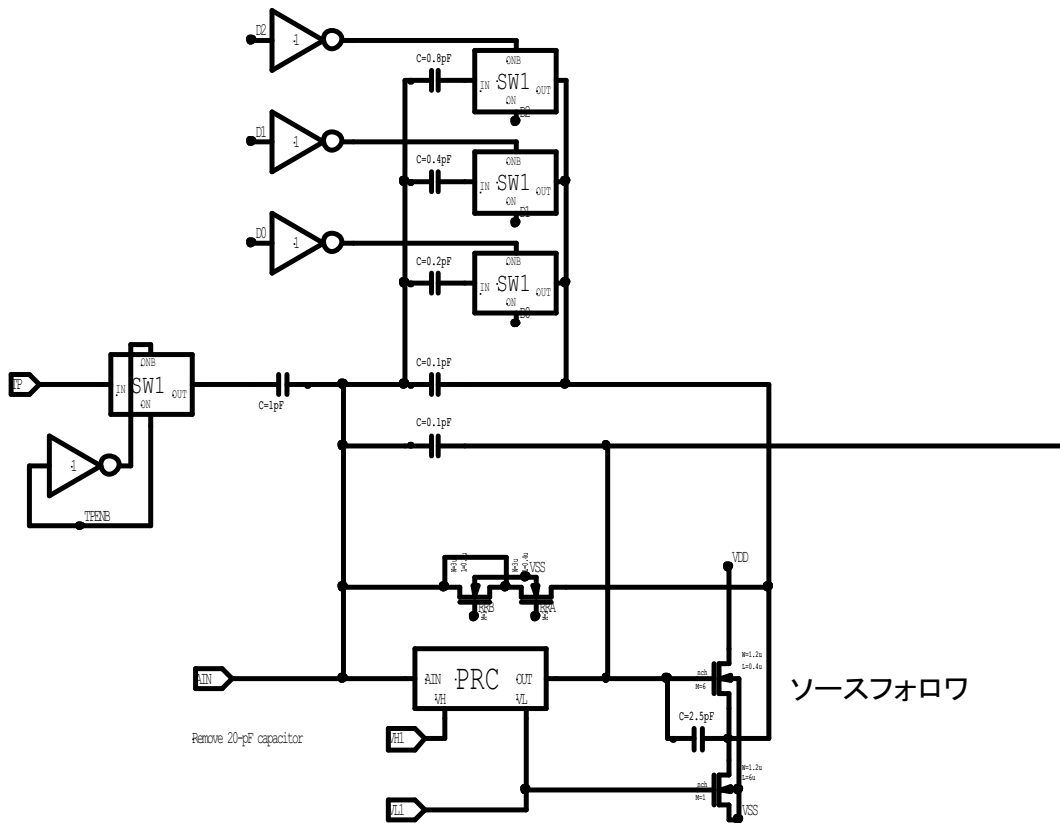


図 6.3: 前置増幅器 (改良版)

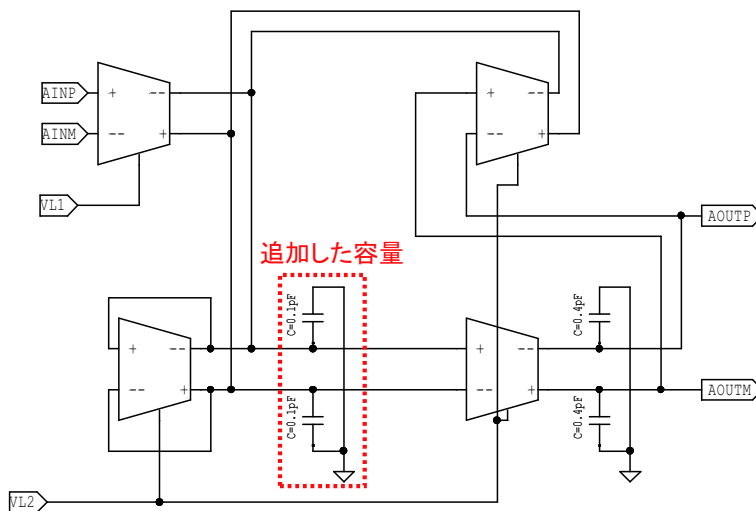


図 6.4: LPF (改良版)

(c) 相関二重サンプリング回路 (CDS)

リセットレベルの信号をサンプリングするタイミングで、容量補償回路のリセットをおこなうことにした。変換ごとにリセットするため、過去の信号から影響を受けなくなっている。また、CDS回路において、負荷として用いていた差動増幅器を $10\text{ k}\Omega$ のポリ抵抗に置き換えることによって、線型性を改善した。

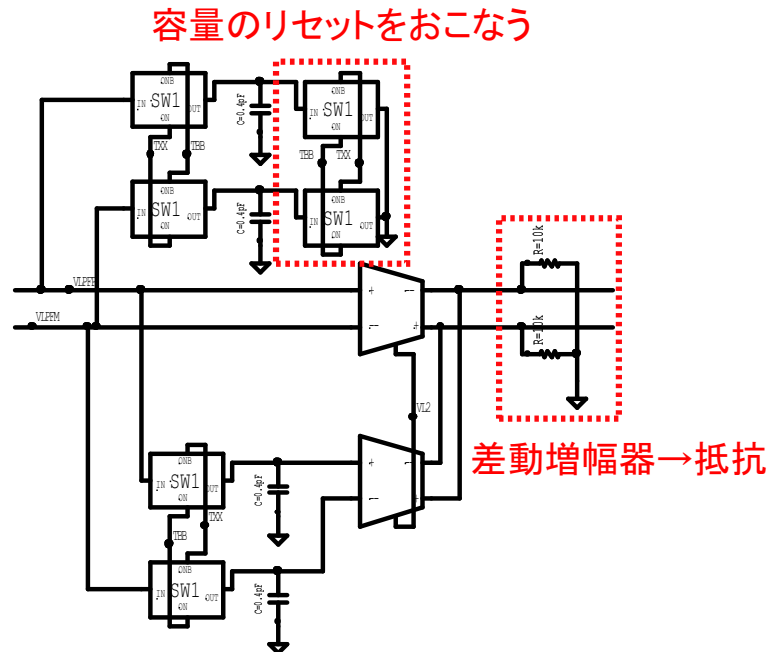


図 6.5: CDS(改良版)

(d) 電荷再分配型 ADC

新しい電荷再分配型 ADC の回路図を図 6.7 に示す。モニター回路を新しく追加し、コンパレータ前の信号を確認できるようにした。

第一次試作読み出し回路では浮遊容量のために容量の比が崩れて、正確に A/D 変換が出来ていなかった。容量比を崩す原因は、容量ブロックに用いられている CMOS スイッチの浮遊容量と、ビットの大きさに対応させた容量素子の底面電極とシリコン基板との間の寄生容量による。CMOS スイッチの浮遊容量については、構成するトランジスタの並列度合い M 値を各ビットの大きさに対応させることで、浮遊容量もビットに対応した大きさとなるように設計した。底面電極が持つ寄生容量については、容量素子を二つ用意して底面電極を接地し、上面電極のみに参照電荷を貯める仕組みにすることで、A/D 変換に影響を及ぼさないようにしている。図 6.6 に最上位ビットに対応する容量ブロックを示す。底面電極を設置したため、プラスとマイナスの参照電荷を作るために基準電圧を二つに増やしてある。また、現行の読み出し回路では上位ビットに与える基準電圧と下位ビットに与える基準電圧を別に用意しているが、新しい回路では上位ビットと下位ビットに与える基準電圧は共通のものとした。

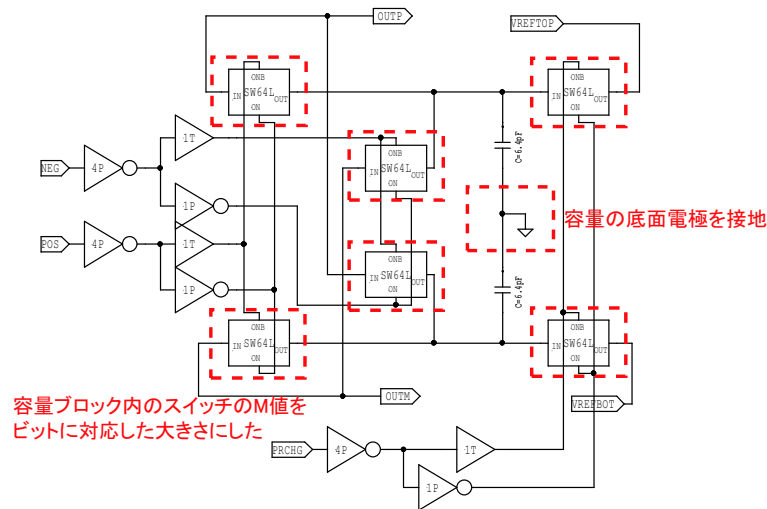


図 6.6: 容量ブロック (改良版)

コンパレータも設計しなおしており、任意のオフセット電圧を与えられるようになっている。コンパレータでは二つの入力信号の差をとり、その正負で出力の 1、0 を決めているが、閾値が 0 からずれることがある。閾値がずれると下位ビットの精度が下がってしまうので、オフセット電圧を与えずれた閾値を 0 に戻す。それにより、常に高い精度で変換がおこなえるようにしている。オフセット電圧は ADC の外にあるオフセット調整回路から与えられる。また、最下位ビットの精度を確かめるために、最下位ビットの後ろに確認用のビットを追加している。確認用ビットには最下位ビットと同じ容量ブロックを用いており、最下位ビット分の電荷を演算することで最下位ビットと逆の信号を出力する。最下位ビットと確認用ビットが逆にならない場合、最下位ビットの精度が大きく低下していることになる。

(e) モニター回路

モニター出力ラインを二つに増やしたので、差動信号を同時に確認できる。出力位置は前置増幅器後、LPF 後、ADC 内のコンパレータ前である。

(f) ローカルコントロールレジスター

コンパレータのオフセット調整機能が加わったため、パラメータ設定項目が増え、パラメータ設定シフトレジスターが 16 ビットになった。

(f) オフセット調整回路

図 6.9 にオフセット調整回路の回路図を示す。オフセット調整回路は電流 DAC 回路である。出力電流の極性は D4 の on/off で決まり、D4 が on の場合は電流源の供給する電流が出力端子から流出し、off の場合は下部に電流を供給するために出力端子から電流が流入する。電流の大きさは D0~D3 のスイッチにより決まる。D4 が on の場合、D0~D3 を on にすると下部に電流が流れるので出力電流は減少し、off にすると出力電流は増大する。D4 が off の場合、D0~D3 を on にする

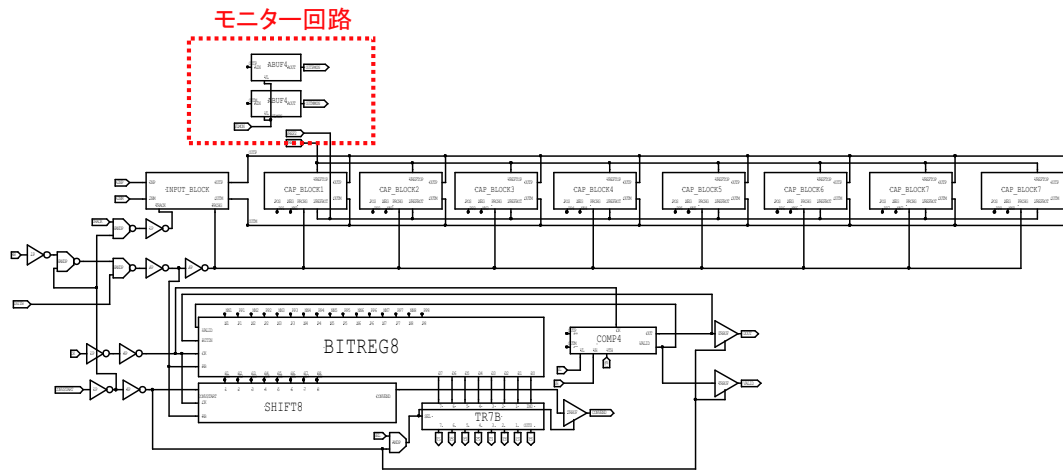


図 6.7: ADC(改良版)

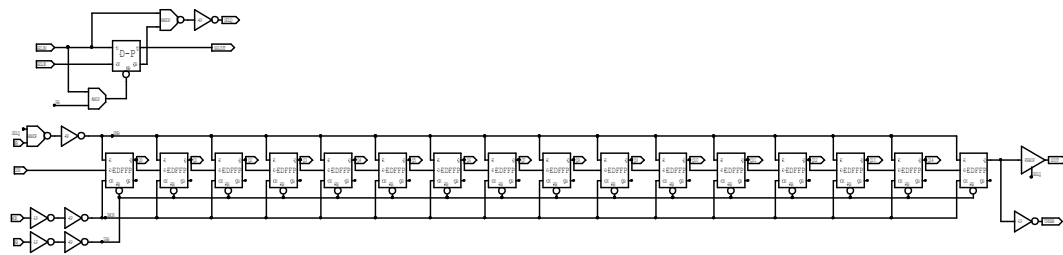


図 6.8: LCR(改良版)

と下部に電流が流れるので流入する電流が増え、off にすると電流が流れないので減少する。DAC 回路の出力ラインは $1\text{ k}\Omega$ の抵抗でグラウンドに落とされており、コンパレータにオフセット電圧を与える。

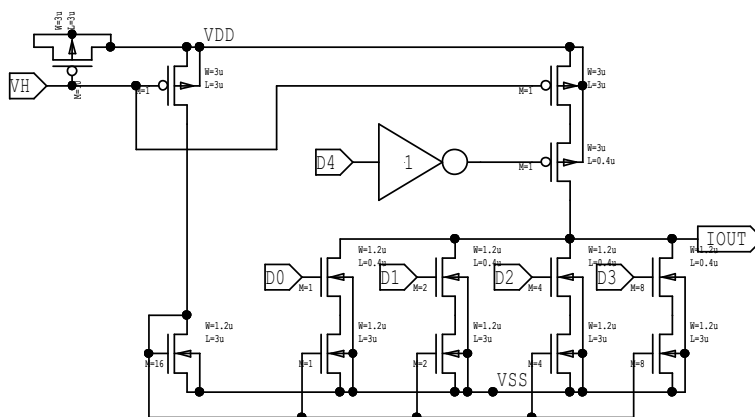


図 6.9: オフセット調整回路 (DAC)

6.2 シミュレーション

設計した回路についてシミュレーションをおこない、所定の性能を発揮できているかを確認した。

6.2.1 シミュレータ

アナログ回路を含むシミュレーションには SPICE シミュレータを用いた。SPICE シミュレータでは、回路素子のパラメータと接続情報 (ネットリスト) から回路内部の電圧値や電流値を計算する。ネットリストとしては回路設計に用いた回路図エディタから出力されるものを利用した。

6.2.2 ADC のシミュレーション

浮遊容量について見直した電荷再分配型 ADC のシミュレーションをおこなった。入力電圧は 0 mV から 254 mV まで 2 mV 刻みに変えた差動電圧である。入力電圧は出力を 1ADC カウントずつ変化させ、全 ADC カウントが出力されるように決定した。結果を図 6.10 に示す。0~127 まで全ての ADC カウントが出力されており、試作読み出し回路の一部の ADC カウントが出力されない問題を改善できている。

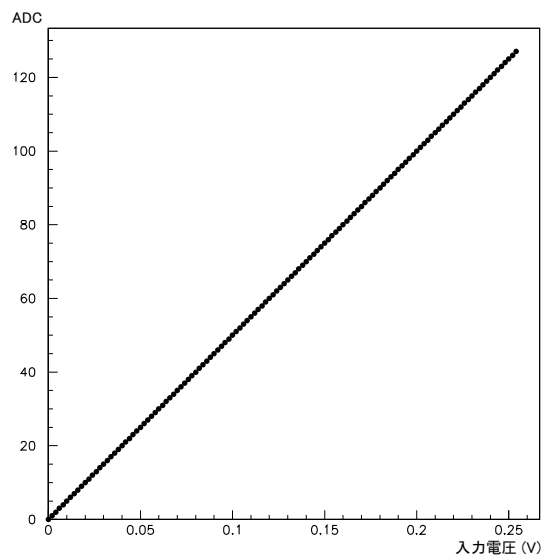


図 6.10: 再設計した電荷再分配型 ADC のシミュレーション

6.2.3 CHAIN1 のシミュレーション

6.2.3.1 アナログ部分

まず、ADC 前段のアナログ回路のシミュレーションをおこなった。このときの入力信号は 1 mV で、CCD のリセットスパイクを模擬した 400 mV の信号をのせている (図 6.11)。

前置増幅器

前置増幅器の増幅率が設定可能であることを確認した。図 6.12 は増幅器の設定を変えながら前置増幅器直後の出力信号の大きさを見たものである。このとき、増幅率の設定ごとに出力信号の大きさが変わっているので、増幅器の設定は問題なくおこなえている。また、現行の回路でのシミュレーション (図 6.13) と比較すると、2.5 pF の容量により信号のふらつきが抑えられていることがわかる。

ローパスフィルター

ローパスフィルターの出力は、
$$\frac{V_{\text{outp}} - V_{\text{outn}}}{V_{\text{inp}} - V_{\text{inn}}} = \frac{G_{m1}G_{m2}}{(G_{m2} + j\omega \times (4 \text{ pF}))^2}$$
 とあらわせる。バイアス電圧を設定することで G_{m1} 、 G_{m2} を変化させ、LPF 後の出力が変わることを確認した。

バイアス電圧 VL1 を上げると G_{m1} が大きくなるので LPF の出力も大きくなるはずである。図 6.14, 6.15 は VL1 の設定を変えたときの周波数特性と LPF 直後の差動信号である。このとき、VL2 の設定は固定した。VL1 を大きくするほど LPF 出力も大きくなり、 G_{m1} を調整できることが確認できた。

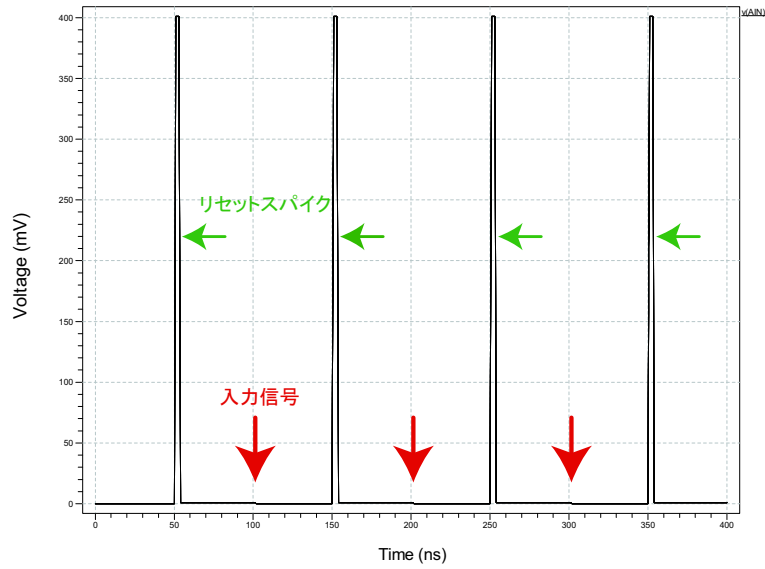


図 6.11: 入力信号

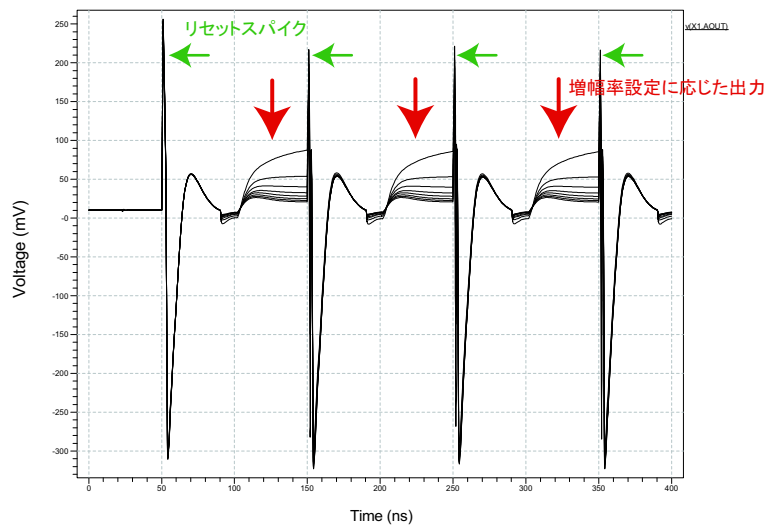


図 6.12: 増幅率調整

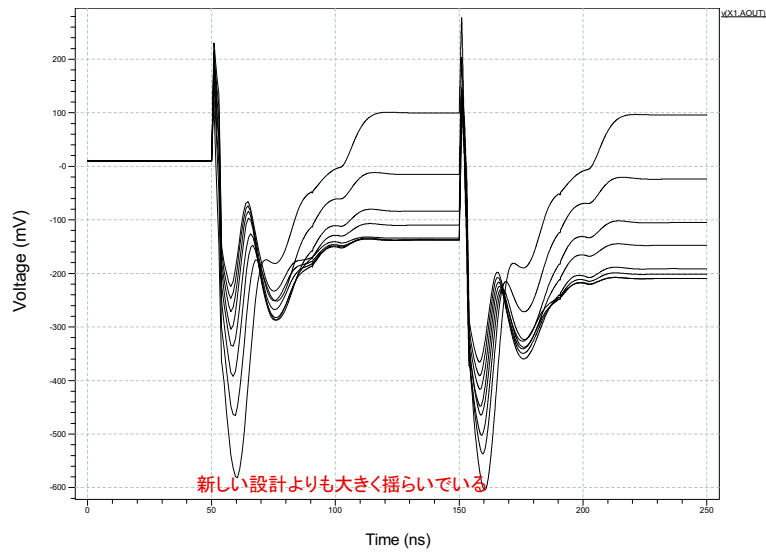


図 6.13: 現行回路での増幅率調整

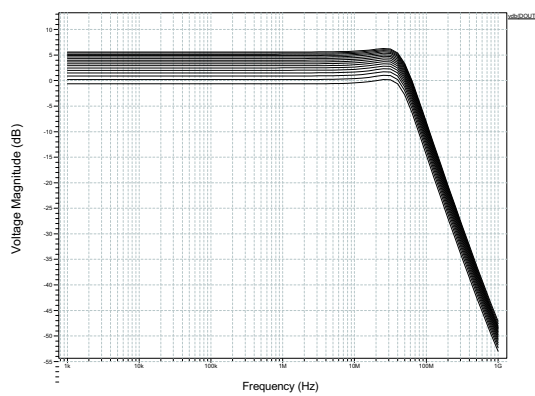


図 6.14: VL1 の設定を変えた LPF 出力

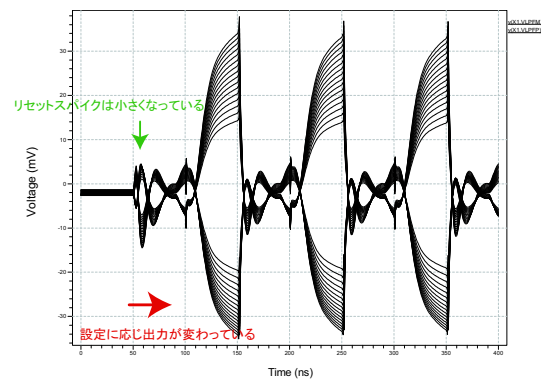


図 6.15: VL1 の設定を変えたときの LPF 直後の差動信号

バイアス電圧 VL2 を上げると G_{m2} が大きくなるので、LPF の出力は小さくなる。また、周波数への感度が高くなり、信号の立ち上がり・立下りが速くなる。図 6.16, 6.17 は VL2 の設定を変えたときの周波数特性と LPF 直後の差動信号である。このとき、VL1 の設定は固定した。VL2 が大きいほど出力が小さく、信号の立ち上がり・立下りが速くなった。LPF において G_{m2} を調整できることが確認できた。

また、リセットスパイクは高周波数の信号として LPF で 20 分の 1 以下に落ちている。

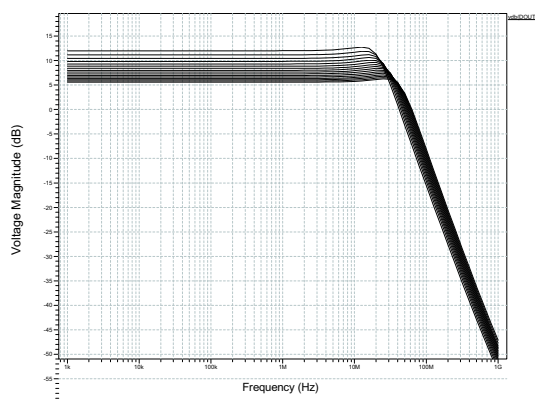


図 6.16: VL2 の設定を変えた LPF 出力

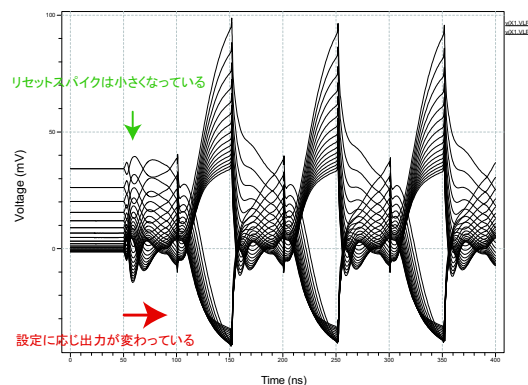


図 6.17: VL2 の設定を変えたときの LPF 直後の差動信号

CDS

CDS 前と CDS 後の信号を比較し、ノイズが落ちていることを確認した。前置増幅器の増幅率、ローパスフィルターに与えるバイアス電圧は最大の設定にしてある。図 6.18 は LPF 後の信号、図 6.19 は CDS 後の信号である。CDS 後の信号はノイズが落ちていることがわかる。

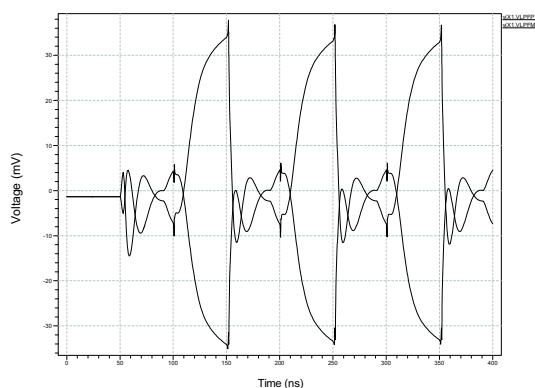


図 6.18: LPF 直後の差動信号

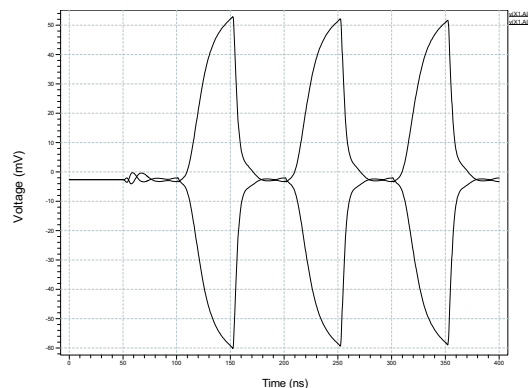


図 6.19: CDS 直後の差動信号

6.2.3.2 ADC も含めたシミュレーション

A/D 変換の線型性

アナログ部分の動作が確認されたので、ADC まで含めたシミュレーションをおこなった。入力電圧を 0 mV から 4.4 mV まで 0.1 mV 刻みで入力し、出力の変化を確認した。このとき、増幅率、LPF に与えるバイアス電圧は最大に設定し、コンパレータに与えるオフセット電圧は絶対値が最小になるように設定した。入力電圧に対する ADC 出力を図 6.20 に示す。右のグラフはフィットした直線とシミュレーション結果の差で、 ± 1.5 ADC $\sim \pm 10$ 電子以内に収まっている。目標ノイズレベル 30 電子を考えると、線型性は十分に良くなったと言える。ここで電子換算の式は以下のとおりである。

$$1 \text{ ADC カウント} \sim \frac{4.4 \text{ mV}}{130 \text{ ADC カウント}} \times \frac{1 \text{ 電子}}{5 \mu\text{V}} \sim 6.7 \text{ 電子}$$

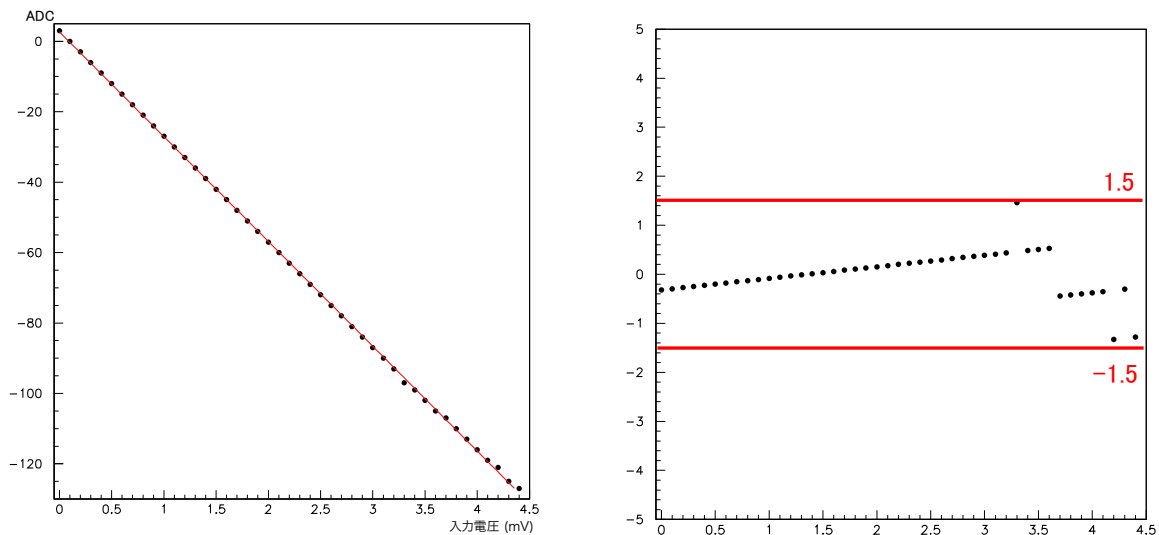


図 6.20: CHAIN1 のシミュレーション 左：入力電圧対 ADC 右：フィットした直線とデータの差

次に、入力に対する出力の変化が 1 以下となるようにしてシミュレーションした。すると図 6.21, 6.22 に示す通り、オフセット電圧の絶対値が最低となる設定では下位ビットの変換精度が下がり、一部の ADC カウントが出力していない状態にあることがわかる。

オフセット調整

前述のとおり、ADC にはコンパレータのオフセットを調節して閾値を 0 にし、下位ビットの変換精度を上げる機能を加えてある。この機能を使い、全ての ADC カウントが出力されるようにオフセットを調節した。図 6.23, 6.24 はオフセット調節後の A/D 変換の結果である。オフセットを調節していない状態では出力されなかった ADC カウントが出力されており、オフセット調整により下位ビットの変換精度を上げられることが確認できた。

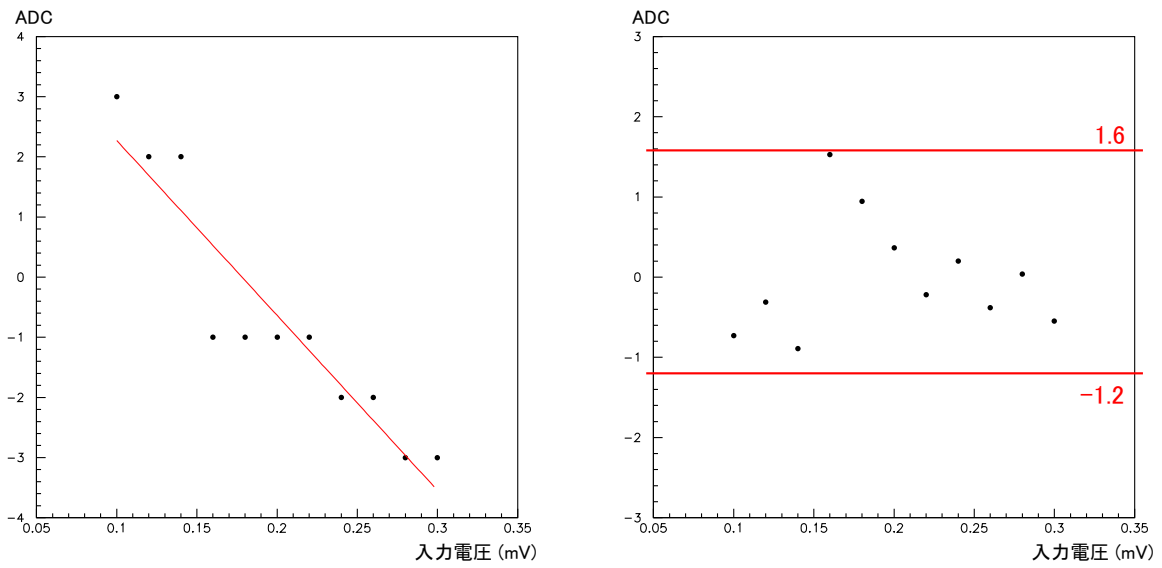


図 6.21: CHAIN1 のシミュレーション (ADC カウント=0 付近) 左: 入力電圧対 ADC 右: フィットした直線とデータの差

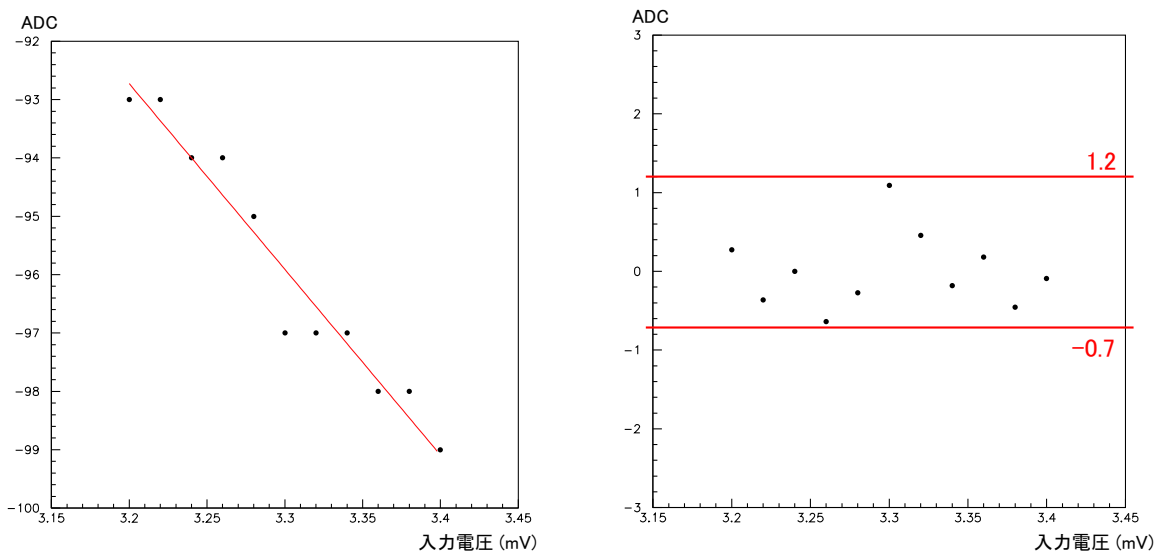


図 6.22: CHAIN1 のシミュレーション (ADC カウント=96 付近) 左: 入力電圧対 ADC 右: フィットした直線とデータの差

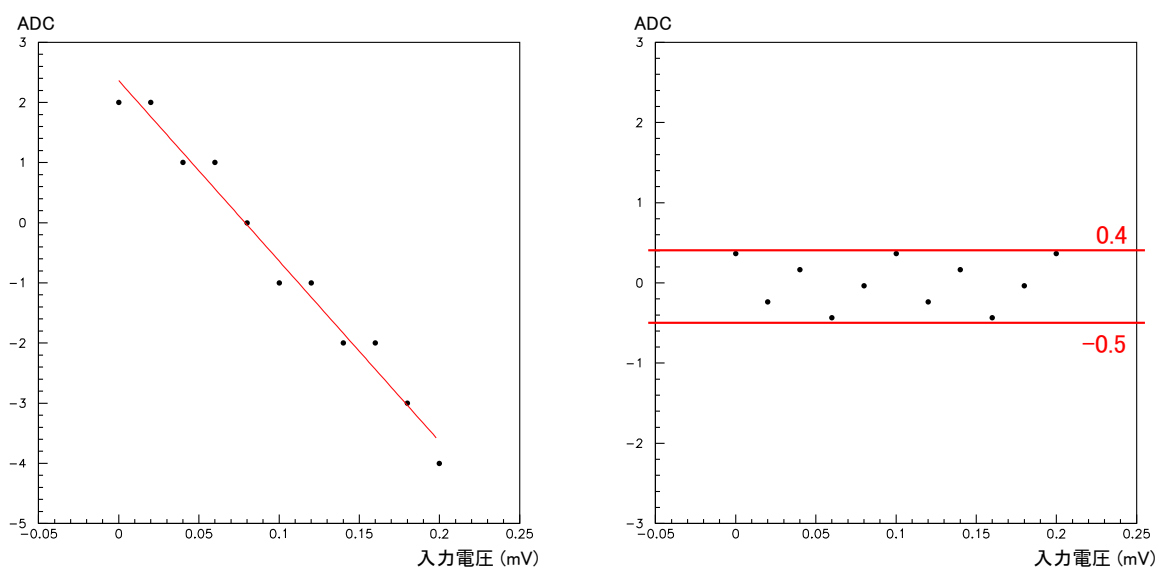


図 6.23: コンパレータのオフセットを調整した CHAIN1 のシミュレーション (ADC カウント=0 付近) 左: 入力電圧対 ADC 右: フィットした直線とデータの差

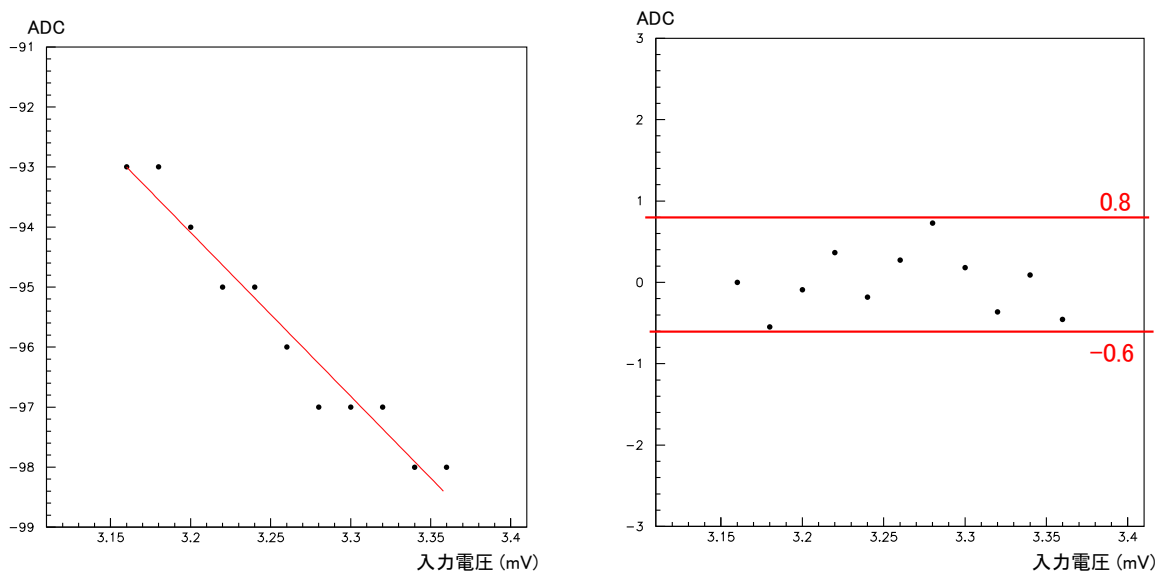


図 6.24: コンパレータのオフセットを調整した CHAIN1 のシミュレーション (ADC カウント=96 付近) 左: 入力電圧対 ADC(ADC1) 右: フィットした直線とデータの差

コンパレータのオフセット調整後の A/D 変換線型性

コンパレータのオフセットを調整し、全 ADC カウントが出力するようになった状態での線型性を見積もった。図 6.25 がオフセットを調整した状態での A/D 変換結果である。フィットした直線とデータ点との差は ± 0.7 ADC カウント $\sim \pm 4.7$ 電子以内に収まっており、オフセット電圧最低の状態に比べ、線型性がよくなった。

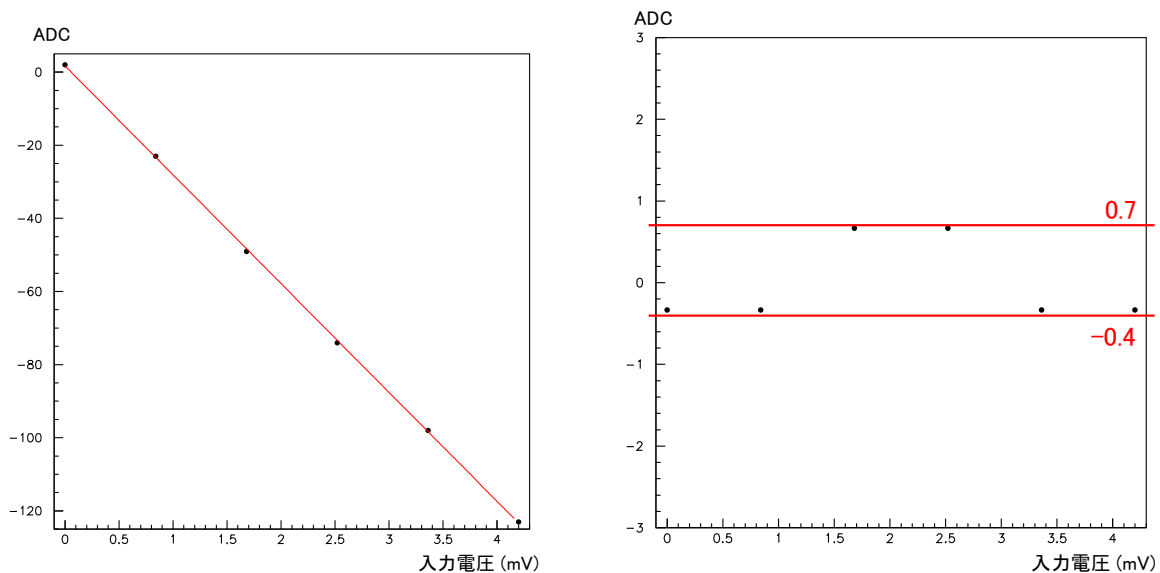


図 6.25: コンパレータのオフセットを調整した CHAIN1 のシミュレーション 左: 入力電圧対 ADC(ADC1) 右: フィットした直線とデータの差

増幅率を変えたときの性能

増幅率最大 (85 倍) の状態で線型性を見積もったが、増幅率最大のときに検出可能な電子の最大数は $6.7 \text{ 電子/ADC カウント} \times 127 \text{ ADC カウント} = 851 \text{ 電子}$ となる。一方、FPCCD で発生する電子数は最大 1,500 程度と見積もられるので、検出可能な電子数がより必要になる場合がある。そこで、増幅率を小さくした時の線型性を見積もった。

図 6.26 は増幅率 33 倍での A/D 変換結果である。1 ADC カウント = 16.5 電子、線型性は ± 0.8 ADC カウント $\sim \pm 13.2$ 電子以内、検出可能電子数は 2,100 電子である。線型性は目標ノイズレベル 30 電子と比べて小さく、検出可能電子数は FPCCD で発生する電子数を上回る。

図 6.27 は増幅率最小 (12.5 倍) 設定での A/D 変換結果である。1 ADC カウント = 40 電子、線型性は ± 1 ADC カウント $\sim \pm 40$ 電子以内、検出可能電子数は 5,080 電子である。増幅率を最低まで下げると、1ADC カウントあたりの電子数は現行の試作読み出し回路での増幅率最大設定と同じ値になる。現行の試作品に比べ、線形性がよくなっていることがわかる。

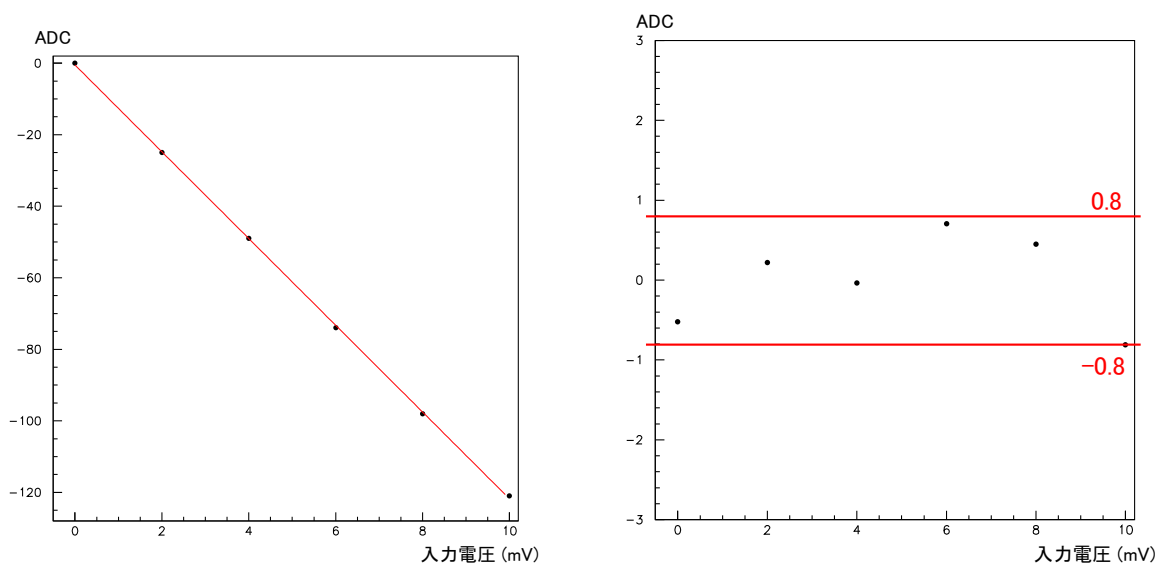


図 6.26: CHAIN1 のシミュレーション (増幅率 : 33 倍) 左 : 入力電圧対 ADC(ADC1) 右 : フィットした直線とデータの差

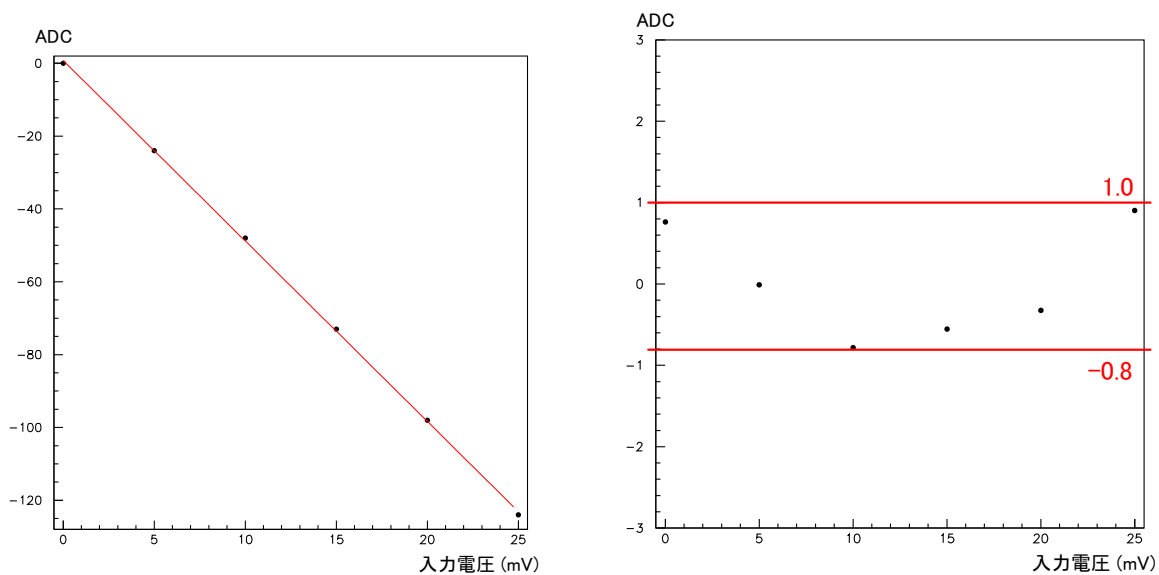


図 6.27: CHAIN1 のシミュレーション (増幅率 : 12.5 倍) 左 : 入力電圧対 ADC(ADC1) 右 : フィットした直線とデータの差

6.2.4 シフトレジスタのシミュレーション

シフトレジスタはデジタル回路のみで構成されているので、シミュレーションには ModelSim を用いた。ModelSim はハードウェア記述言語 (HDL) のためのシミュレータで、HDL で用意した論理回路のシミュレーションをおこなう。論理計算によりシミュレーション結果を出すため、効率的にシミュレーションがおこなえる。

チャンネル指定シフトレジスタ

二次試作でもチャンネル数は読み出しチャンネル×8 + CHAIN2 であり、一次試作と同数なので、9 発目のシフトクロック (SELCK) のタイミングで出力 (SELOUT) が立ち上がるはずである。図 6.28 に示す通り、チャンネル指定シフトレジスタのシミュレーションは正常な結果であった。

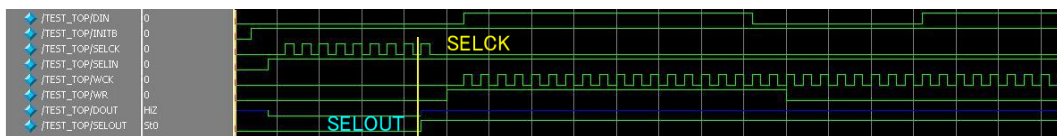


図 6.28: チャンネル指定シフトレジスタのシミュレーション：9 発目の SELCK で SELOUT が立ち上がっている

セントラルコントロールレジスタ (CCR)

CCR のビット数は二次試作でも変わらないので、シミュレーションによって 4 章の試験結果と同じ結果が得られるはずである。図 6.29 がその結果で、17 発目の入力クロック (WCK) のタイミングで出力 (DOUT) が立ち上がっている。したがって、CCR の設計に問題のないことがわかる。



図 6.29: CCR のシミュレーション：17 発目の WCK で DOUT が立ち上がっている

ローカルコントロールレジスタ (LCR)

二次試作ではコンパレータのオフセット調整が可能となり、この設定も LCR で行うのでビット数が増加し、16 ビットになっている。したがって、16 発目の入力クロック (WCK) のタイミングで出力 (DOUT) が立ち上がる。シミュレーション結果が図 6.30 であり、予想通りの結果となった。

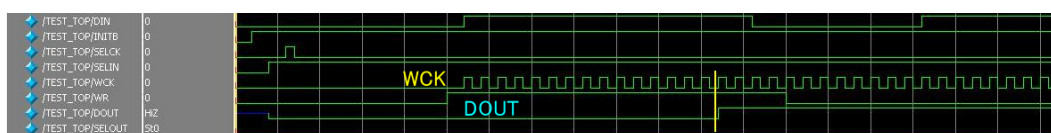


図 6.30: LCR のシミュレーション : 17 発目の WCK で DOUT が立ち上がっている

第7章 まとめ

本研究では、国際リニアコライダーに用いる高精細 CCD 崩壊点検出器を実現するため、高精細 CCD の読み出し回路の開発をおこなった。

性能評価 読み出し回路に要求される消費電力 6 mW 以下、読み出し速度 10 Mpix/sec 以上、ノイズレベル 30 電子以下という性能に対し、試作読み出し回路の性能は以下の通りである。

- 読み出し速度 1.5 Mpix/sec
- ノイズレベル 45 電子

また、性能評価の過程で、現行の回路設計では一部の ADC カウントが出力されないという問題があることがわかった。

試作高精細 CCD の読み出し 試作高精細 CCD の出力を、読み出し回路の出力 7 ビットを 1 ビットに落として確認した。これにより、現行の回路構成で高精細 CCD の読み出しがおこなえることを確認できた。

次期試作回路のシミュレーション 性能評価試験を受け、回路設計を改良した。新しい回路設計でシミュレーションをおこなったところ、性能評価試験で判明した問題を解決でき、性能の向上に期待できる結果となった。

今後の予定

- 消費電力は、設計上、要求性能を満たしているが、評価試験をおこなっていない。評価方法を考え、消費電力の評価をおこないたい。
- 試作高精細 CCD の全ピクセルを読み出すために読み出しボードを開発したので、読み出しボードを用いた読み出し試験をおこなう。読み出しボードは GNV-250 を置き換えるモジュールで、TCP/IP を利用するための FPGA(SiTCP[9]) を実装しており、イーサネット経由で 1 Gbps のデータ転送が出来るため、全ピクセルを読み出せる。図 7.1 に読み出しボードを含めた試験環境を示す。
- 次期試作回路のレイアウト設計が進んでおり、来年度にチップの製作をおこなう。製作したチップについて、同様に性能を評価する。

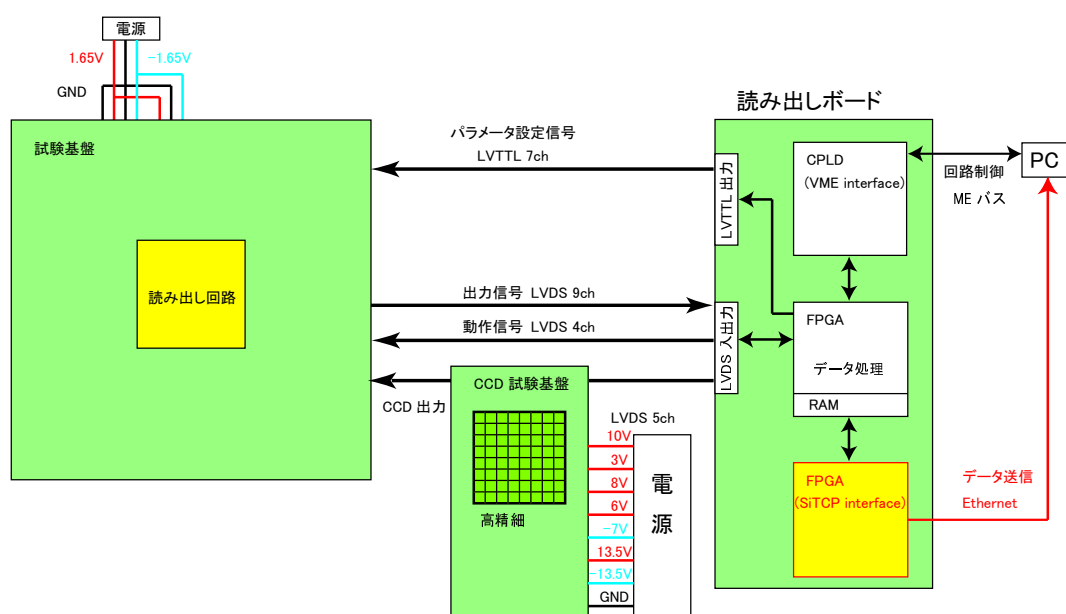


図 7.1: 読み出しボードを含めたセットアップ

付録A 読み出し回路の仕様

A.1 チップレイアウト図

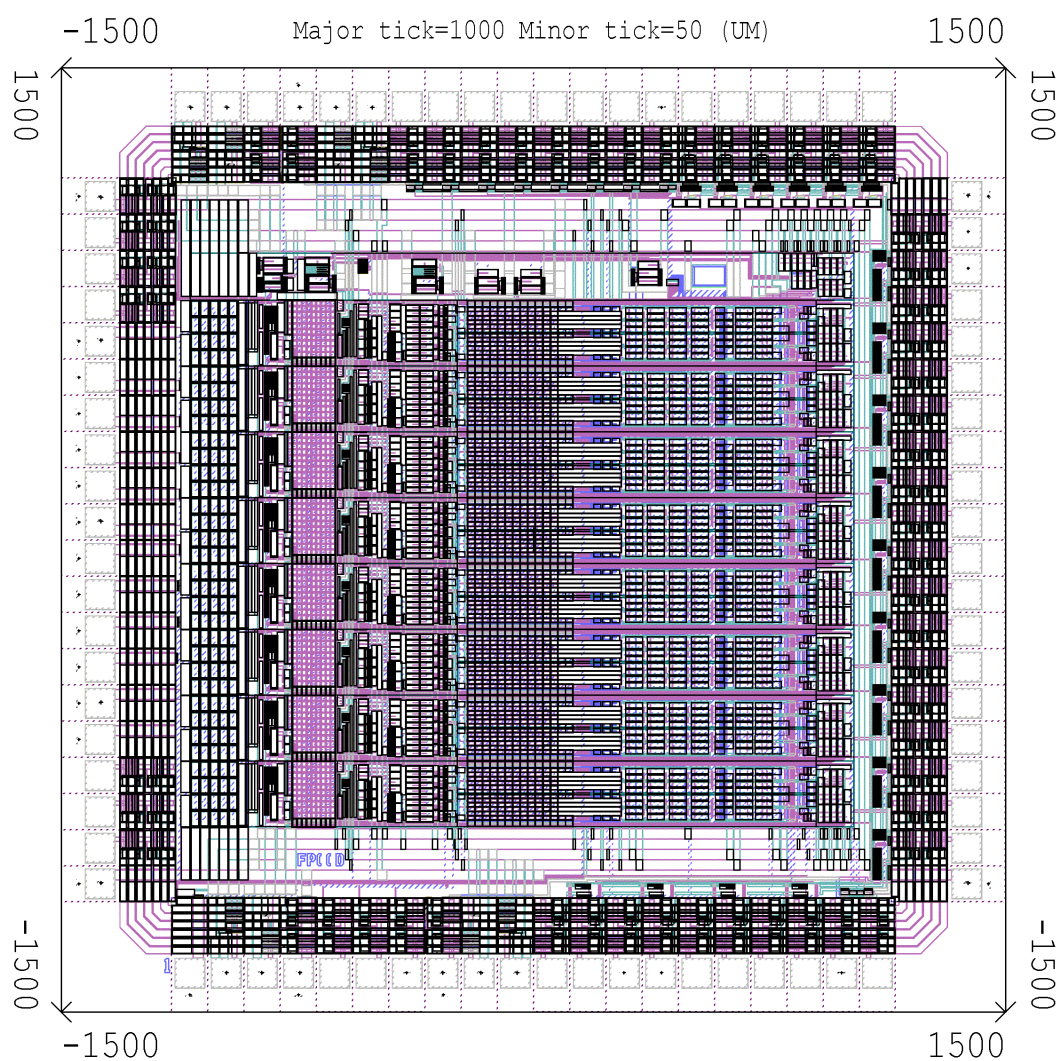


図 A.1: 試作読み出し回路のレイアウト図

A.2 パッド配置一覧表

パッド番号	信号名	パッド種別	内容
1	TP	PAD	テストパルス入力
2	VDD	PVDD	アナログ用電源 (+1.65 V)
3	VSS	PVSS	アナログ用電源 (-1.65 V)
4	Gnd	PATH	アナロググランド (0 V)
5	VREF1	PATH	A/D 変換基準電圧 (+500 mV)
6	VREF2	PATH	A/D 変換基準電圧 (+250 mV)
7	MONOUT	PATH	モニター出力
8	DGND	PATH	デジタルグランド (0 V)
9	VSS1	PVSS1	デジタル用電源 (-1.65 V)
10	VDD1	PVDD1	デジタル用電源 (+1.65 V)
11	RBH	PDTHR	LVDS 入力 (読み出し回路動作信号)
12	RBL	PDTHR	LVDS 入力 (読み出し回路動作信号)
13	TRACKH	PDTHR	LVDS 入力 (読み出し回路動作信号)
14	TRACKL	PDTHR	LVDS 入力 (読み出し回路動作信号)
15	CONVH	PDTHR	LVDS 入力 (読み出し回路動作信号)
16	CONVL	PDTHR	LVDS 入力 (読み出し回路動作信号)
17	CKH	PDTHR	LVDS 入力 (読み出し回路動作信号)
18	CKL	PDTHR	LVDS 入力 (読み出し回路動作信号)
19	SELOUT	PDTH	LVTTL 出力 (チャンネル指定シフトレジスター出力)
20	DOUT	PDTH	LVTTL 出力 (パラメータ設定シフトレジスター出力)
21	DGND	PAD	デジタルグランド (0 V)
22	OUT7L	PDTH	LVDS 出力 (ADC 出力)
23	OUT7H	PDTH	LVDS 出力 (ADC 出力)
24	OUT6L	PDTH	LVDS 出力 (ADC 出力)
25	OUT6H	PDTH	LVDS 出力 (ADC 出力)
26	OUT5L	PDTH	LVDS 出力 (ADC 出力)
27	OUT5H	PDTH	LVDS 出力 (ADC 出力)
28	OUT4L	PDTH	LVDS 出力 (ADC 出力)
29	OUT4H	PDTH	LVDS 出力 (ADC 出力)
30	OUT3L	PDTH	LVDS 出力 (ADC 出力)
31	OUT3H	PDTH	LVDS 出力 (ADC 出力)
32	OUT2L	PDTH	LVDS 出力 (ADC 出力)
33	OUT2H	PDTH	LVDS 出力 (ADC 出力)
34	OUT1L	PDTH	LVDS 出力 (ADC 出力)
35	OUT1H	PDTH	LVDS 出力 (ADC 出力)
36	OUT0L	PDTH	LVDS 出力 (ADC 出力)
37	OUT0H	PDTH	LVDS 出力 (ADC 出力)
38	VALIDL	PDTH	LVDS 出力 (ADC 出力)
39	VALIDH	PDTH	LVDS 出力 (ADC 出力)
40	DGND	PAD	デジタルグランド (0 V)

パッド番号	信号名	パッド種別	内容
41	INITB	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
42	DIN	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
43	WCK	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
44	WR	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
45	SELCK	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
46	SELIN	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
47	CONVEND	PDTH	LVTTL 出力 (変換終了信号)
48	B6	PDTH	LVTTL 出力 (ビットレジスター出力)
49	B5	PDTH	LVTTL 出力 (ビットレジスター出力)
50	B4	PDTH	LVTTL 出力 (ビットレジスター出力)
51	B3	PDTH	LVTTL 出力 (ビットレジスター出力)
52	B2	PDTH	LVTTL 出力 (ビットレジスター出力)
53	B1	PDTH	LVTTL 出力 (ビットレジスター出力)
54	B0	PDTH	LVTTL 出力 (ビットレジスター出力)
55	VDD1	PVDD1	デジタル用電源 (+1.65 V)
56	VSS1	PVSS1	デジタル用電源 (-1.65 V)
57	DGND	PDTH	デジタルグランド (0 V)
58	IBIAS	PATH	基準電流入力
59	VSS	PVSS	アナログ用電源 (+1.65 V)
60	VDD	PVDD	アナログ用電源 (-1.65 V)
61	Gnd	PATH	アナロググランド (0 V)
62	VL2	PATH	バイアス電圧モニター出力
63	VH1	PATH	バイアス電圧モニター出力
64	VL1	PATH	バイアス電圧モニター出力
65	Gnd	PAD	アナロググランド (0 V)
66	AIN0	PAD	CCD 信号入力
67	AIN1	PAD	CCD 信号入力
68	AIN2	PAD	CCD 信号入力
69	AIN3	PAD	CCD 信号入力
70	Gnd	PAD	アナロググランド (0 V)
71	AIN4	PAD	CCD 信号入力
72	AIN5	PAD	CCD 信号入力
73	AIN6	PAD	CCD 信号入力
74	AIN7	PAD	CCD 信号入力
75	Gnd	PAD	アナロググランド (0 V)
76	NC	PAD	無接続
77	VL3	PATH	バイアス電圧モニター出力
78	VL4	PATH	バイアス電圧モニター出力
79	VL5	PATH	バイアス電圧モニター出力
80	Gnd	PAD	アナロググランド (0 V)

表 A.1: 試作読み出し回路のパッド配置

A.3 パッド配置一覧表 (次回試作品)

パッド番号	信号名	パッド種別	内容
1	VSS	PVSS	アナログ用電源 (-1.65 V)
2	VDD	PVDD	アナログ用電源 (+1.65 V)
3	Gnd	PATH	アナロググランド (0 V)
4	TP	PATH	テストパルス入力
5	VREF1	PATH	A/D 変換基準電圧 (+256 mV)
6	VREF2	PATH	A/D 変換基準電圧 (-256 mV)
7	MONOUTA	PATH	モニター出力
8	MONOUTB	PATH	モニター出力
9	Gnd	PATH	アナロググランド (0 V)
10	DGND	PDTH	デジタルグランド (0 V)
11	VDD1	PVDD1	デジタル用電源 (+1.65 V)
12	VSS1	PVSS1	デジタル用電源 (-1.65 V)
13	RBH	PDTHR	LVDS 入力 (読み出し回路動作信号)
14	RBL	PDTHR	LVDS 入力 (読み出し回路動作信号)
15	TRACKH	PDTHR	LVDS 入力 (読み出し回路動作信号)
16	TRACKL	PDTHR	LVDS 入力 (読み出し回路動作信号)
17	CONVH	PDTHR	LVDS 入力 (読み出し回路動作信号)
18	CONVL	PDTHR	LVDS 入力 (読み出し回路動作信号)
19	CKH	PDTHR	LVDS 入力 (読み出し回路動作信号)
20	CKL	PDTHR	LVDS 入力 (読み出し回路動作信号)
21	SELOUT	PDTH	LVTTTL 出力 (チャンネル指定シフトレジスター出力)
22	DOUT	PDTH	LVTTTL 出力 (パラメータ設定シフトレジスター出力)
23	DGND	PDTH	デジタルグランド (0 V)
24	VDD1	PVDD1	デジタル用電源 (+1.65 V)
25	VSS1	PVSS1	デジタル用電源 (-1.65 V)
26	VSS1	PVSS1	デジタル用電源 (-1.65 V)
27	VDD1	PVDD1	デジタル用電源 (+1.65 V)
28	DGND	PDTH	デジタルグランド (0 V)
29	OUT7L	PDTH	LVDS 出力 (ADC 出力)
30	OUT7H	PDTH	LVDS 出力 (ADC 出力)
31	OUT6L	PDTH	LVDS 出力 (ADC 出力)
32	OUT6H	PDTH	LVDS 出力 (ADC 出力)
33	OUT5L	PDTH	LVDS 出力 (ADC 出力)
34	OUT5H	PDTH	LVDS 出力 (ADC 出力)
35	OUT4L	PDTH	LVDS 出力 (ADC 出力)
36	OUT4H	PDTH	LVDS 出力 (ADC 出力)
37	DGND	PDTH	LVDS 出力 (ADC 出力)
38	OUT3L	PDTH	LVDS 出力 (ADC 出力)
39	OUT3H	PDTH	LVDS 出力 (ADC 出力)
40	OUT2L	PDTH	LVDS 出力 (ADC 出力)

パッド番号	信号名	パッド種別	内容
41	OUT2H	PDTH	LVDS 出力 (ADC 出力)
42	OUT1L	PDTH	LVDS 出力 (ADC 出力)
43	OUT1H	PDTH	LVDS 出力 (ADC 出力)
44	OUT0L	PDTH	LVDS 出力 (ADC 出力)
45	OUT0H	PDTH	LVDS 出力 (ADC 出力)
46	VALIDL	PDTH	LVDS 出力 (ADC 出力)
47	VALIDH	PDTH	LVDS 出力 (ADC 出力)
48	DGND	PDTH	デジタルグランド (0 V)
49	VDD1	PVDD1	デジタル用電源 (+1.65 V)
50	VSS1	PVSS1	デジタル用電源 (-1.65 V)
51	VSS1	PVSS1	デジタル用電源 (-1.65 V)
52	VDD1	PVDD1	デジタル用電源 (+1.65 V)
53	DGND	PDTH	デジタルグランド (0 V)
54	INITB	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
55	DIN	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
56	WCK	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
57	WR	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
58	SELCK	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
59	SELIN	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
60	CONVEND	PDTH	LVTTL 出力 (変換終了信号)
61	B7	PDTH	LVTTL 出力 (ビットレジスター出力)
62	B6	PDTH	LVTTL 出力 (ビットレジスター出力)
63	B5	PDTH	LVTTL 出力 (ビットレジスター出力)
64	B4	PDTH	LVTTL 出力 (ビットレジスター出力)
65	B3	PDTH	LVTTL 出力 (ビットレジスター出力)
66	B2	PDTH	LVTTL 出力 (ビットレジスター出力)
67	B1	PDTH	LVTTL 出力 (ビットレジスター出力)
68	B0	PDTH	LVTTL 出力 (ビットレジスター出力)
69	VSS1	PVSS1	デジタル用電源 (-1.65 V)
70	VDD1	PVDD1	デジタル用電源 (+1.65 V)
71	DGND	PDTH	デジタルグランド (0 V)
72	IBIAS	PATH	基準電流入力
73	Gnd	PATH	アナロググランド (0 V)
74	VDD	PVDD	アナログ用電源 (+1.65 V)
75	VSS	PVSS	アナログ用電源 (-1.65 V)
76	VSS	PVSS	アナログ用電源 (-1.65 V)
77	VDD	PVDD	アナログ用電源 (+1.65 V)
78	Gnd	PATH	アナロググランド (0 V)
79	VL2	PATH	バイアス電圧モニター出力
80	VH1	PATH	バイアス電圧モニター出力

パッド番号	信号名	パッド種別	内容
81	VL1	PATH	バイアス電圧モニター出力
82	Gnd	PAD	アナロググランド (0 V)
83	AIN0	PAD	CCD 信号入力
84	AIN1	PAD	CCD 信号入力
85	AIN2	PAD	CCD 信号入力
86	AIN3	PAD	CCD 信号入力
87	Gnd	PATH	アナロググランド (0 V)
88	Gnd	PAD	アナロググランド (0 V)
89	AIN4	PAD	CCD 信号入力
90	AIN5	PAD	CCD 信号入力
91	AIN6	PAD	CCD 信号入力
92	AIN7	PAD	CCD 信号入力
93	Gnd	PAD	アナロググランド (0 V)
94	VL3	PATH	バイアス電圧モニター出力
95	VL4	PATH	バイアス電圧モニター出力
96	VL5	PATH	バイアス電圧モニター出力
97	VH5	PATH	バイアス電圧モニター出力
98	Gnd	PATH	アナロググランド (0 V)
99	VDD	PVDD	アナログ用電源 (+1.65 V)
100	VSS	PVSS	アナログ用電源 (-1.65 V)

表 A.2: 次回試作読み出し回路のパッド配置

付録B 試験基板回路図

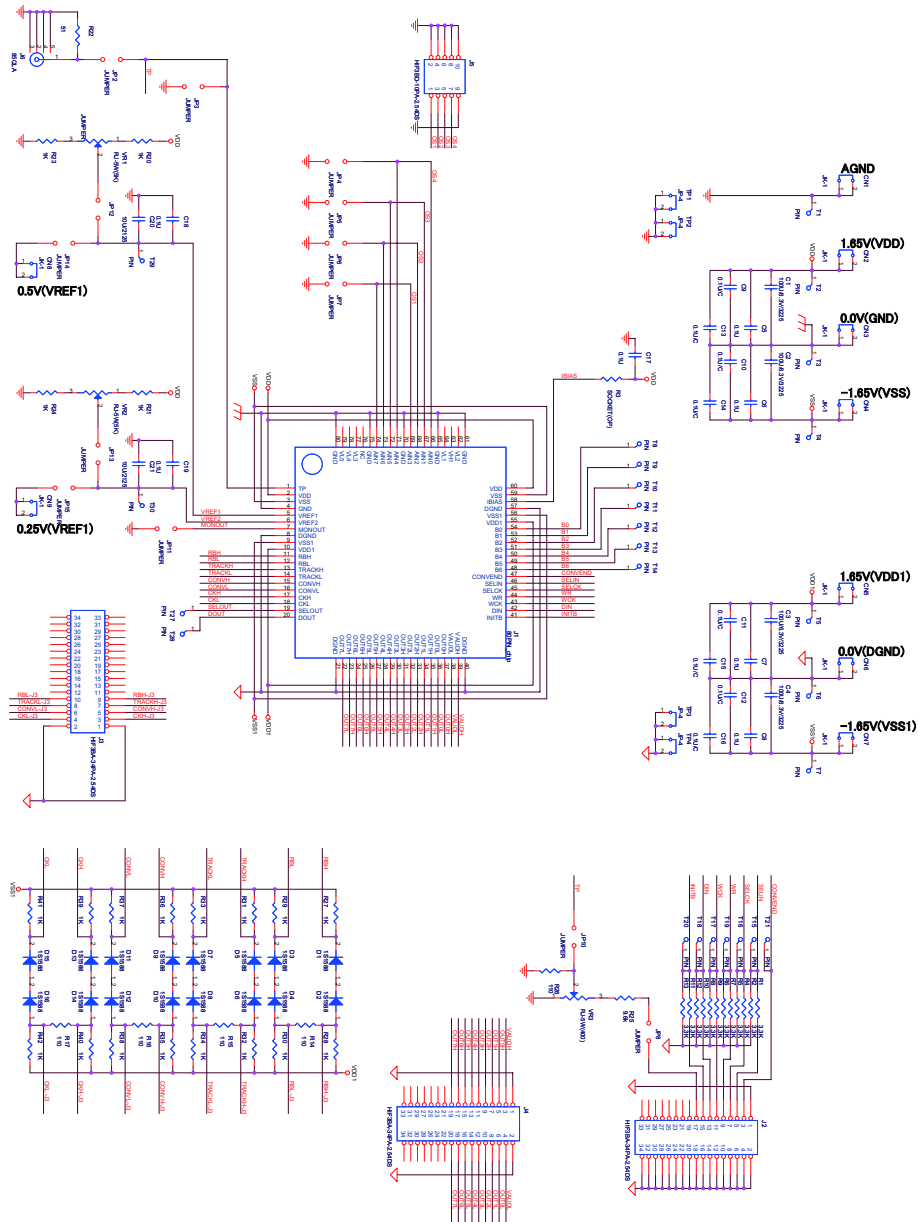


図 B.1: 読み出し回路試験基板の回路図

付録C 謝辞

この研究にあたり、多くの方々にお世話になりました。

指導教官である山本均先生にはいろいろな面でお世話になりました。特に、この僕がドクターに進学できるのは先生のおかげです。今後とも、よろしくお願いいたします。

佐貫智行先生には、特に四年生のときの院試対策でお世話になりました。この研究室に入ることが出来たのも佐貫さんのおかげがあります。

長嶺忠先生にはミーティングや発表練習において、さまざまな助言をいただきました。

田窪洋介先生には、学生部屋で机を並べて研究していることもあり、いつもお世話になっておりました。M1のころは毎日のように質問に答えていただいていたし、M2になってもいろいろと質問させていただきました。また、発表のスライドや文章の添削もたくさんお願いしました。修士論文執筆にあたって、何度も添削していただき、おかげさまで論文の完成度を上げることが出来たと思います。

小貫良行先生には、ミーティングや発表練習でハードウェアの助言をいただきました。自分のわかっていないことを質問していただくことで、とても勉強になりました。Dに進学してBelleを始めると、よりお世話になると思います。よろしくお願いいたします。

パーテックスグループの皆様にも大変お世話になりました。

JAXAの池田博一先生には回路についてたくさんのことを教わりました。疑問のメールを送ると即座に丁寧な返信をいただき、とても勉強になりました。特に修士論文の執筆時には、読み出し回路の理解のために数多くの疑問に答えていただきました。また、論文の添削をしていただいたことで、論文を充実させられたと思います。

KEKの杉本康博先生、宮本彰也先生にはミーティングにおいて、多くの助言や指針をいただきました。自分一人では気づかない事柄を指摘していただくことはとても勉強になりました。また、杉本さんにはFPCCDの取り扱いやCCDの仕組みの勉強でも大変お世話になりました。

学生のみなさんにもお世話になりました。

学生の頂点に立つ堀井さんには今後さらにお世話になる機会が出てくると思います、Belleを始めることにより。よろしくお願いいたします。

僕はドクターに進学します。今後とも、ご指導、ご鞭撻のほど、よろしくお願いいたします。

参考文献

- [1] The International Large Detector Letter of Intent by the ILD Concept Group March 2009
- [2] Yasuhiro Sugimoto, et al, R and D status of FPCCD VTX, proceedings of International Linear Collider Workshop (LCWS08 and ILC08), Chicago, Illinois, Number 16-20 Nov 2008
- [3] Yosuke Takubo, "Fine Pixel CCD for ILC Vertex Detector", proceedings of Vertex 2008, Uto island, Sweden, July 28- August 1, 2008
- [4] 技術資料 FFT-CCD エリアイメージセンサの特性と使い方 浜松ホトニクス株式会社
- [5] 技術資料 裏面入射型 TDI-CCD の特性と使い方 浜松ホトニクス株式会社
- [6] Craninckx, J.; Van der Plas, G.; A 65fJ/Conversion-Step 0-to-50MS/s 0-to-0.7mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS, Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers.IEEE International, February 11-15 2007 Page(s):246 - 600
- [7] 池田 博一, 「Analog-VLSI Open-IP Project」 <http://research.kek.jp/people/ikedai/>
- [8] Yosuke Takubo, et al, Development of Readout ASIC for FPCCD Vertex Detector, proceedings of International Linear Collider Workshop (LCWS08 and ILC08), Chicago, Illinois, November 16-20 2008.
- [9] 「SiTCP ホーム」 <http://e-sys.kek.jp/tech/sitcp/>
- [10] 吉澤浩和, 「CMOS OP アンプ回路 実務設計の基礎」 CQ 出版社
- [11] 谷口研二, 「CMOS アナログ回路入門」 CQ 出版社
- [12] 菊池正典, 「図解でわかる電子回路」 日本実業出版社
- [13] 西久保靖彦, 「これで半導体のすべてがわかる！」 秀和システム
- [14] 「アナログCMOS回路 勉強のススメ」 <http://homepage.mac.com/mosfet/cmos/index.html>

