

ILC-FPCCDバーテックス検出器のための 読み出し回路の開発

9/11 東北大理 板垣憲之輔

池田博一, 杉本康博, 田窪洋介, 長嶺忠, 宮本彰也, 山本均, 吉田幸平

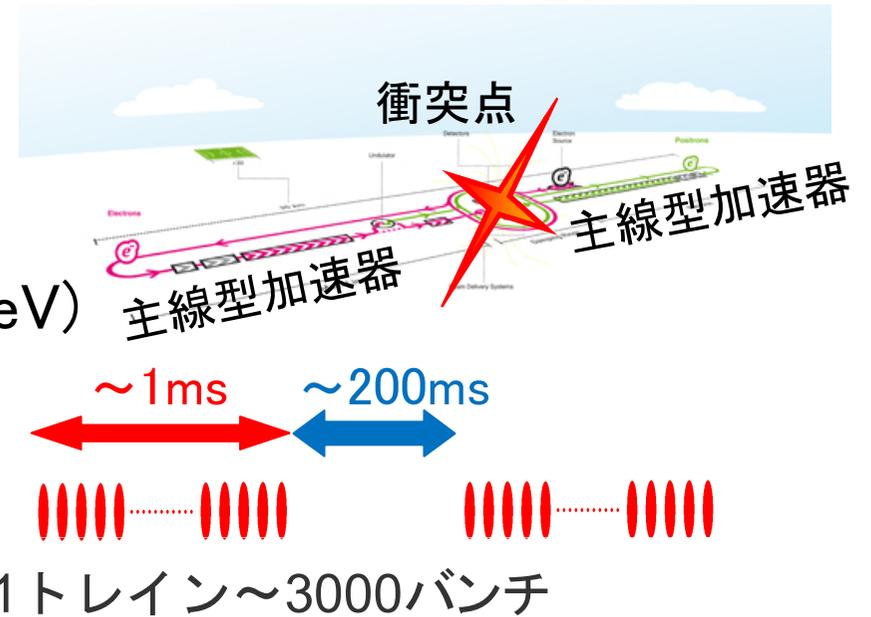
内容

- 国際リニアコライダー (ILC) ・ ILD
- バーテックス検出器
- 読み出し回路
- 試験
 - 読み出し回路単体での動作検証
 - 高精細CCDの読み出し試験

国際リニアコライダー

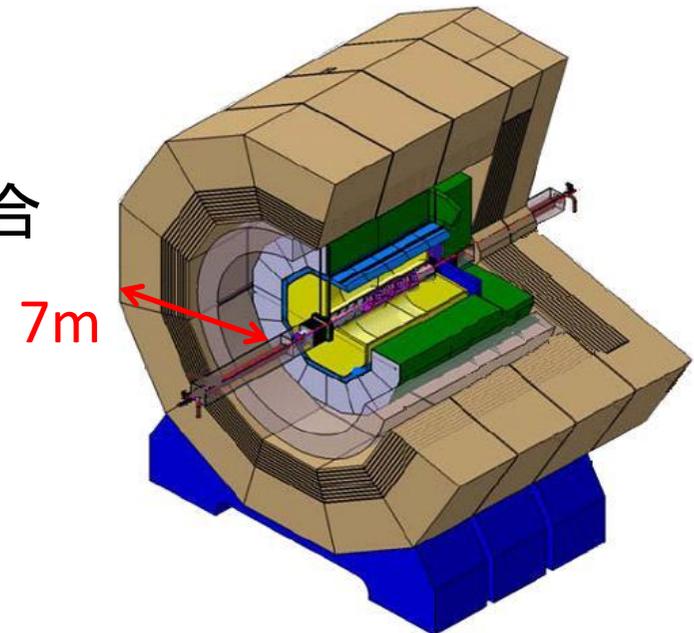
- 電子・陽電子線型加速器

- 全長30km
- 重心系エネルギー 500GeV(\rightarrow 1TeV)
- ビーム: 200msおきに衝突



- ILD(International Large Detector)

- GLD(アジア)とLDC(ヨーロッパ)が統合
- 半径~7m、長さ~13m
- 磁場の強さ: 3.5T
- ✓ 他の測定器案: SiD,4th

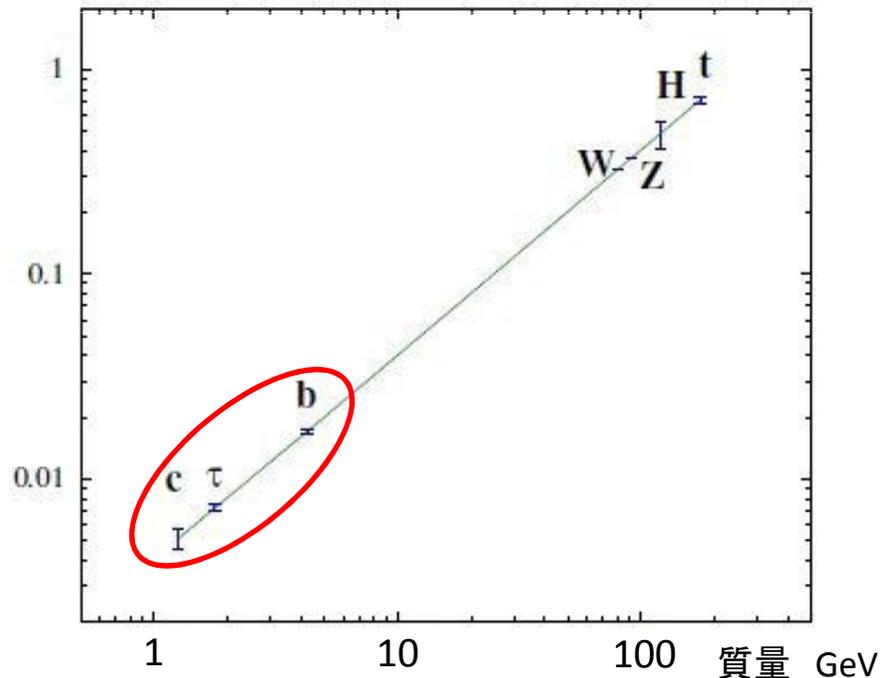


バーテックス検出器への要求

- ILCの目的
 - Higgsの精密測定 \Rightarrow Higgs機構の検証

\Rightarrow b, c を選別するためにバーテックス検出器に優れた崩壊点分解能が要求される

Higgsとの結合定数

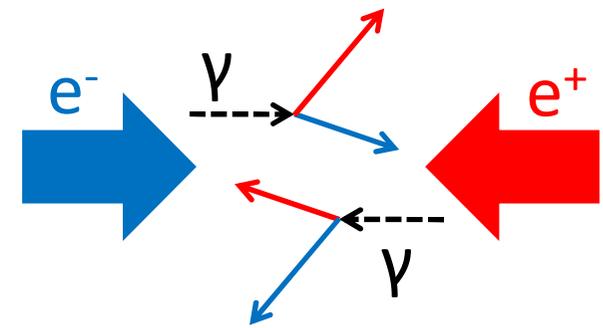


崩壊点分解能

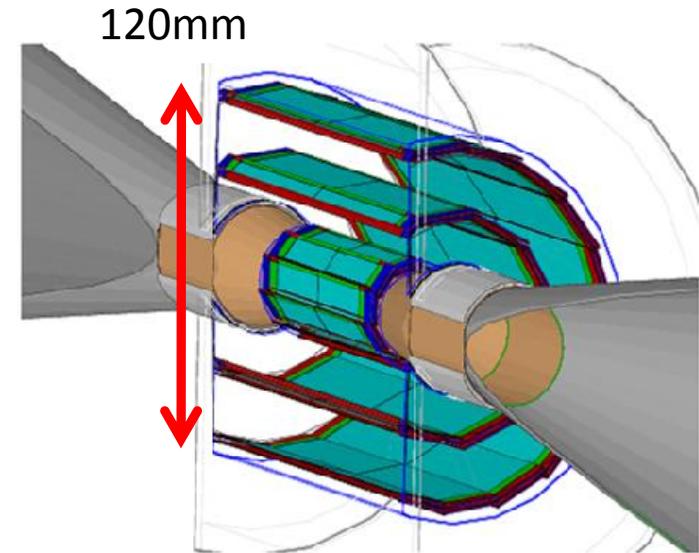
$$\sigma = 5 \oplus \frac{10}{p\beta \sin^2 \theta} (\mu m)$$

バーテックス検出器

- ビーム衝突時に発生する電子・陽電子ペアがバックグラウンドになる
- ⇒ pixel occupancyを低くするためにピクセルを高精細にする



- FPCCD バーテックス検出器
 - Fine Pixel CCD
 - ピクセル・サイズ: $5 \mu\text{m}$ 角
 - 有感層: $15 \mu\text{m}$
 - $20,000 \times 128 \text{ pix/ch}$
 - 総チャンネル数 $\sim 6,000\text{ch}$
 - **二層構造**: ラダーの裏表にCCD



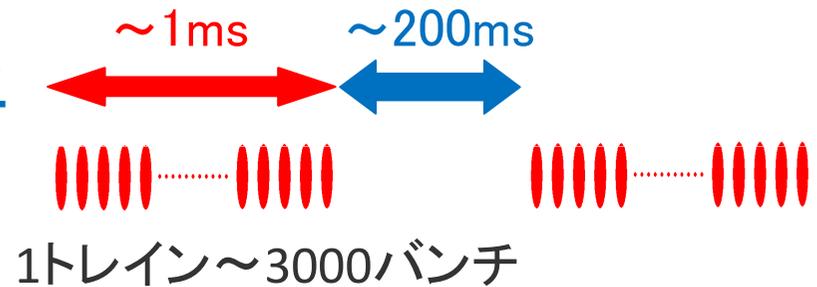
読み出し回路への要求

- 消費電力: 6 mW/ch 以下

- クライオスタット内に設置
- 全体の消費電力を100W以内に抑える

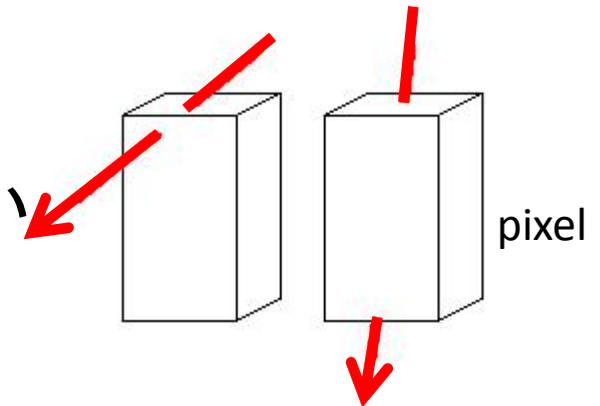
- 読み出し速度: 10 Mpix/sec 以上

- ト레인間に読み出す
- 20,000 x 128pix / 200ms



- ノイズレベル: 30電子 以下

- 粒子の入射角によっては信号電荷が小さい
- ノイズを小さく抑える必要がある

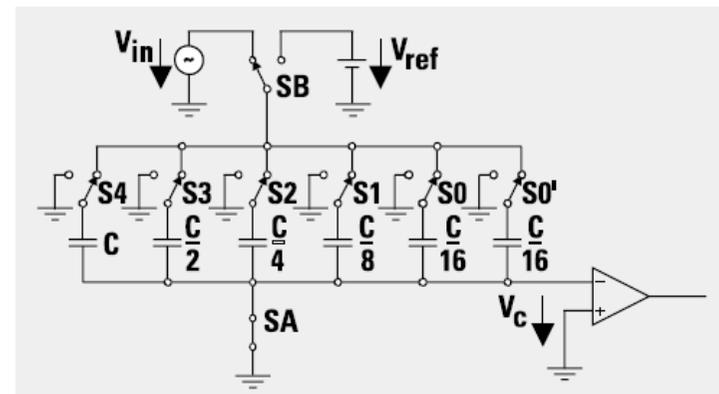


⇒ 以上の条件を満たすよう回路を設計

要求の解決

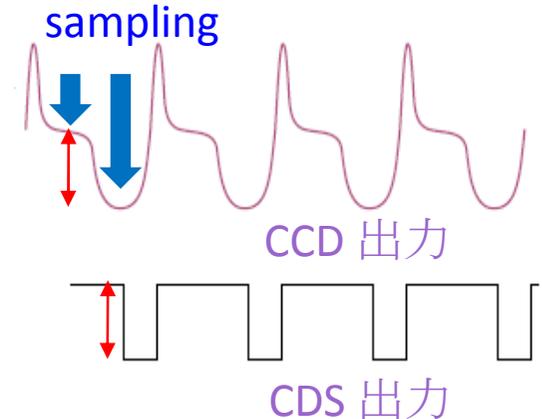
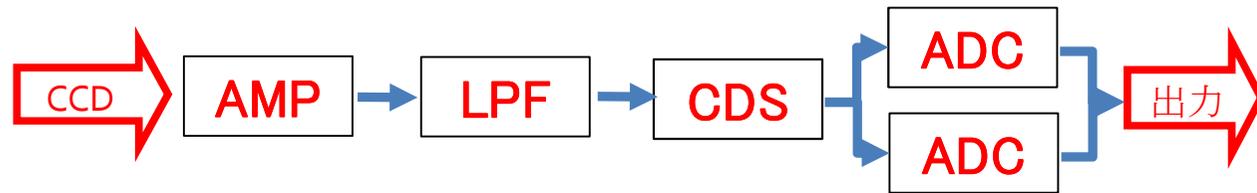
- 消費電力: 6 mW/ch 以下
 - 読み出し回路の主な電力消費源: ADC
 - ⇒ 電荷再分配型ADCを使用: 消費電力 < 10 μ W/ch
 - キャパシターに電荷を貯めてA/D変換するため低消費電力
 - ひとつのキャパシターが1ビットに対応
- 読み出し速度: 10 Mpix/sec 以上
 - 電荷再分配型ADCの構造上高速動作に難
 - ⇒ 5MHzのADCを2個使用
 - 10Mpix/sec
- 予想ノイズレベル: 30電子 以下

電荷再分配型ADC



読み出し回路の試作

- 読み出し回路のデザイン



- 完成品

0.35 μ m TSMC プロセス

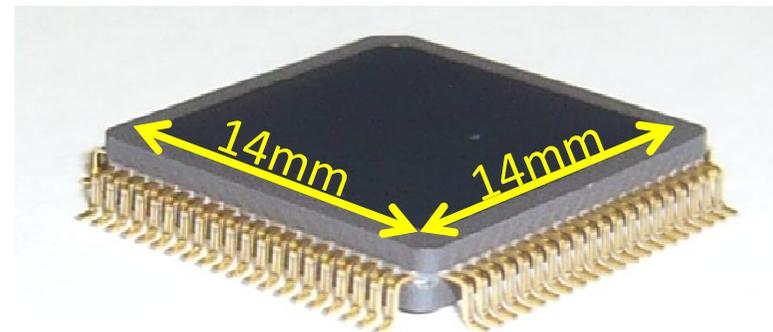
チップサイズ : 2.85 mm × 2.85 mm

パッド数 : 80

チャンネル数 : 8

パッケージ : QFP-80 ピン

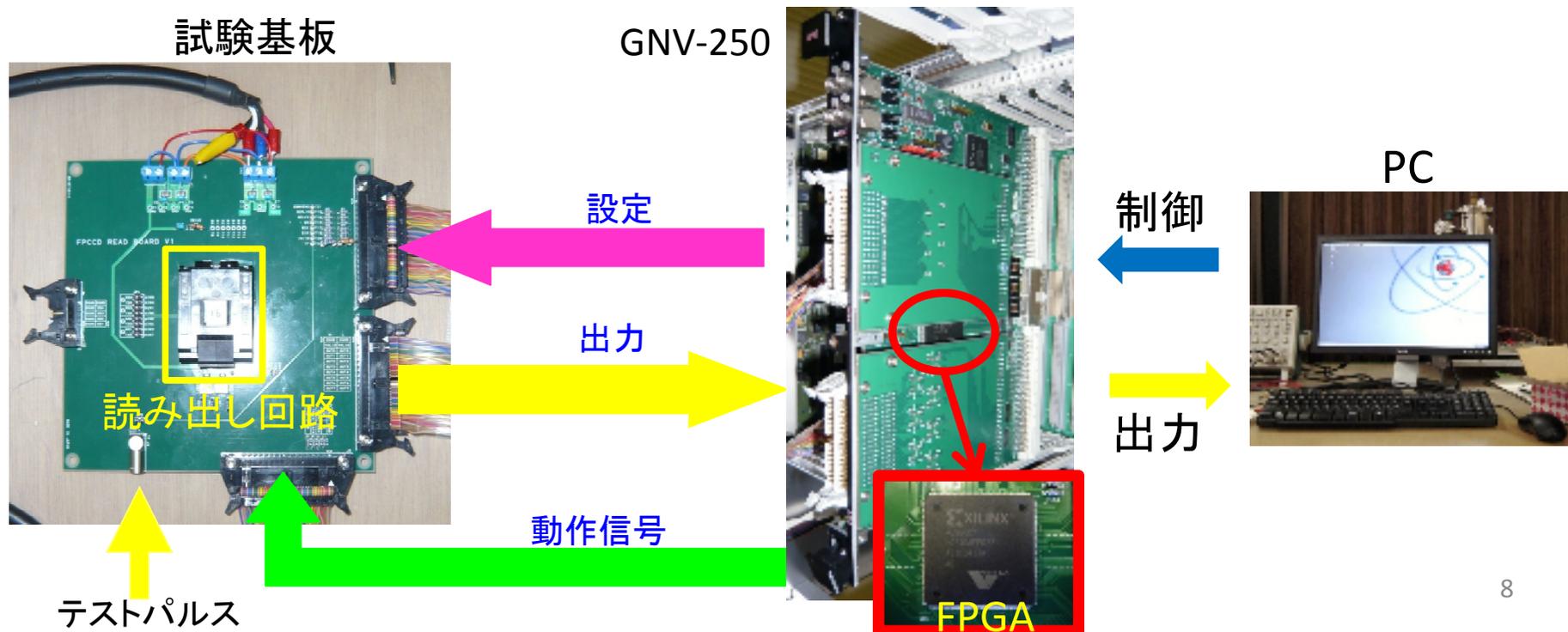
パッケージ



⇒ 試作読み出し回路の動作確認を行った

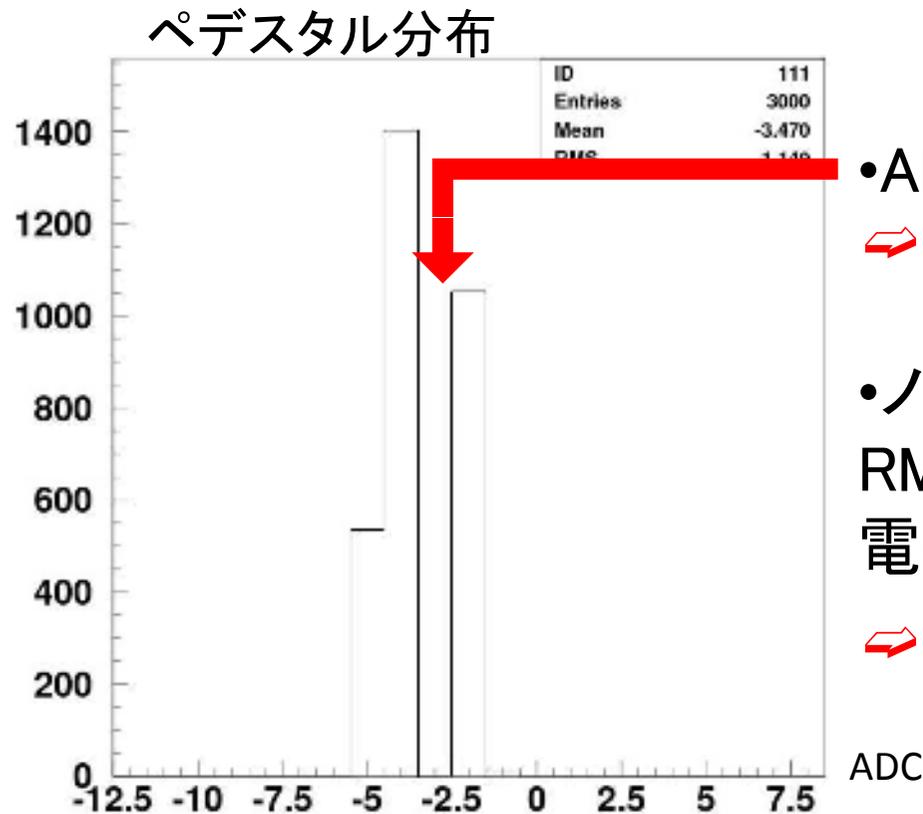
試験環境

- VMEモジュールにより回路の制御とデータの取得を行う
 - GNV-250 モジュールを使用
 - 内蔵FPGAに読み出し回路の制御ロジックを実装
 - 制御ロジックはPCでコントロール
 - 読み出し回路の出力データをPCに送信



ペDESTAL分布

- ペDESTAL分布を確認した
 - 読み出し速度 ~ 1.5 Mpix/sec (要求:10Mpix/sec)



•ADCからいくつかの値が出力されない
⇒原因を究明

•ノイズの見積り

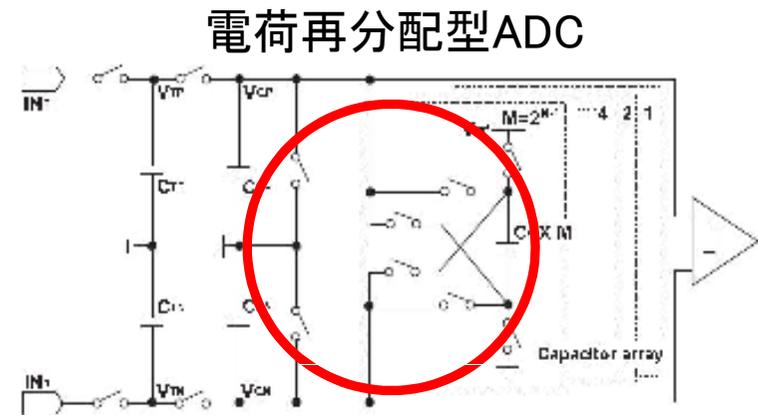
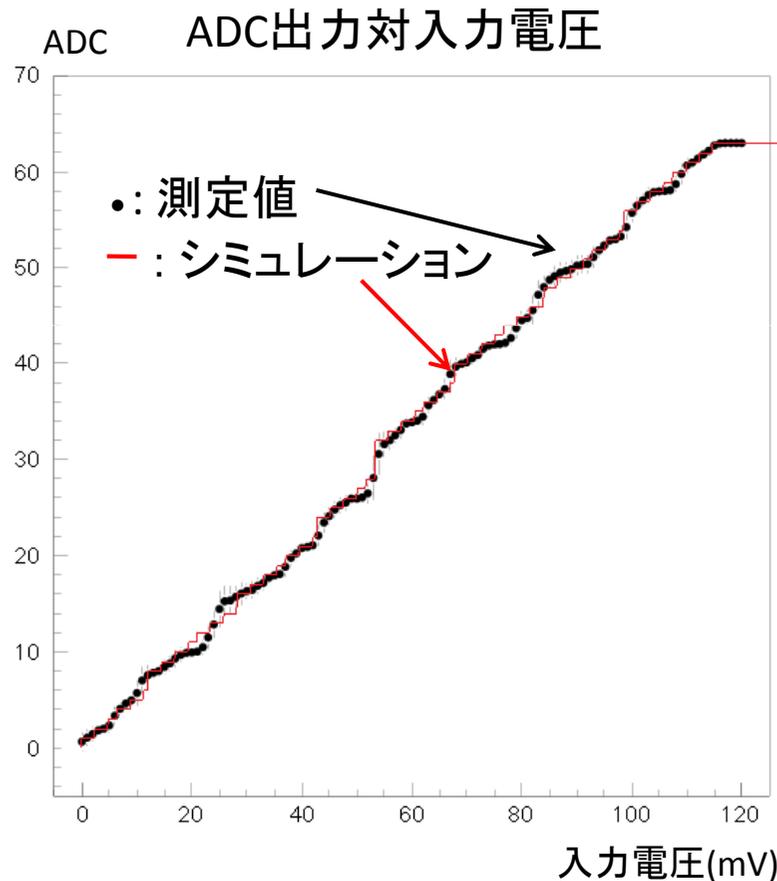
RMS = 1.1

電子換算 $\sim 45e$ (要求:30e)

⇒温度依存性を調べてみた

ADC出力がない問題

- スイッチング回路の浮遊容量によってADCキャパシタの比が崩れている

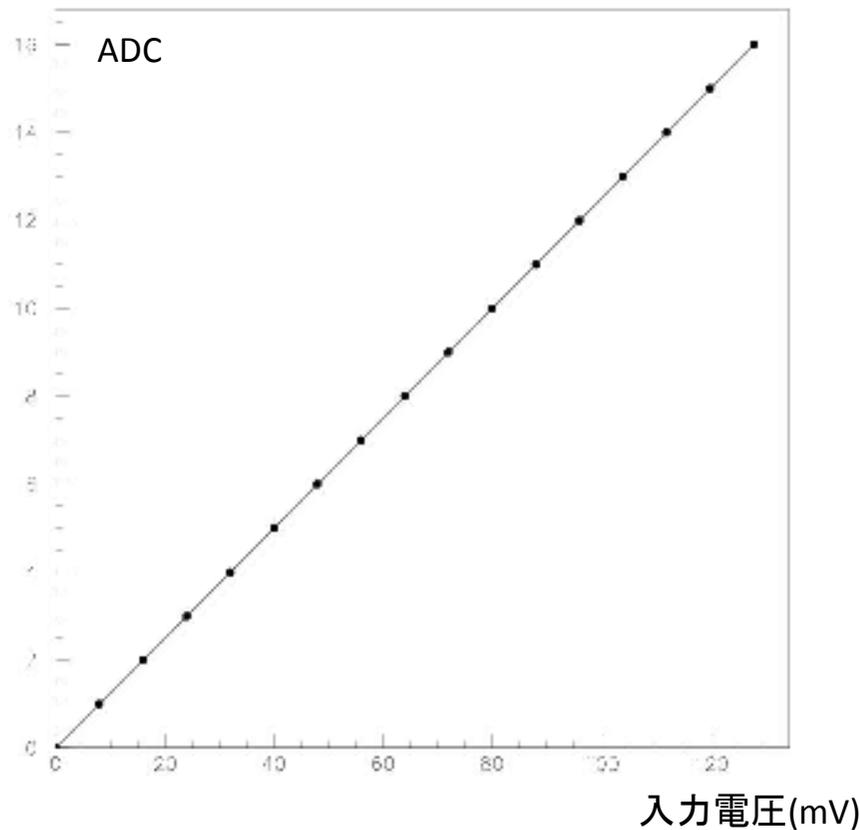


- ADC出力をMATLABでシミュレートした
- 各キャパシタの容量を大きくした結果と実際の測定値がよく一致した

⇒ スイッチング回路を設計しなおした

新しい回路のシミュレーション結果

- 出力を1ずつ変化させた
- 出力に異常はない

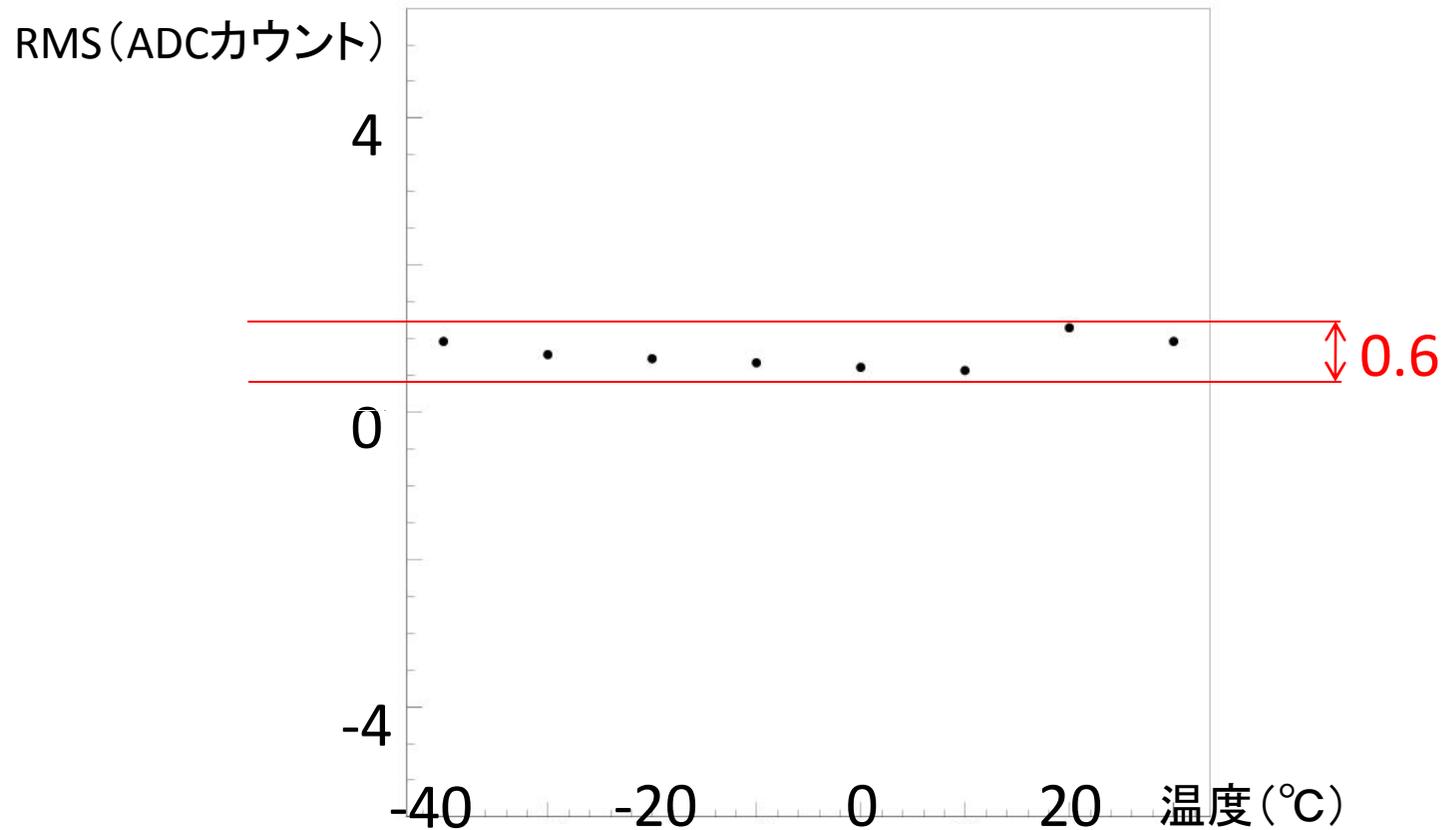


⇒ 次回試作で採用

入力信号(mV)	出力ビット	出力値
0	000000	0
8	000001	1
16	000010	2
24	000011	3
32	000100	4
40	000101	5
48	000110	6
56	000111	7
64	001000	8
72	001001	9
80	001010	10
88	001011	11
96	001100	12
104	001101	13
112	001110	14
120	001111	15

ノイズの温度変化

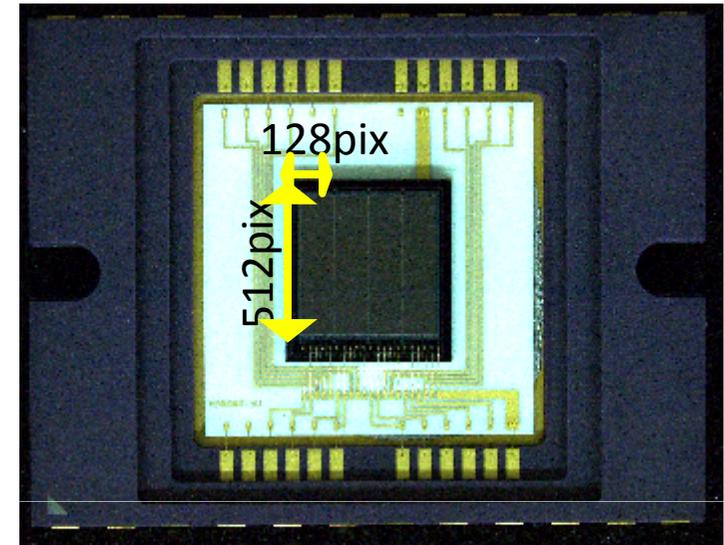
- 温度を変えてペDESTAL分布を測定した



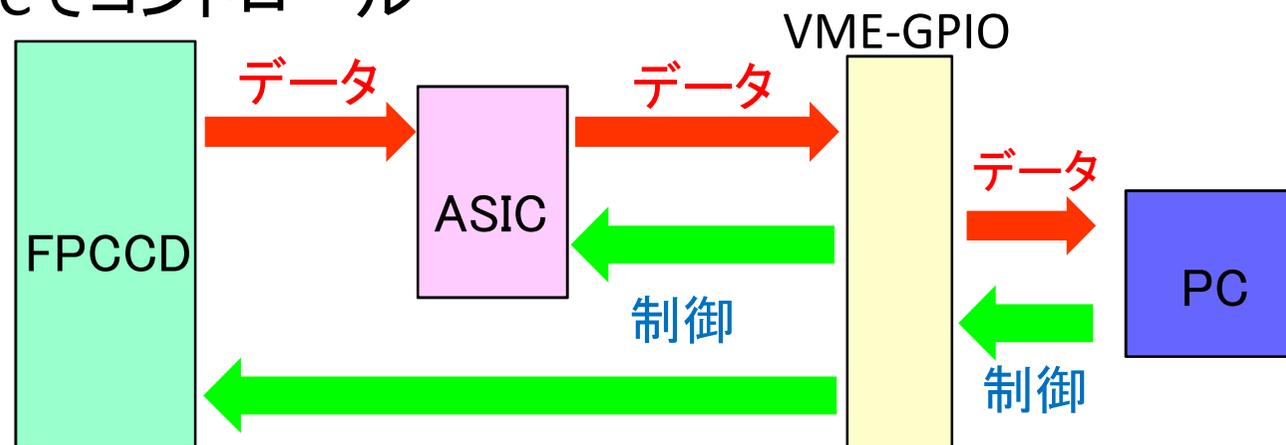
- ADCの欠けの含み方により、分布の広がりに差が出る
 - 温度変化による有意な差はない
- ⇒ 次回試作で詳細に調べる

Fine Pixel CCD サンプル

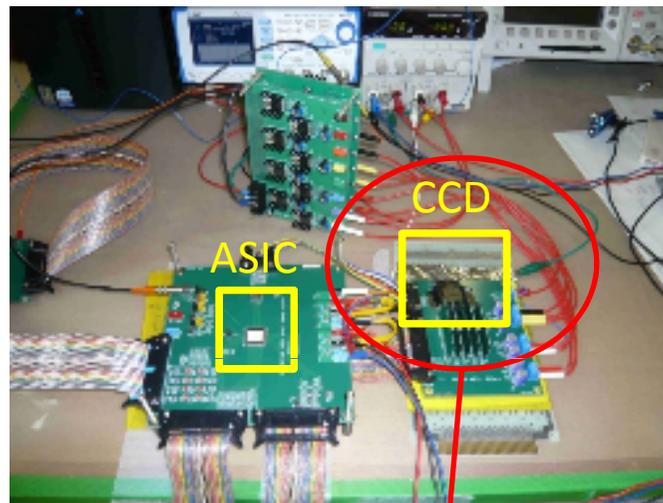
- 技術確立のための試作品
 - ピクセル・サイズ: $12\mu\text{m} \times 12\mu\text{m}$
 - 有感層: $15\mu\text{m}$
 - チャンネル数: 4ch
 - $512 \times 128 \text{ pix/ch}$



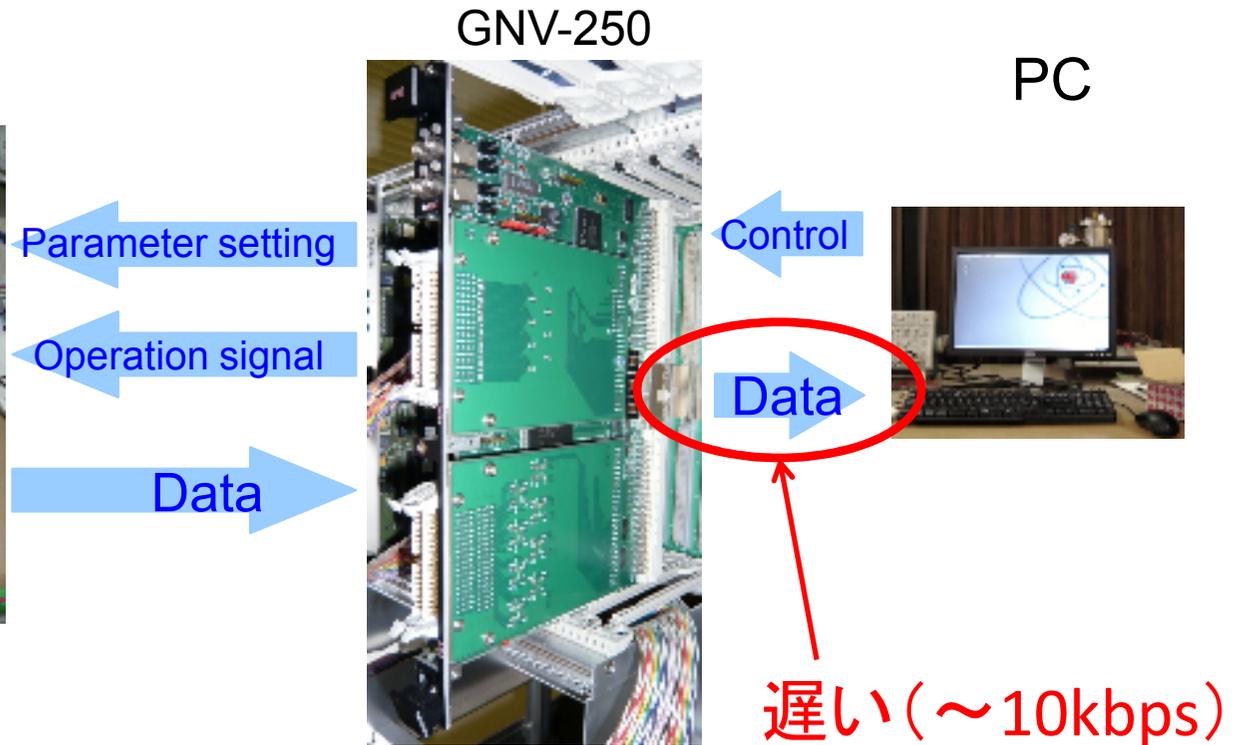
- 読み出し回路と接続した
 - CCDの制御ロジックもFPGAに実装
 - PCでコントロール



FPCCDの読み出し



$512 \times 128 \text{ pix/ch} \times 4\text{ch}$
 $\Rightarrow \sim 260,000\text{pix}$



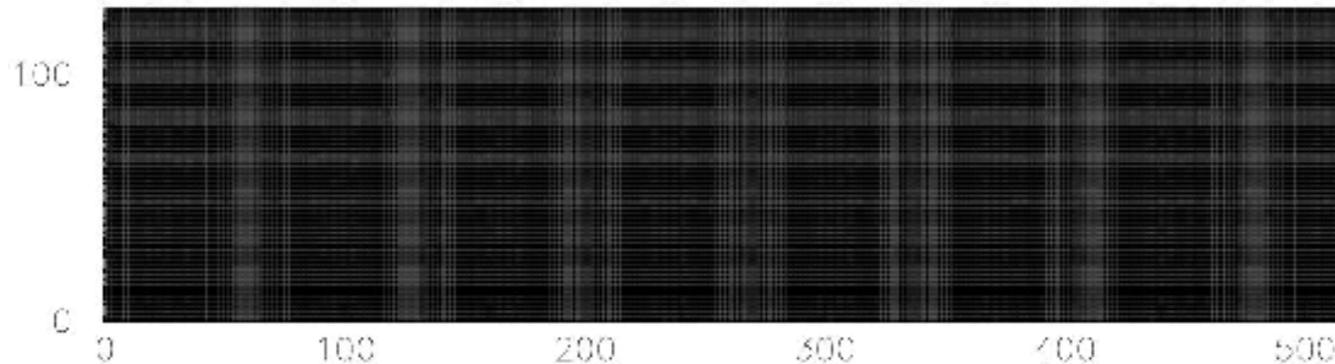
- 読み出し回路の出力をFPGAに一次保存する必要がある
- FPGAの容量の限界から全ピクセルデータを保存できない
 \Rightarrow 1pixelにつき1bitの情報を1channel分保存する

FPCCDの光への反応

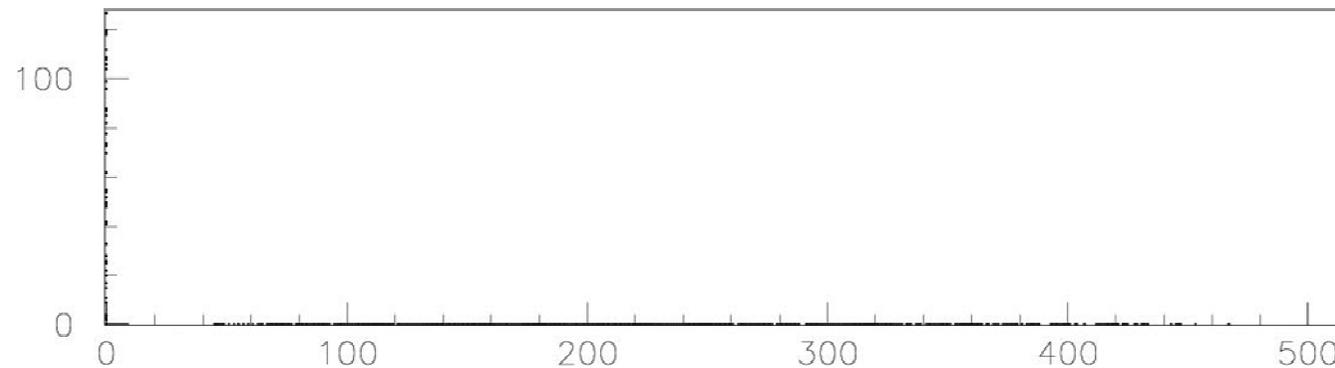
- CCDの光への反応をみた

黒：光に反応していない
白：光に反応している

遮光



遮光なし



- 512 × 128 ピクセル、左端8ピクセルはダミー
 - ⇒ FPCCDが光に反応している様子を読み出せた
 - ⇒ 今後、画像を読み出す

まとめ

- ILCに用いるFPCCDバーテックス検出器を開発している
 - 読み出し回路
 - ◆ 消費電力 $< 6\text{mW/ch}$
 - ◆ 読み出し速度 $\sim 10\text{Mpix/sec}$
 - ◆ ノイズレベル $< 30e$
- 試作読み出し回路の性能
 - 読み出し速度 $\sim 1.5\text{Mpix/sec}$
 - ノイズレベル $\sim 45e$
 - 出力に欠け
 - ⇒ スイッチング回路を再設計: シミュレーションに問題なし
- 試作FPCCDの読み出し
 - FPGAの容量制限で全ピクセルを読み出せない
 - ⇒ 1ch分のピクセルを1bitで読み出した
 - 光への反応を確認 ⇒ 画像を読み出す
 - 全ピクセルを読み出せる読み出しボードを開発・テスト中