



TOHOKU  
UNIVERSITY

# ILCの崩壊点検出器用高精細CCD のための読み出しシステムの開発

齋藤智之 (東北大学)

杉本 康博、宮本彰也、田窪洋介 (KEK)  
池田博一 (JAXA)、佐藤比佐夫 (信州大学)  
板垣憲之輔、山本均 (東北大学)

高エネルギー春の学校 @ 彦根

2011/05/13

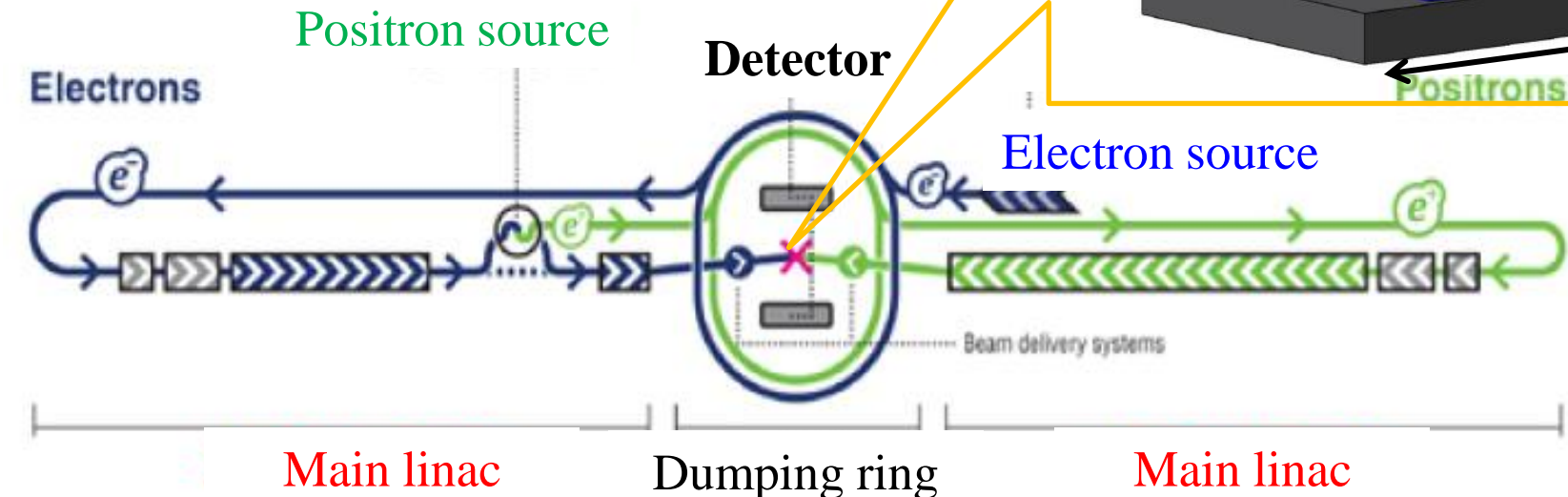
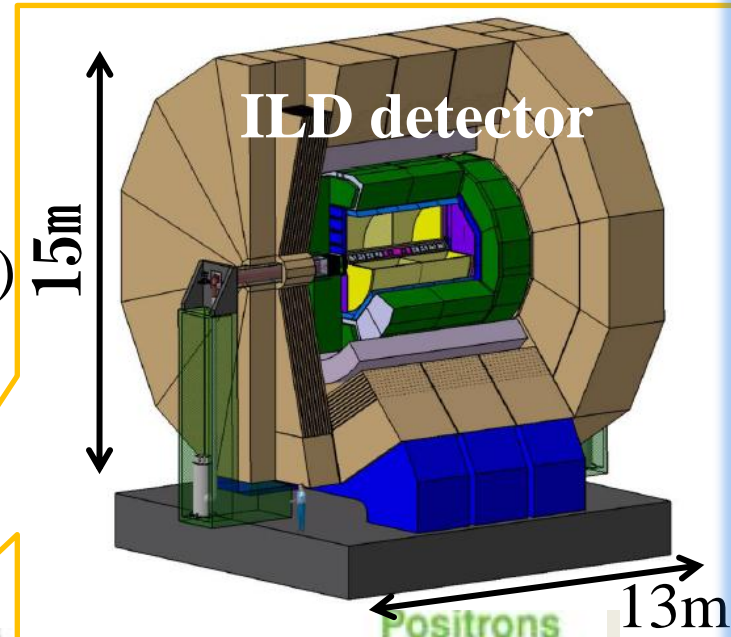
# 目次

- ▶ 国際リニアコライダー (ILC)
- ▶ 高精細CCD(FPCCD)崩壊点検出器
- ▶ FPCCD用読み出しASIC
- ▶ FPCCD 読み出し試験
- ▶ 第2次試作ASIC
- ▶ まとめ

# ILC と FPCCD 崩壊点検出器

# 国際リニアコライダー (ILC)

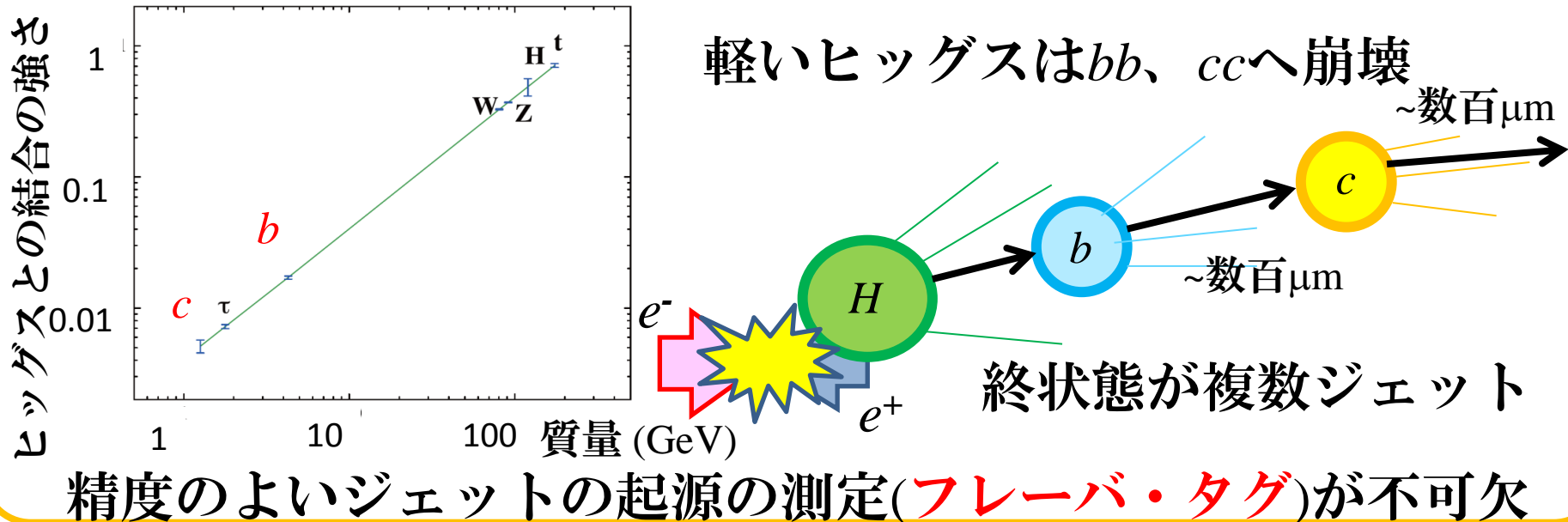
- ▶ 次世代電子・陽電子衝突型**線形**加速器
- ▶ 全長：約30km
- ▶ 重心エネルギー: 500 GeV (upgrade: 1 TeV)
- ▶ ピークルミノシティ:  $2 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$
- ▶ 積分ルミノシティ:  $500 \text{ fb}^{-1}$  (4年間)



ヒッグスや新物理の精密測定を目指す

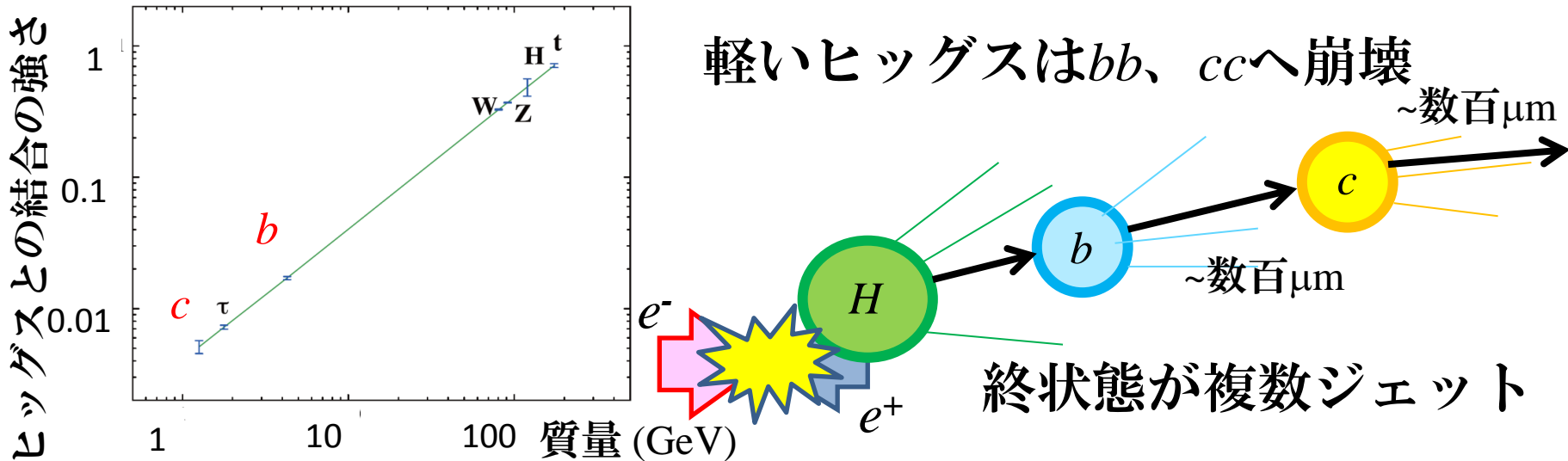
# ヒッグスの物理と崩壊点検出器

ILCが目指す物理：ヒッグス機構の検証



# ヒッグスの物理と崩壊点検出器

ILCが目指す物理：ヒッグス機構の検証



精度のよいジェットの起源の測定(フレーバ・タグ)が不可欠

崩壊点検出器：粒子の崩壊点測定

崩壊点分解能  $\sigma = 5 \oplus \frac{10}{p\beta \sin^{3/2} \theta} [\mu\text{m}]$

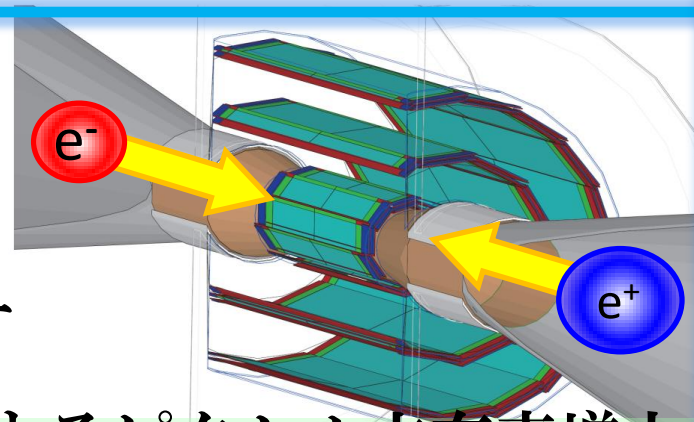
実験	第1項( $\mu\text{m}$ )	第2項( $\mu\text{m}$ )
LEP	25	70
LHC	12	70
ILC	5	10

ヒッグスの物理の解析には高性能の崩壊点検出器が必要

# ILCの崩壊点検出器

## 崩壊点検出器

- ▶ 最内層に設置
- ▶ ピクセル型検出器
- ▶ ある一定時間信号を蓄積して読み出す

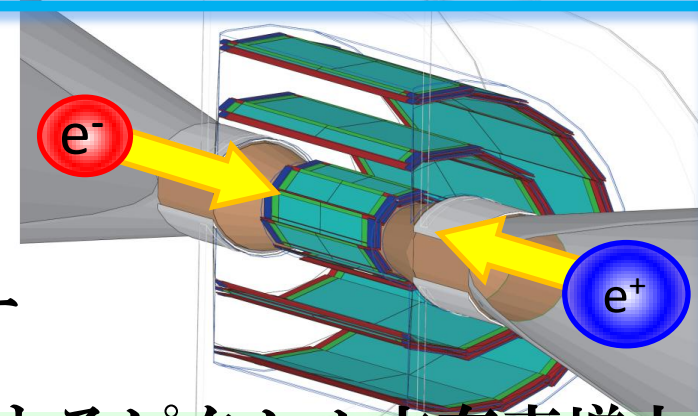


● **課題**：多数のペア・バックグラウンドによるピクセル占有率増大

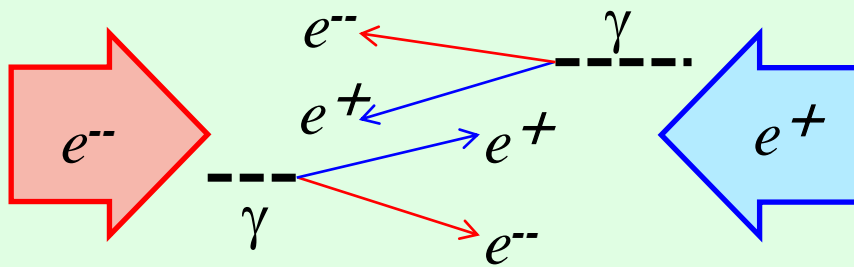
# ILCの崩壊点検出器

## 崩壊点検出器

- ▶ 最内層に設置
- ▶ ピクセル型検出器
- ▶ ある一定時間信号を蓄積して読み出す



● **課題**：多数のペア・バックグラウンドによるピクセル占有率増大

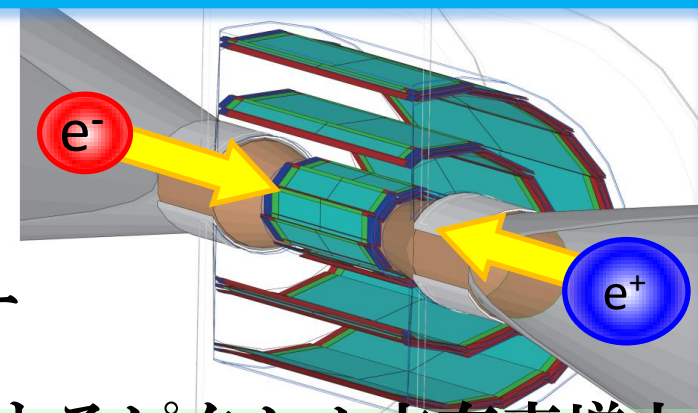




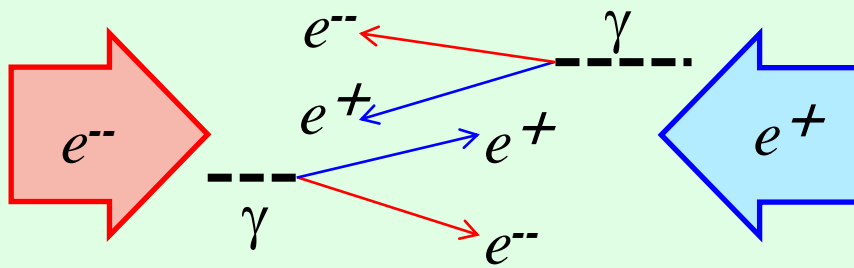
# IILCの崩壊点検出器

## 崩壊点検出器

- ▶ 最内層に設置
- ▶ ピクセル型検出器
- ▶ ある一定時間信号を蓄積して読み出す



● **課題**：多数のペア・バックグラウンドによるピクセル占有率増大

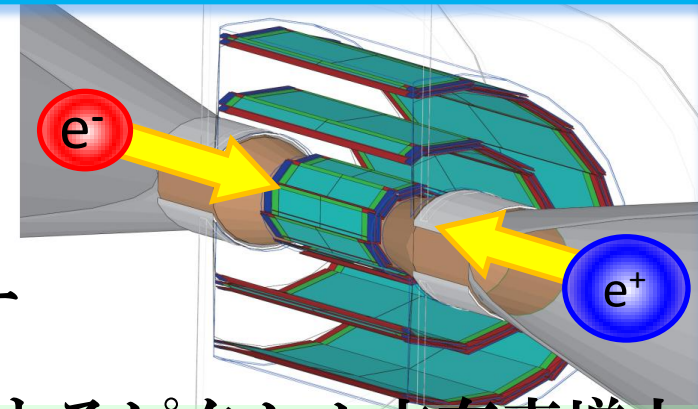


$$\frac{\text{ヒットのあるピクセル数}}{\text{総ピクセル数}}$$

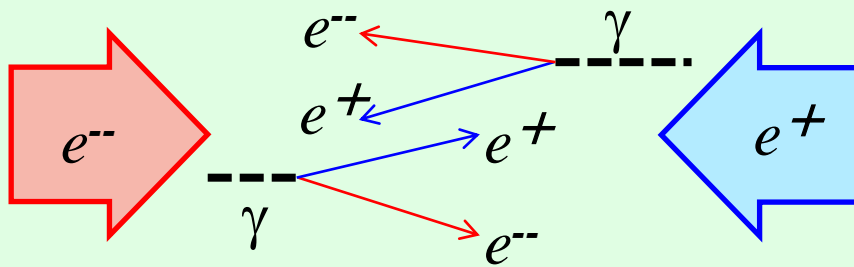
# ILCの崩壊点検出器

## 崩壊点検出器

- ▶ 最内層に設置
- ▶ ピクセル型検出器
- ▶ ある一定時間信号を蓄積して読み出す

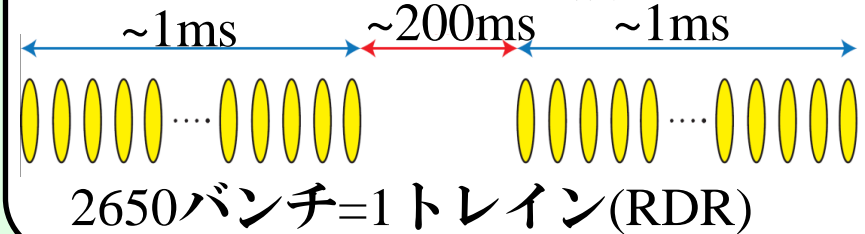


● **課題**：多数のペア・バックグラウンドによるピクセル占有率増大



$$\frac{\text{ヒットのあるピクセル数}}{\text{総ピクセル数}}$$

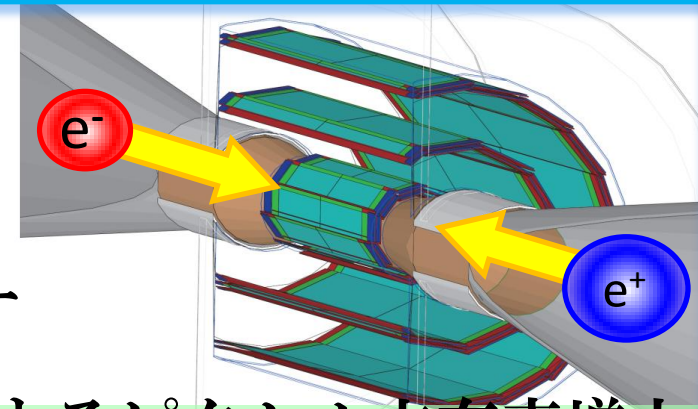
## ILCのビーム構造



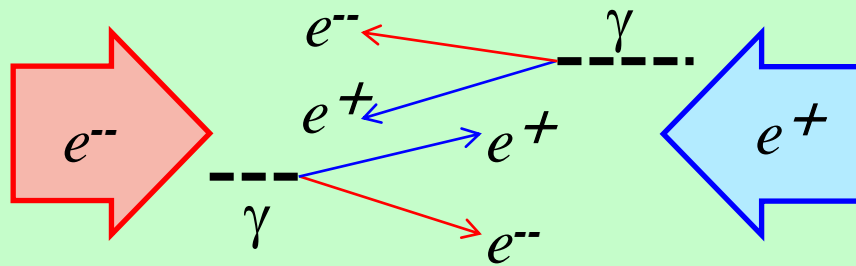
# ILCの崩壊点検出器

## 崩壊点検出器

- ▶ 最内層に設置
- ▶ ピクセル型検出器
- ▶ ある一定時間信号を蓄積して読み出す

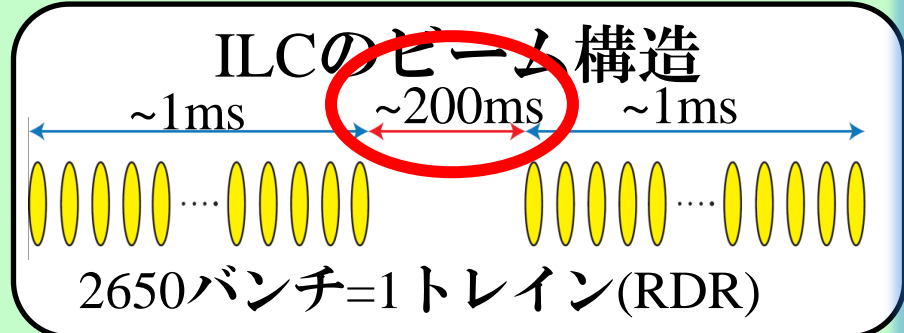


● **課題**：多数のペア・バックグラウンドによるピクセル占有率増大



$$\frac{\text{ヒットのあるピクセル数}}{\text{総ピクセル数}}$$

- ▶ 1トレイン分の信号を蓄積するとピクセル占有率10%以上  
(ピクセルサイズ:  $20\mu\text{m} \times 20\mu\text{m}$ )  
⇒ 1%程度に抑える必要あり



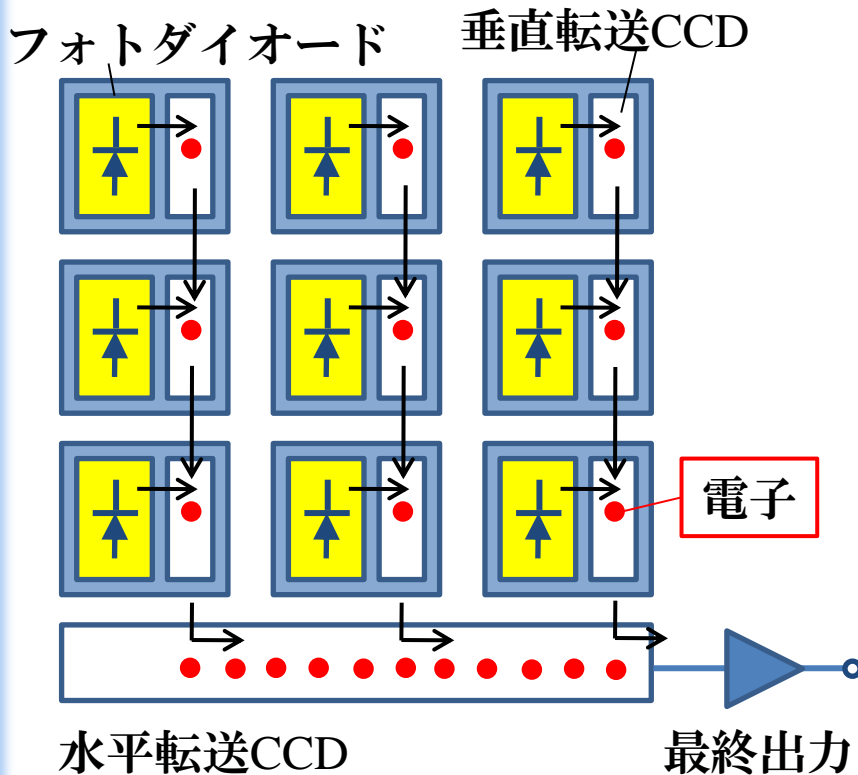
世界中で技術確立が進められている

# FPCCD 崩壊点検出器

高精細CCD(Fine Pixel CCD)は高い崩壊点分解能と低いピクセル占有率を実現

## CCD動作原理

電荷をバケツリレー方式で転送

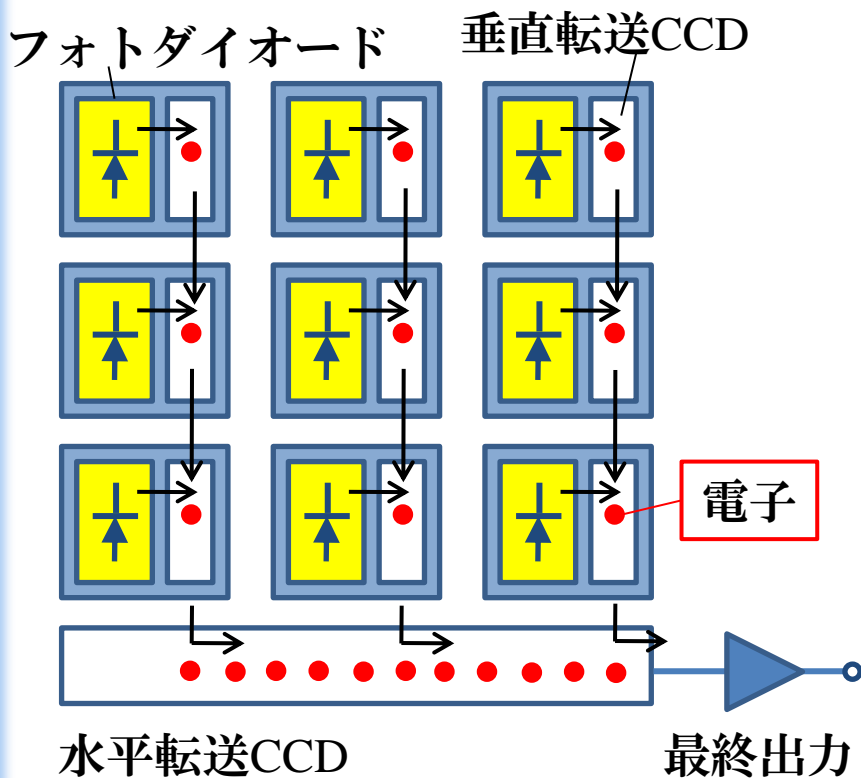


# FPCCD 崩壊点検出器

高精細CCD(Fine Pixel CCD)は高い崩壊点分解能と低いピクセル占有率を実現

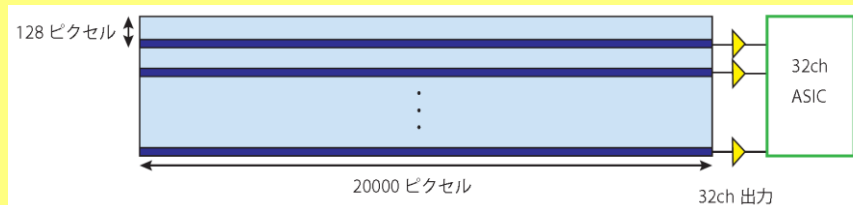
## CCD動作原理

電荷をバケツリレー方式で転送



## FPCCD崩壊点検出器

- ▶ ピクセルサイズ:  $5 \mu\text{m} \times 5 \mu\text{m}$
- ▶ 有感層:  $15 \mu\text{m}$ (全空乏化)
- ▶ 水平転送CCDも感度あり
- ▶ 32チャンネルCCDセンサー



- ▶ チャンネル総数: 6080
  - $20000 \times 128 \text{ pix/ch}$
- ⇒ 検出器のピクセル総数  $\sim 10^{10}$

読み出しシステムの開発が重要

# 読み出しASICの開発

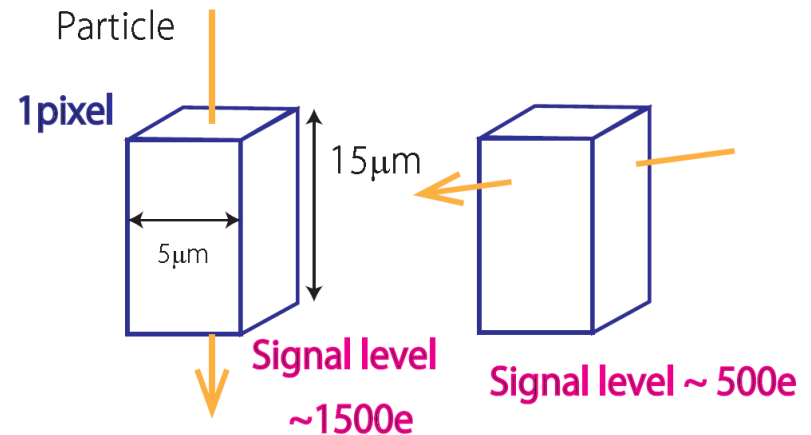
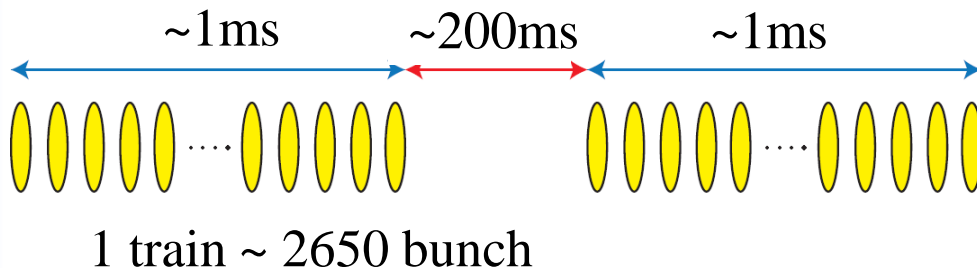
# 読み出しASICの開発

低消費電力かつ低ノイズの中速処理を実現するASICが必要

## ASICへの要求性能

- 読み出し速度  $> 10$  MHz
- ノイズレベル  $< 30$  電子
- 消費電力  $< 6$  mW/ch

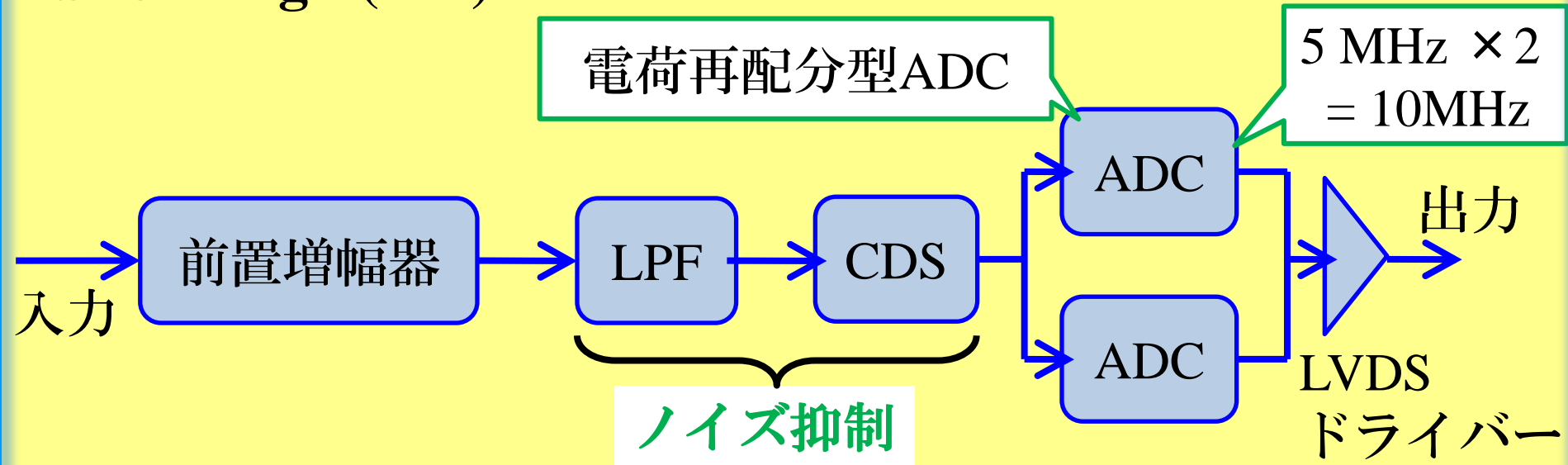
## ILCのビーム構造



これらの要求を満たすASICを開発することが目標

# ASICの構造

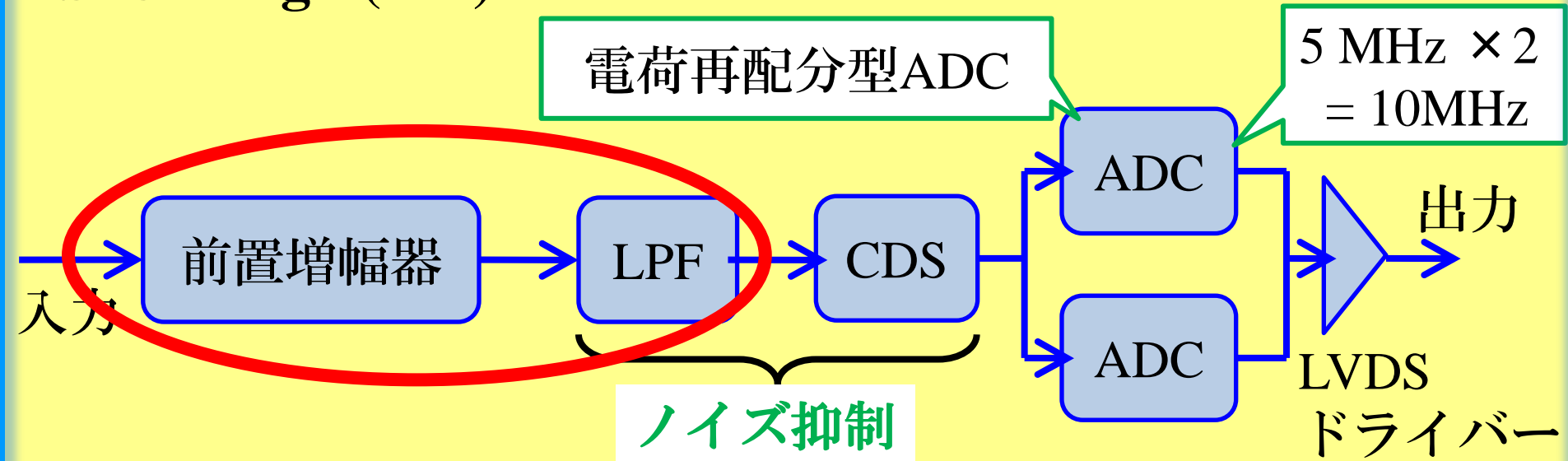
## ASIC design (1ch)





# ASICの構造

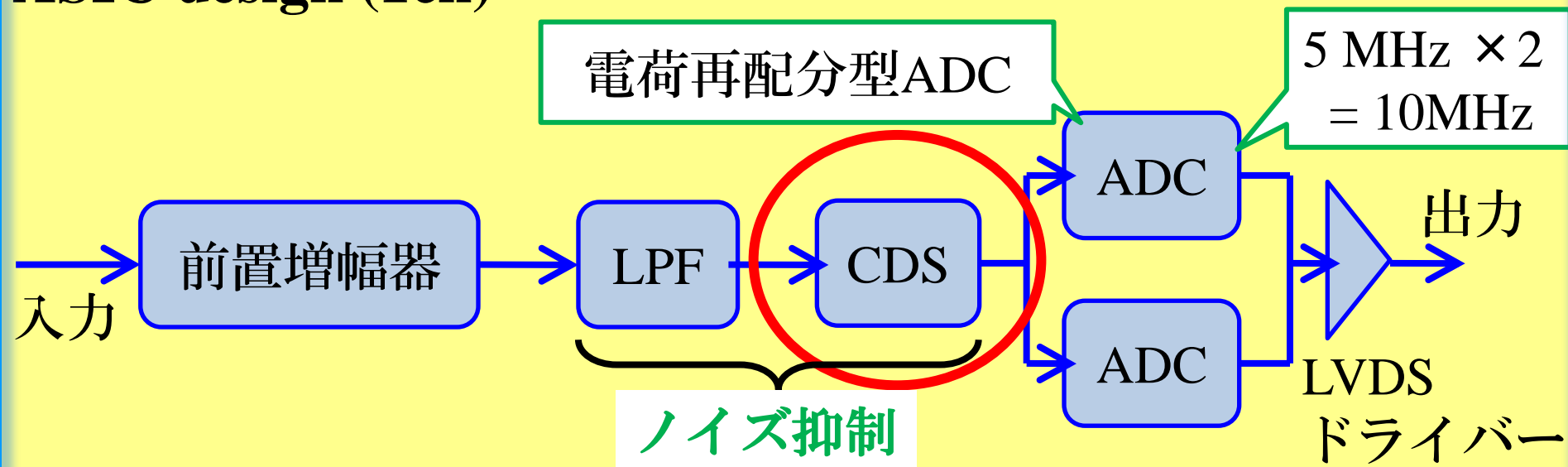
## ASIC design (1ch)



- ▶ アンプとLPFのパラメータ値(ゲイン、フィルター値等)は多段階設定可能

# ASICの構造

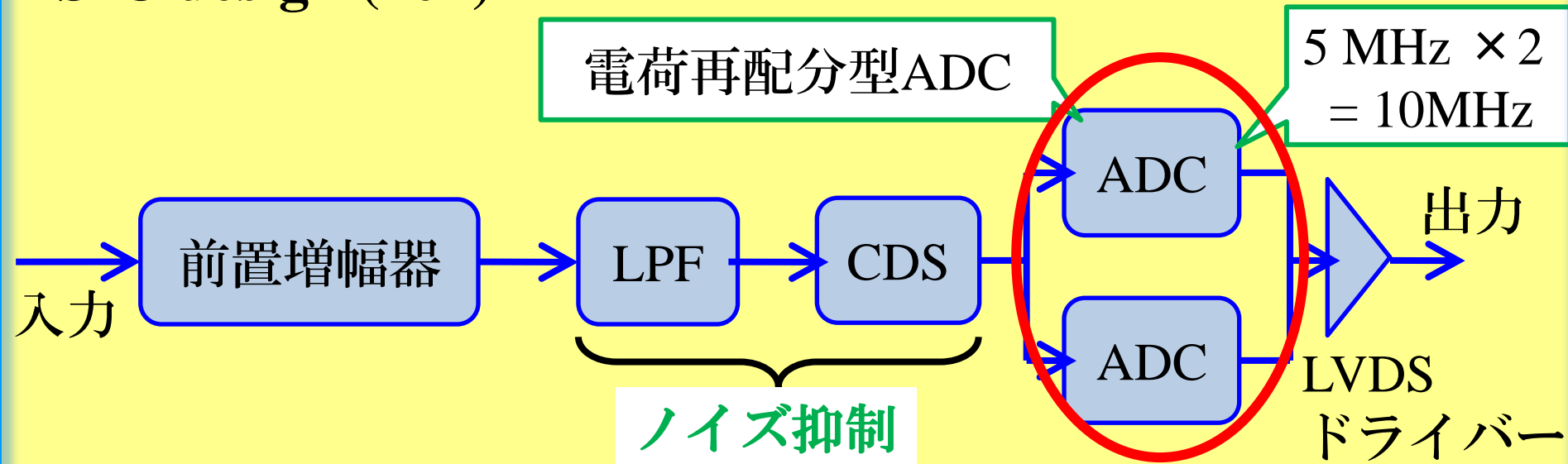
## ASIC design (1ch)



- ▶ **アンプとLPFのパラメータ値**(ゲイン、フィルター値等)は**多段階設定可能**
- ▶ **相関2重サンプリング回路(CDS)**：**CCDのノイズを効果的に抑制**

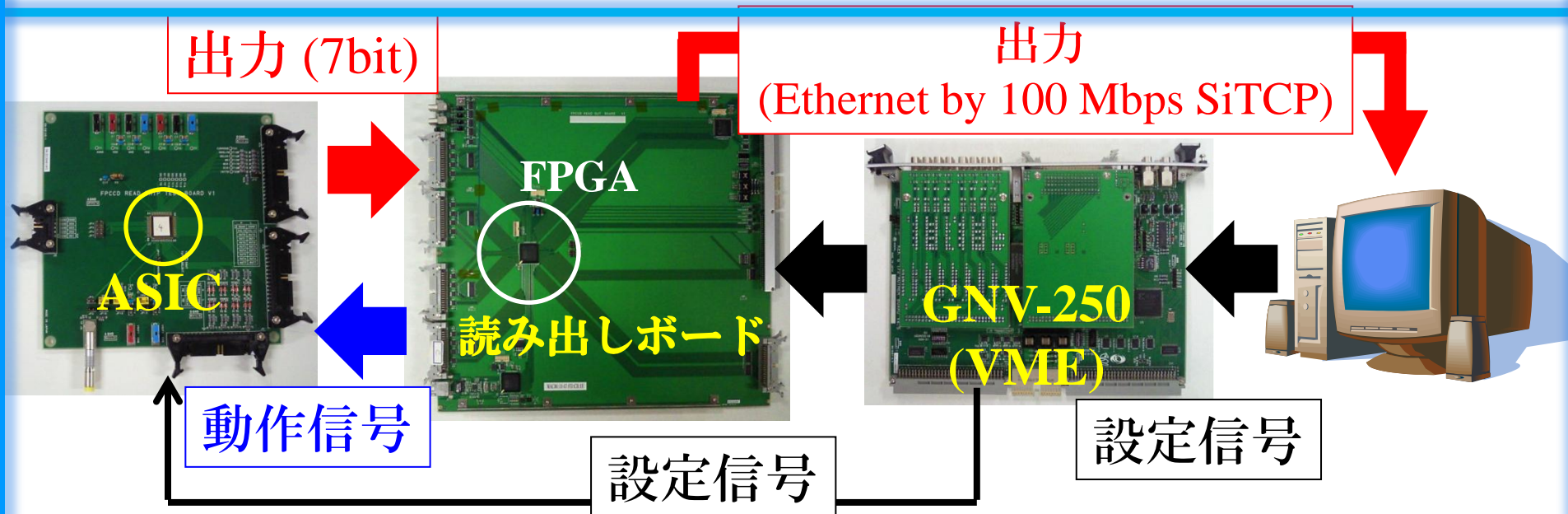
# ASICの構造

## ASIC design (1ch)



- ▶ アンプとLPFのパラメータ値(ゲイン、フィルター値等)は多段階設定可能
- ▶ 相関2重サンプリング回路(CDS)：CCDのノイズを効果的に抑制
- ▶ 電荷再配分型ADC：低消費電力を実現

# 読み出しシステム全体



## 構成要素

- ▶ ASIC用基板
- ▶ 読み出しボード (メイン FPGA)  
→ クロック生成、動作信号送信
- ▶ GNV-250 (VME) → 設定信号送信 (Gain, LPF)
- ▶ PC → ソフトウェア処理 (DAQ-Middleware)

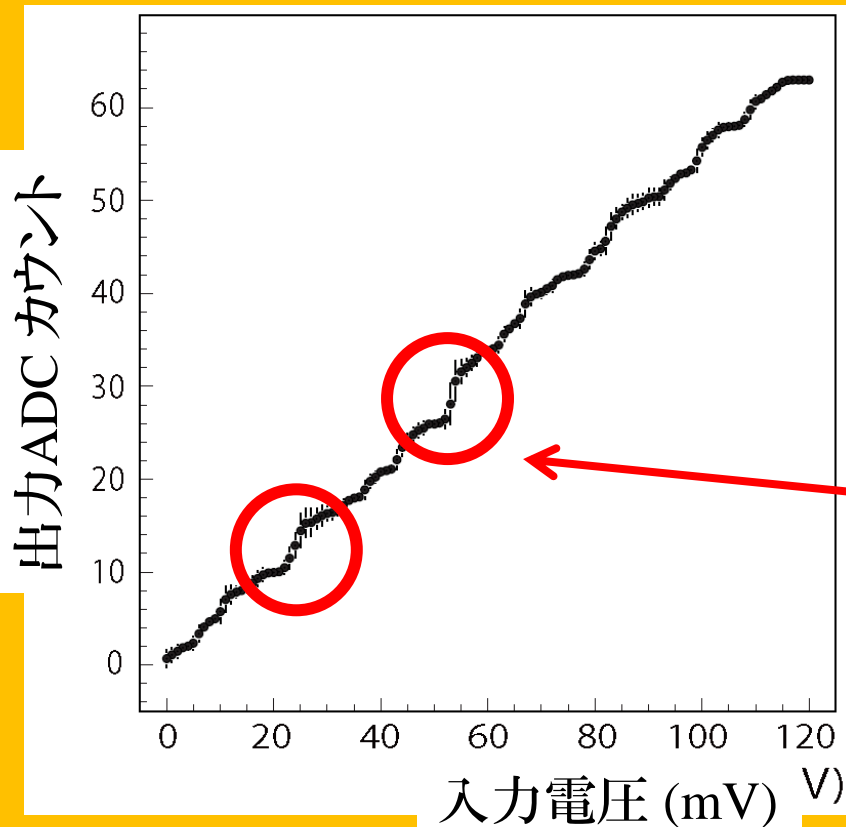
# 第1次試作ASICの性能評価

第1次試作ASICの性能評価結果をまとめる。

評価項目	結果	要求	現状
読み出し速度	1.5 MHz	10 MHz	<ul style="list-style-type: none"><li>・高速動作時にADCへの電流供給不足</li><li>・浮遊容量の影響</li></ul>
ノイズレベル	40 e	30 e	<ul style="list-style-type: none"><li>・分解能悪い: 1ADC count=40e</li><li>・出力ADCカウントに欠け</li></ul>
消費電力	13 mW/ch (Simulation)	6 mW/ch	アナログ部とデジタル部で同程度

# 第1次試作ASICの性能評価

## 入力vs出力の線型性の測定



評価結果をまとめる。

### 現状

- 高速動作時にADCへの電流供給不足
- 浮遊容量の影響
- 分解能悪い: 1ADC count=40e
- 出力ADCカウントに欠け

アナログ部とデジタル部で同程度

# 第1次試作ASICの性能評価

第1次試作ASICの性能評価結果をまとめる。

	結果	要求	現状
読み出し速度	1.5 MHz	10 MHz	<ul style="list-style-type: none"><li>・高速動作時にADCへの電流供給不足</li><li>・浮遊容量の影響</li></ul>
ノイズレベル	40 e	30 e	<ul style="list-style-type: none"><li>・分解能悪い: 1ADCカウント=40e</li><li>・出力ADCカウントに欠け</li></ul>
消費電力	13 mW/ch (Simulation)	6 mW/ch	アナログ部とデジタル部で同程度

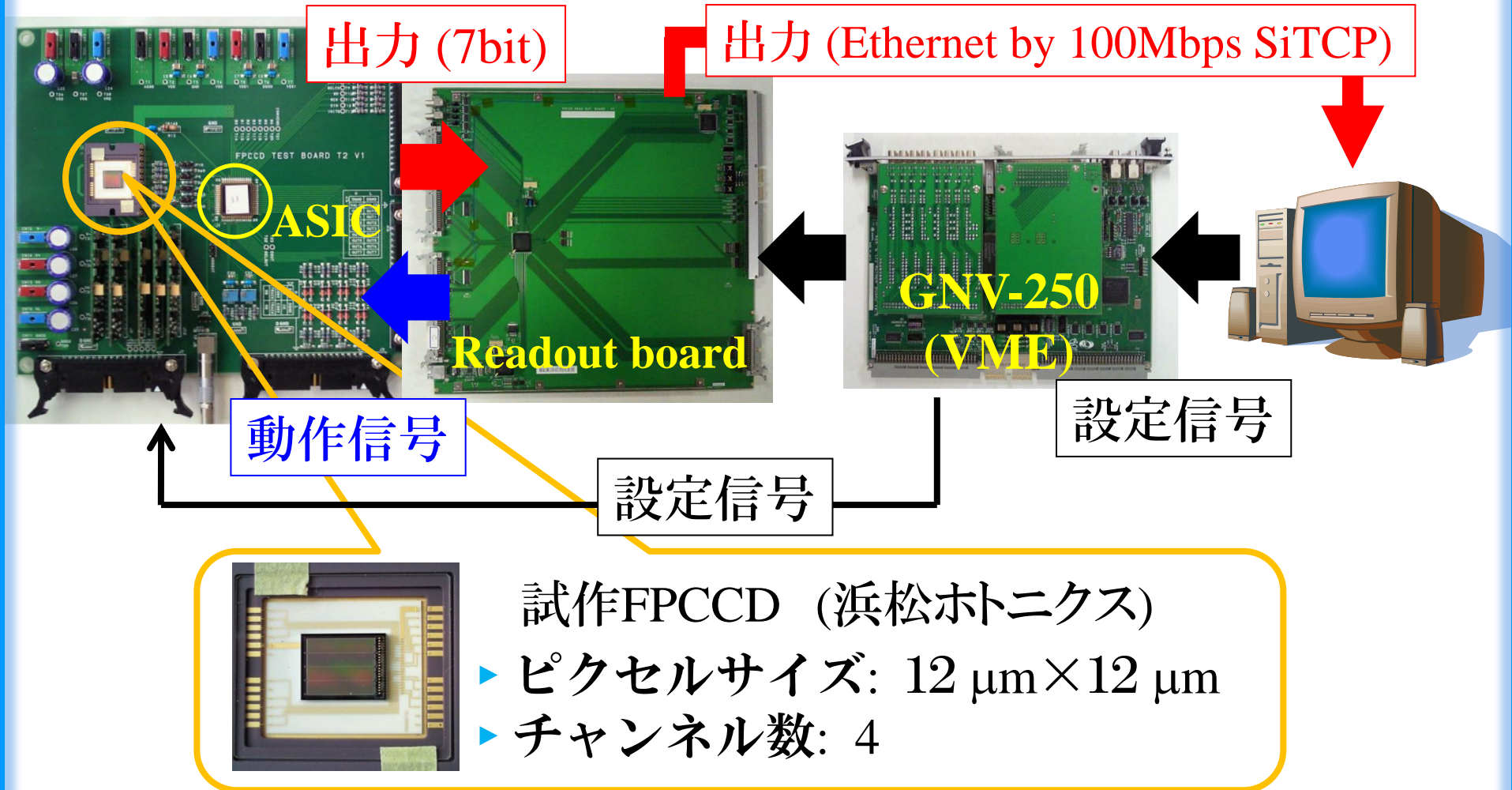
次回試作でこれらの問題に取り組む

# FPCCD 読み出し試験



# FPCCD 読み出しシステム

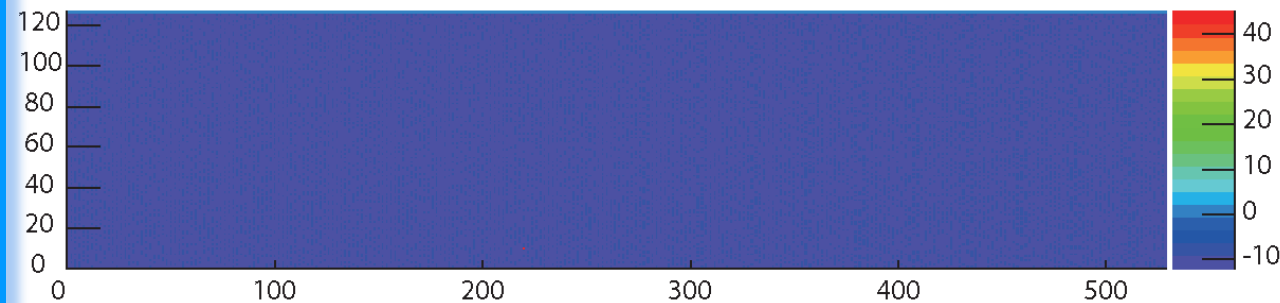
開発した読み出しシステムにFPCCDを接続し、読み出し試験を行った



# FPCCD 読み出し試験

開発した読み出しシステムでFPCCDセンサーの読み出し試験を行った。

ペDESTAL分布(ADC カウント)

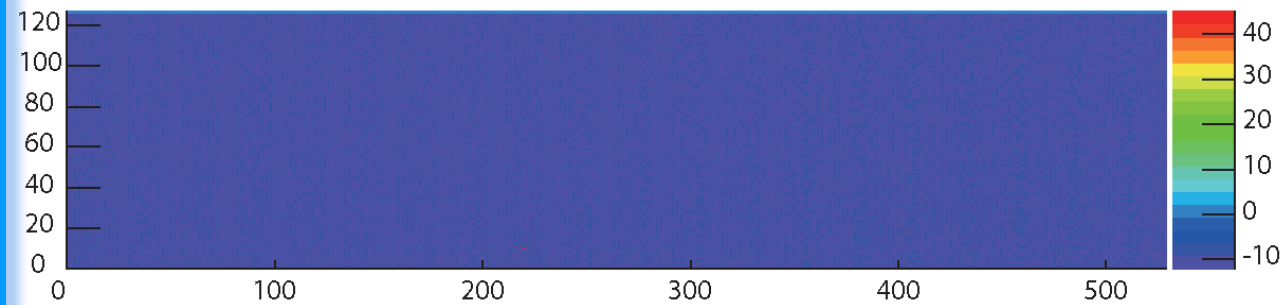


⇒ 均一な分布

# FPCCD 読み出し試験

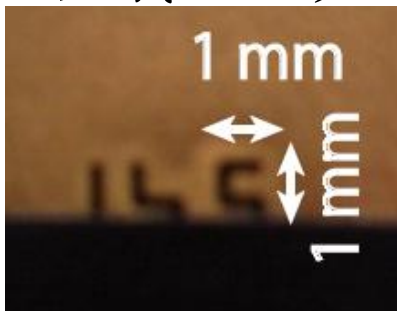
開発した読み出しシステムでFPCCDセンサーの読み出し試験を行った。

ペDESTAL分布(ADC カウント)

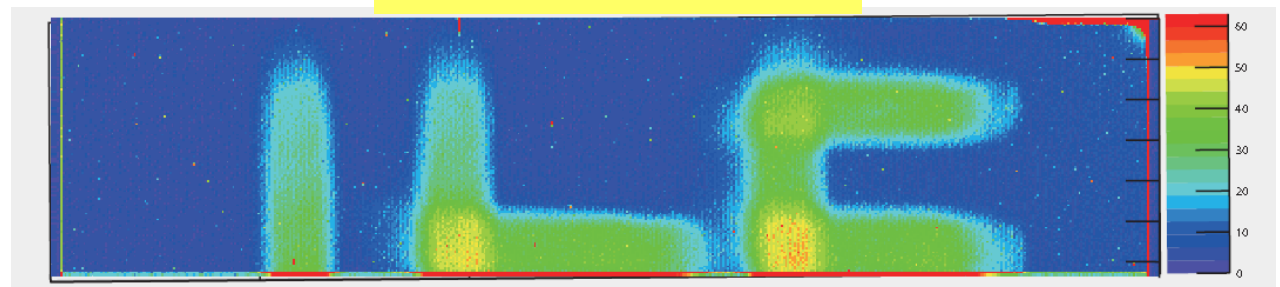


⇒ 均一な分布

フォトマスク



LED光照射試験



“ILC”の文字が再構成できた

開発した読み出しシステムは適切に動作している

# 第2次ASICの開発

## 第1次ASICの問題点

- ① 読み出し速度が設計値より遅い
- ② 出力ADCカウンタの欠けがある
- ③ 消費電力大

# 第2次ASICの開発

目的：読み出し速度10 MHz達成とADCカウントの欠けの解決

# 第2次ASICの開発

目的：読み出し速度10 MHz達成とADCカウントの欠けの解決

## 主な変更点

- 読み出し速度対策: 電流供給ライン(ASICの端子数)を増加.

# 第2次ASICの開発

目的：読み出し速度10 MHz達成とADCカウントの欠けの解決

## 主な変更点

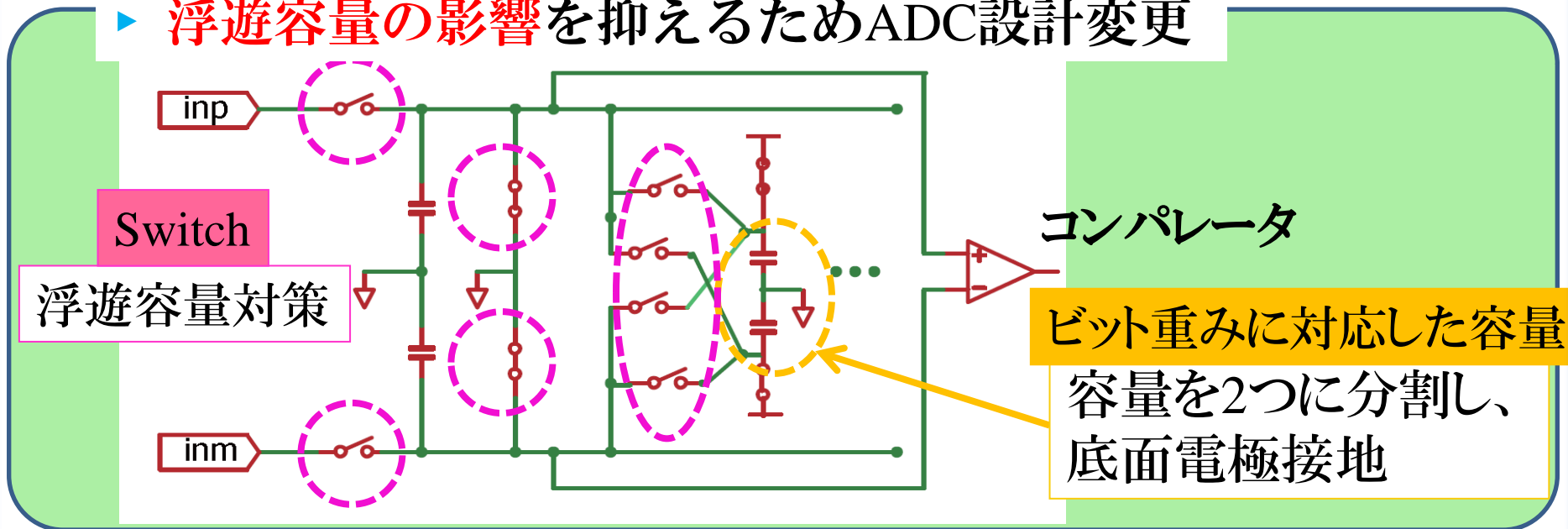
- 読み出し速度対策: 電流供給ライン(ASICの端子数)を増加.
- ADCカウントの欠け対策
  - ▶ ADCのコンパレータのオフセット調節回路を導入

# 第2次ASICの開発

目的：読み出し速度10 MHz達成とADCカウントの欠けの解決

## 主な変更点

- 読み出し速度対策: 電流供給ライン(ASICの端子数)を増加.
- ADCカウントの欠け対策
  - ▶ ADCのコンパレータのオフセット調節回路を導入
  - ▶ **浮遊容量の影響**を抑えるためADC設計変更





# 第2次試作ASIC性能評価

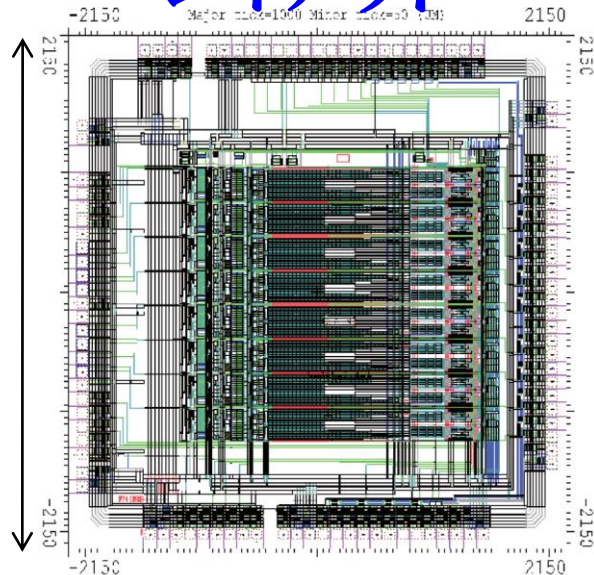
by ポスト・レイアウト・シミュレーション

第2次ASICのレイアウトを作成

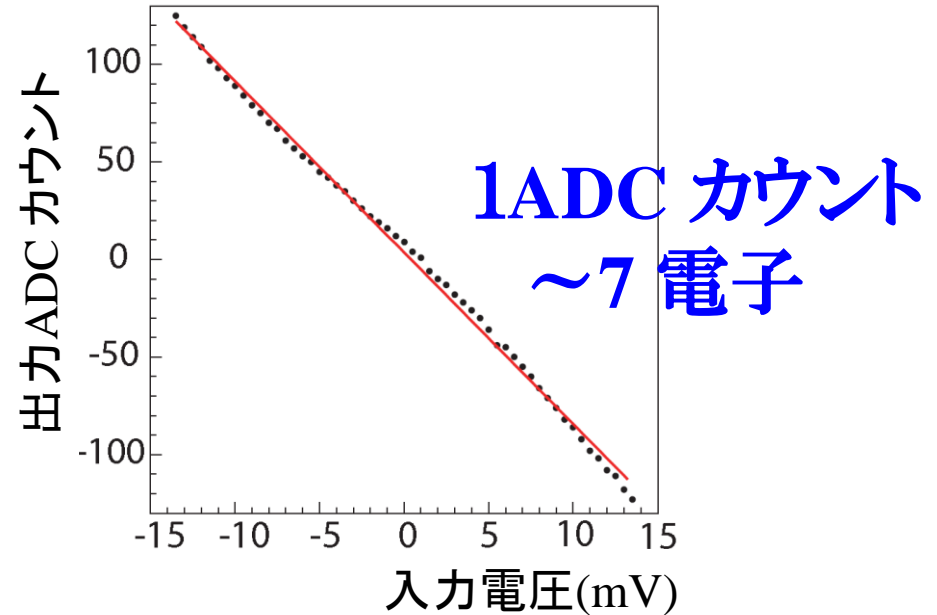
⇒ **ポスト・レイアウト・シミュレーション**により性能評価

浮遊容量の影響考慮できる

レイアウト



線型性の評価 (10MHz)



第2次試作の設計は10 MHzで正常に動作が期待できる

# ASIC第2次試作品

第2次ASICの製作を行い、2011年2月に納入した

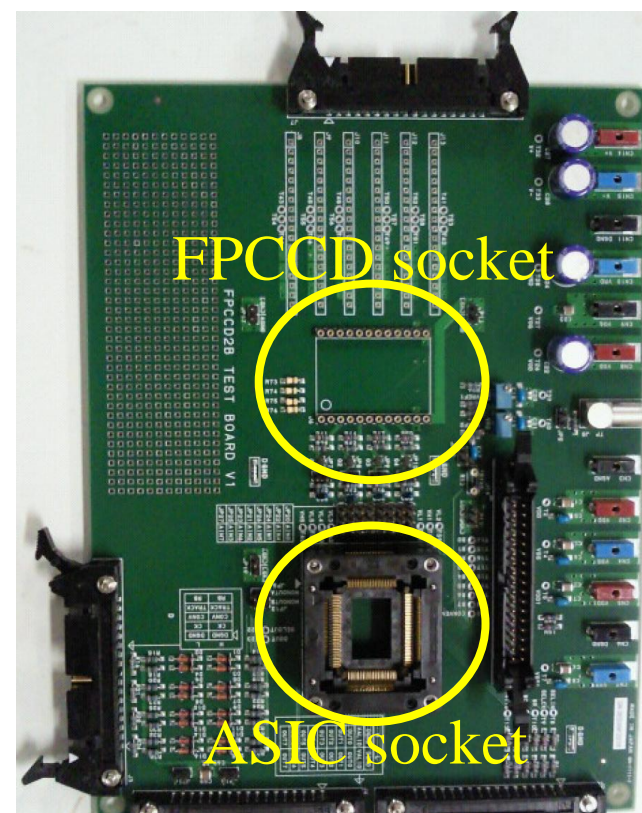
## 第2次試作ASIC

- ▶ 製造会社 : TSMC
- ▶ プロセス : 0.35 $\mu$ m CMOS
- ▶ チャンネル数 : 8
- ▶ チップエリアサイズ  
: 4.3 mm  $\times$  4.3 mm

パッケージ後の第2次試作ASIC



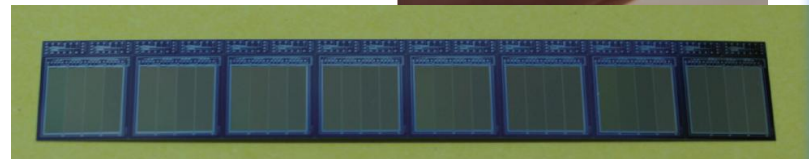
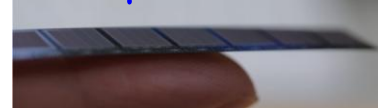
評価基板



# まとめと今後

- 第1次ASICの開発、製作
  - ▶ 読み出し速度、消費電力改善必要、ノイズはほぼクリア
- FPCCD読み出し試験
  - ▶ 読み出しシステム正常に動作
  - ▶ ノイズレベルの要求性能を満足
- 第2次ASICの開発、製作
  - ▶ ポストレイアウトシュミレーションにより性能評価  
⇒読み出し速度と出力の線形性問題なし
- 今後
  - ▶ 第2次試作ASICの性能評価
  - ▶ 消費電力の問題
  - ▶  $6\ \mu\text{m} \times 6\ \mu\text{m}$  のFPCCDを用いた試験

厚さ  $50\ \mu\text{m}$  のFPCCD



$6\ \mu\text{m} \times 6\ \mu\text{m}$  のFPCCD