



# SVD (Silicon Vertex Detector) シリコン崩壊点検出器

2011年6月26日

@Belle-II Japan Student Seminar

東北大学

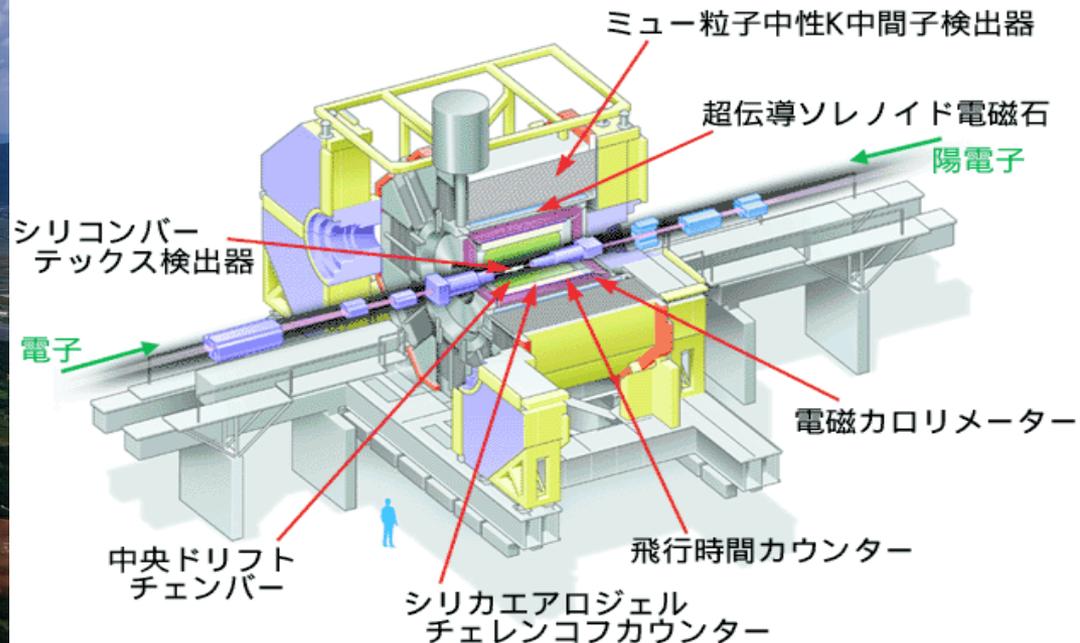
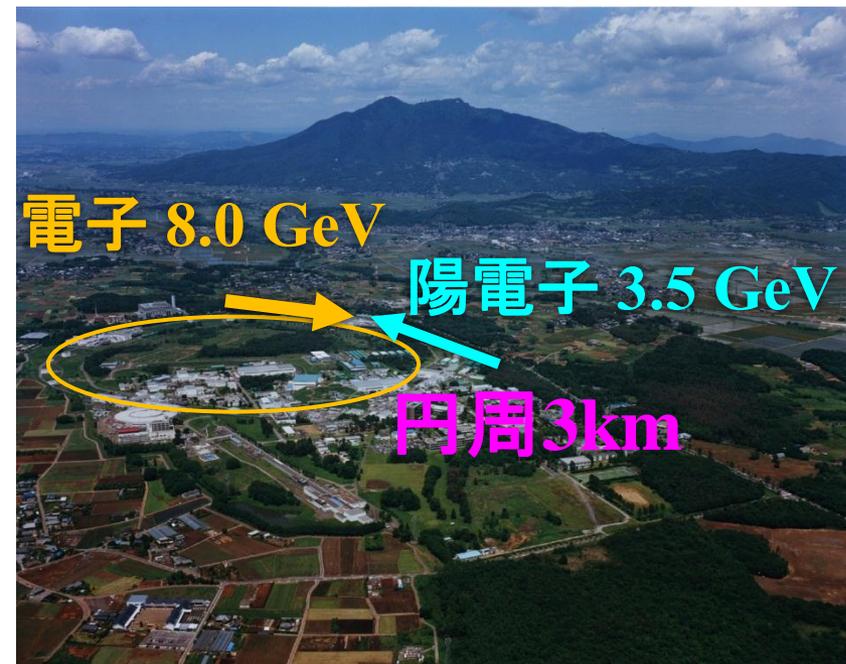
鈴木 善明

# 目次

- イン트로ダクション
- SVDの目的
- 半導体検出器の原理
- SVDの構造
- SVDの経緯
- 各SVDについて  
(SVD1, SVD2, Belle-II SVD)

# イントロダクション

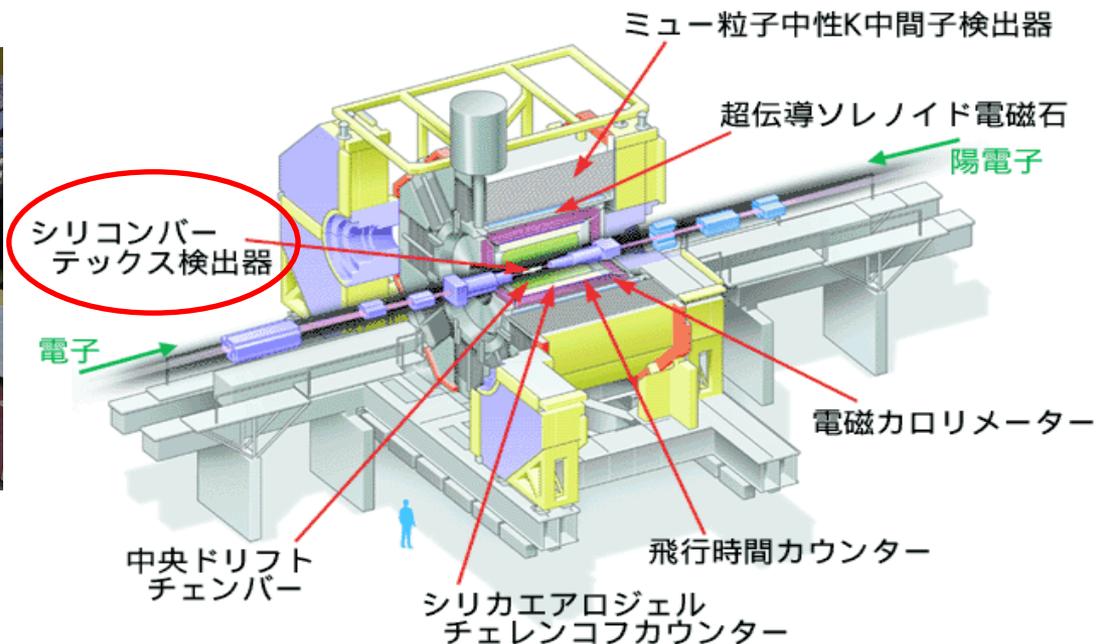
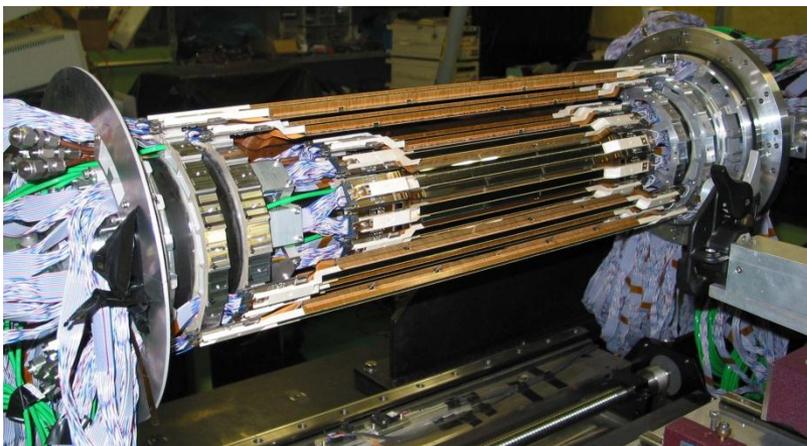
# Belle実験



- 積分ルミノシティ:  $1014 \text{ fb}^{-1}$  (Y(4S):  $711 \text{ fb}^{-1}$ )
- BelleIIへのアップグレードのため2010年6月に運転停止。

# SVD (Silicon Vertex Detector)

## 建設中のSVD2



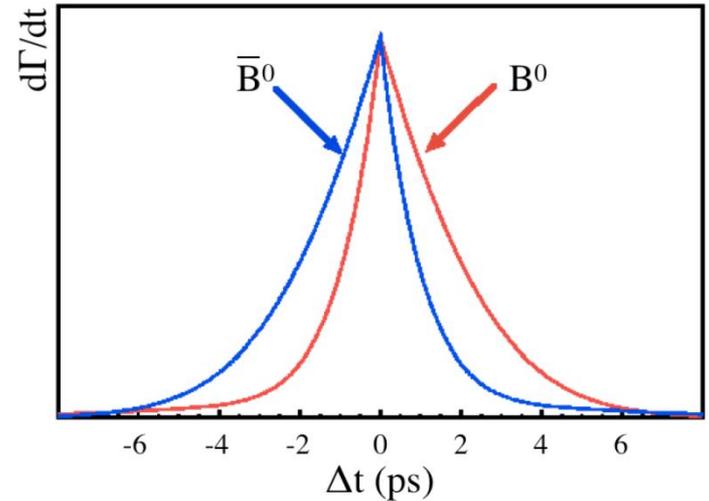
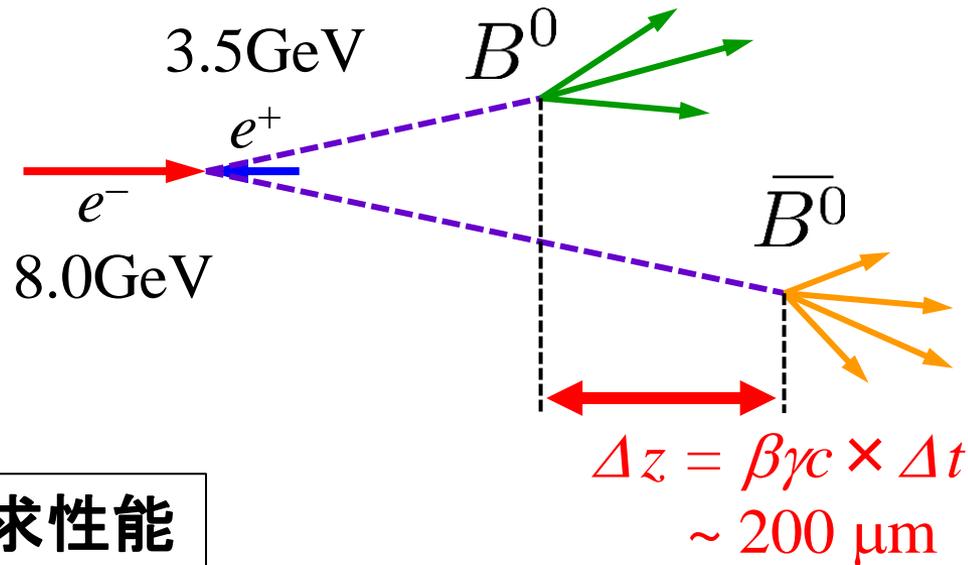
## 完成版SVD2



# SVDの目的

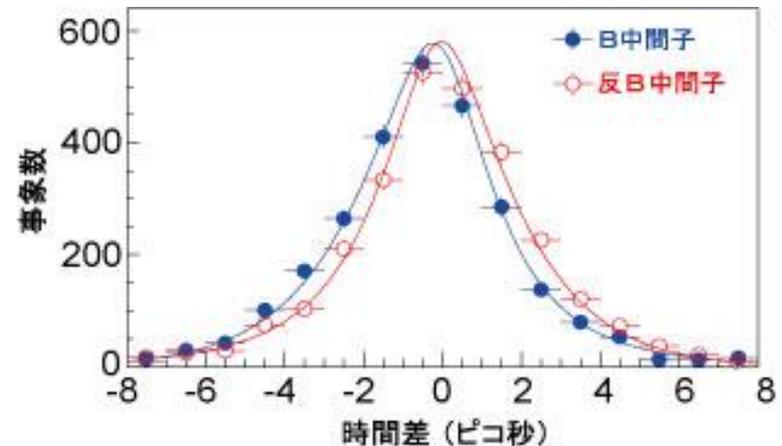
# SVDの目的

B中間子の崩壊点 (Vertex) の測定が目的。



## 要求性能

1. 高検出効率
2.  $\Delta z$  を測定できる位置分解能 ( $< \sim 70 \mu\text{m}$ )
3. 高い放射線耐性  
約 1 kRad/h の放射線を浴びる  
10年分 (10MRad) に耐えられるものが理想

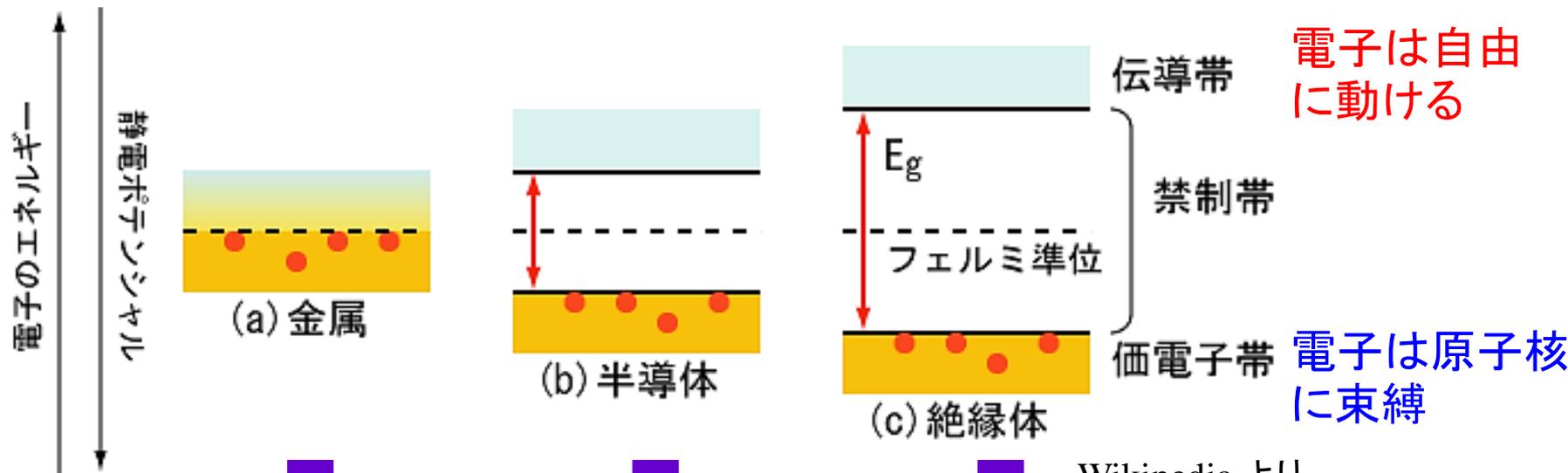


# 半導体検出器の原理

# 半導体

## バンド構造

半導体の特徴はバンド構造に由来



電子は簡単に  
伝導体へ

中間

電子は全て  
価電子帯に束縛

電気  
伝導性

高

中

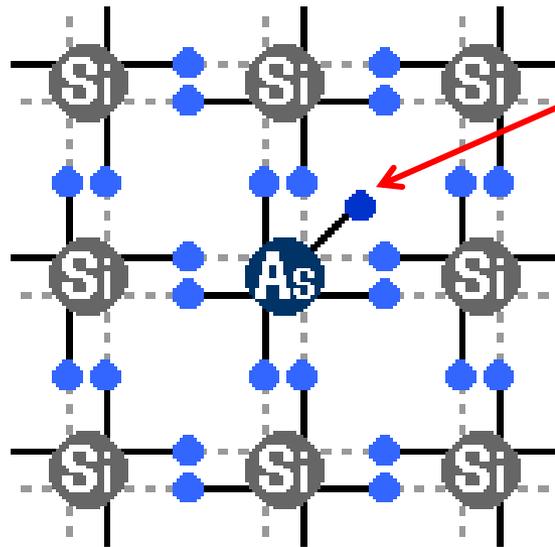
低

半導体には Si や Ge がある。

# n型半導体

真性半導体は電気伝導性が悪い(純Si結晶:  $10^3 \Omega \cdot m$ )。  
しかし、微量の不純物を加えると電気伝導率を高めることができる。

不純物として P, As, Sb 等の5価の原子を加えると...



電子が一つ余る



Energy gap に  
ドナー準位形成



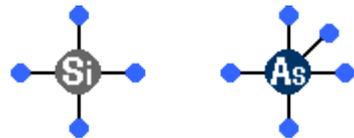
少ないエネルギーで  
電子は価電子帯へ

電気伝導率up!!  
キャリアは主に電子

伝導帯

ドナー準位 - - - - -

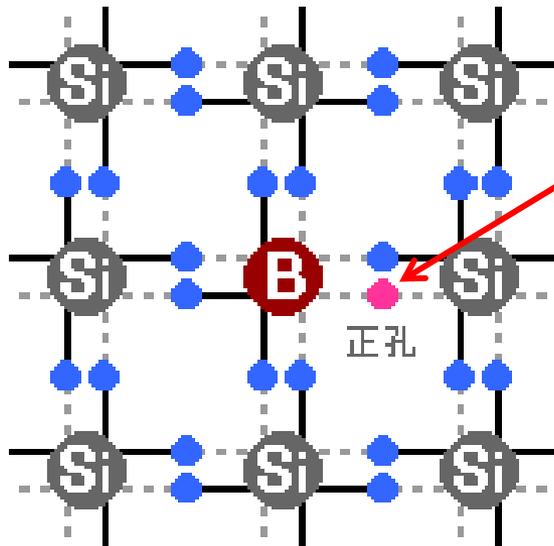
価電子帯



4価原子 ケイ素(シリコン)      5価原子 砒素

# p型半導体

不純物として Ga, B, In 等の3価の原子を加えると・・・



電子が一つ足りない(正孔)



Energy gap に  
アクセプター準位形成

伝導帯



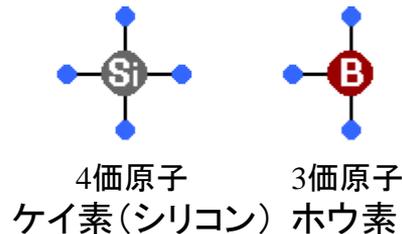
アクセプター準位 - - - - -

価電子帯

少ないエネルギーで  
電子は価電子帯へ

電気伝導率up!!

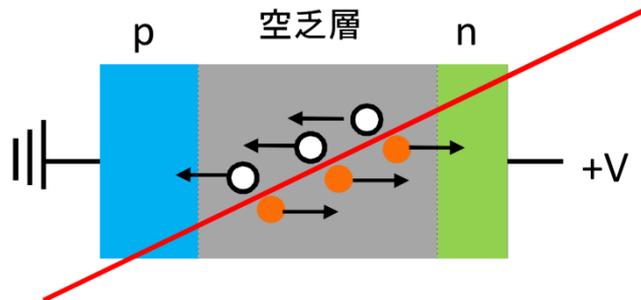
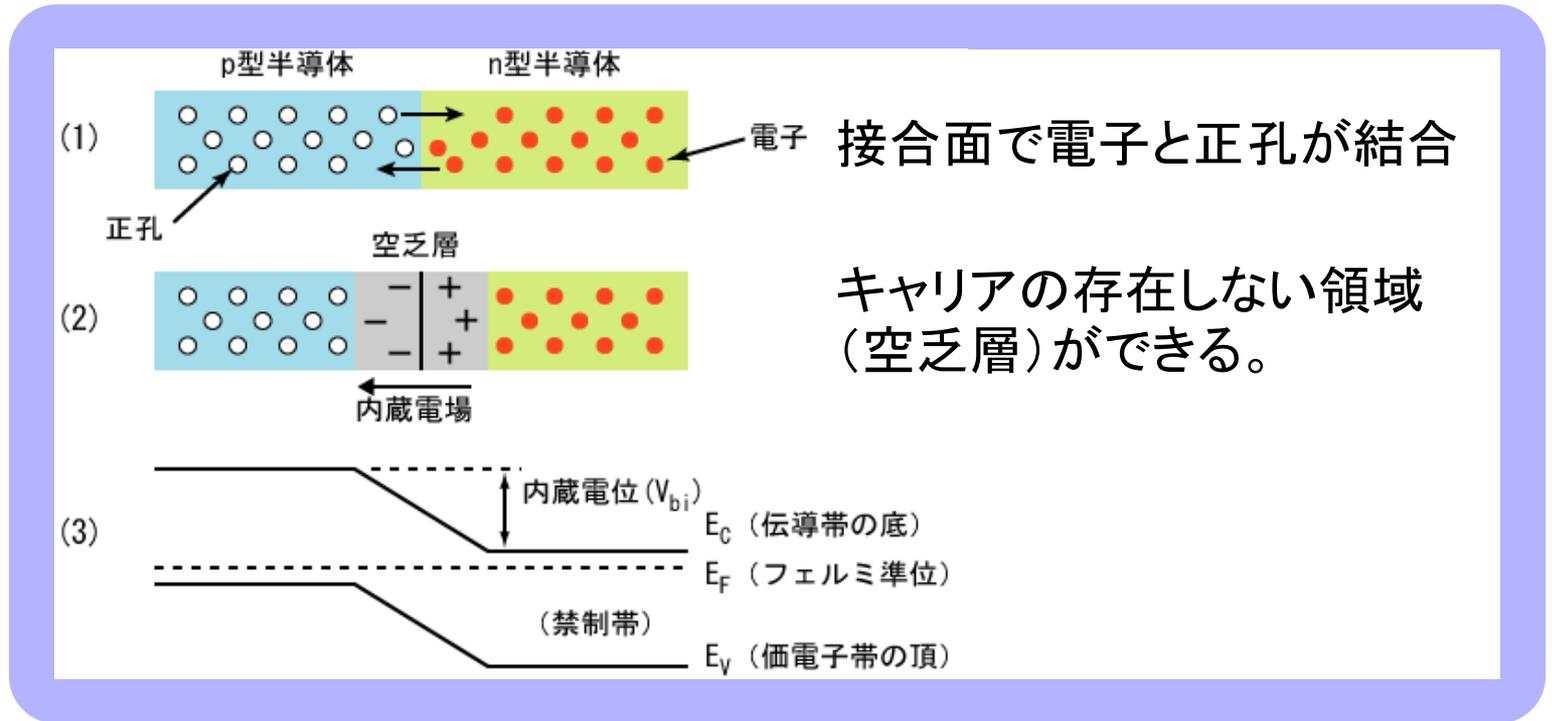
キャリアは主に正孔



# 半導体検出器 (p-n接合)

p型とn型の半導体を接合 (p-n接合) すると、空乏化が起こり、検出器として利用できる。

空乏化

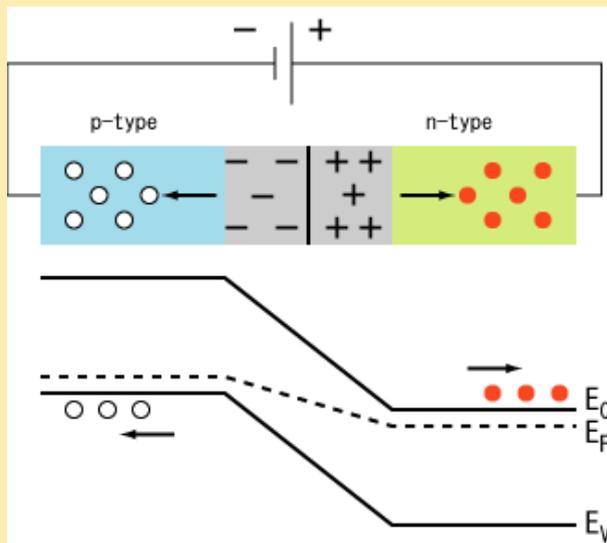


空乏層を荷電粒子が通るとイオン化が起こり、電極で検出される。

# 半導体検出器(空乏層の拡大)

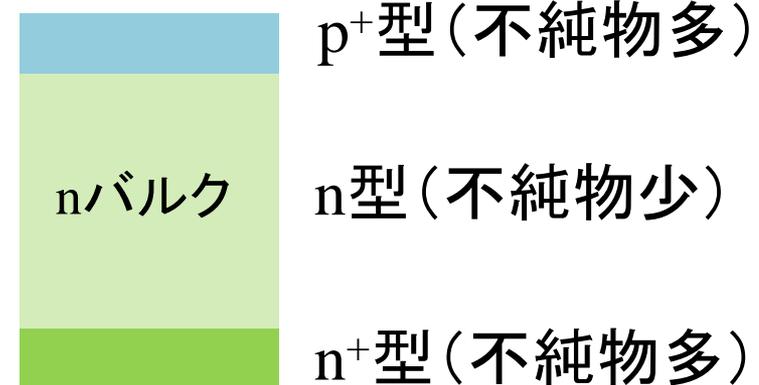
荷電粒子が空乏層を通ることで検出されるので、空乏層を大きくしたい。

逆バイアス電圧をかける



- 空乏層の拡大
- 空乏層の電場が強くなり、検出効率up

pin型構造



不純物の少ない領域は空乏層になりやすく、空乏層が広がる。

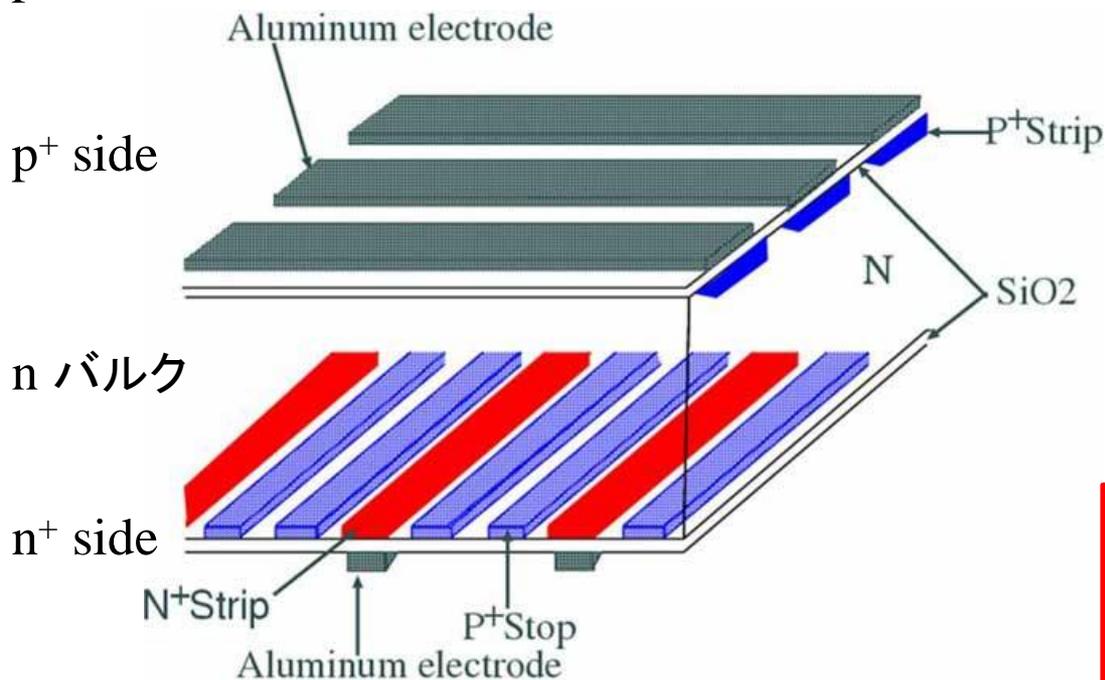
# SVDの構造

# DSSD

SVDは複数のDSSDで構成される。

Double-sided Silicon Strip Detectors

pin型構造



- 7cm × 4cm の n-シリコンバルクの両側にストリップ状のn<sup>+</sup>, p<sup>+</sup>半導体を互いに直交するように配置
- 2次元的に位置をとらえることが可能

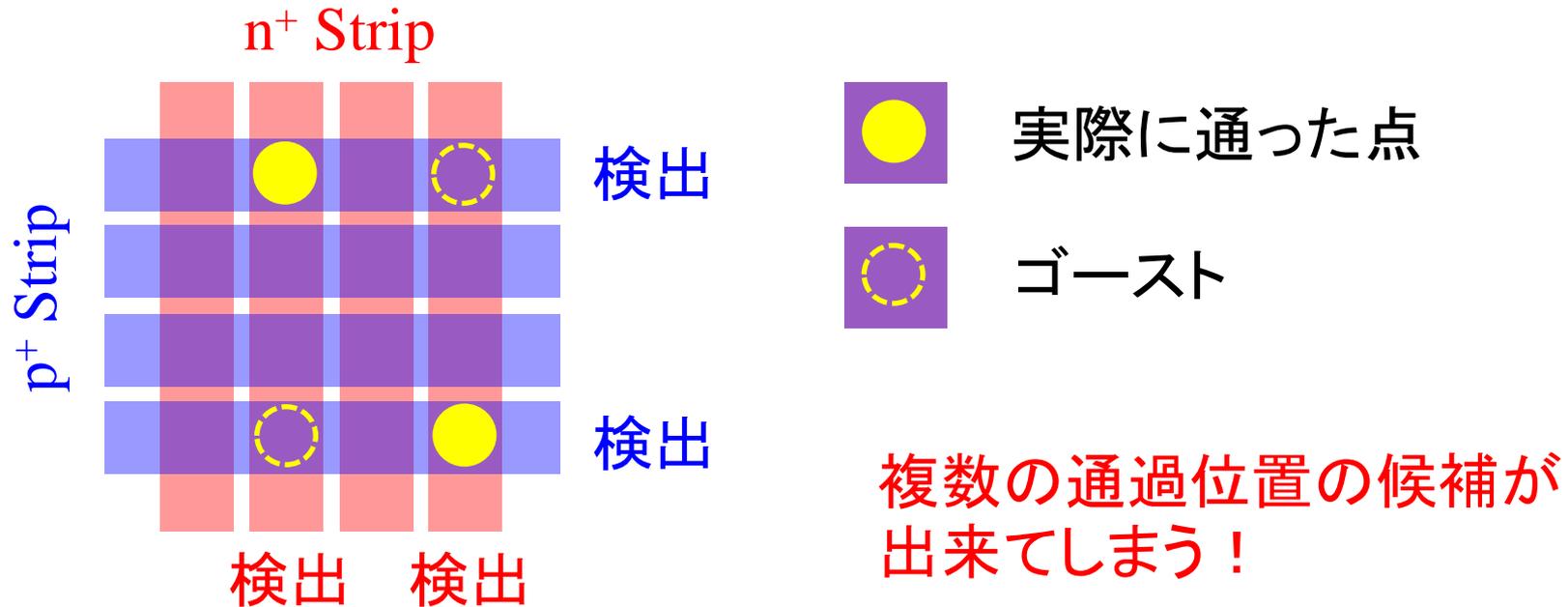
- p<sup>+</sup>側は 75mm ピッチ
- n<sup>+</sup>側は 50mm ピッチ

p<sup>+</sup> Stop は n<sup>+</sup> Strip を電氣的に分離させるためのもの

位置分解能に相当

# DSSD

しかし、実はDSSDには弱点がある。  
2つ以上の粒子がほぼ同じタイミングで入ってきてしまうと...



これはCDCのトラックの情報から正しい通過位置を決定することによって解決される。

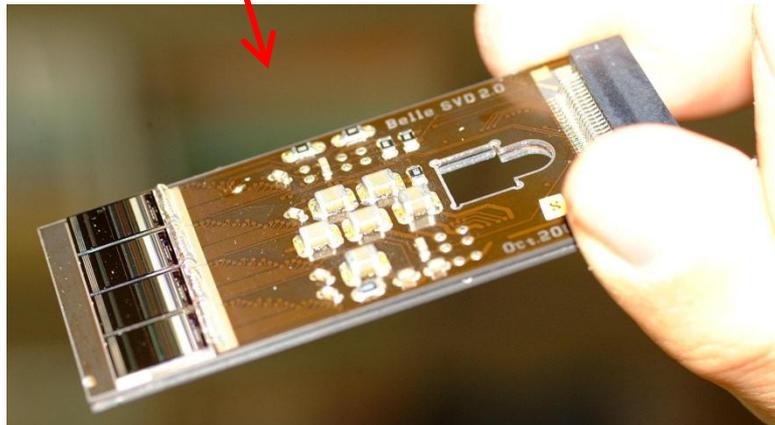
# ラダー

SVDはDSSDを複数個つなげたラダー(はしご)から成る。



← DSSD : 6個  
← : 5個  
← : 3個  
← : 2個

SVD2では計54本使用。

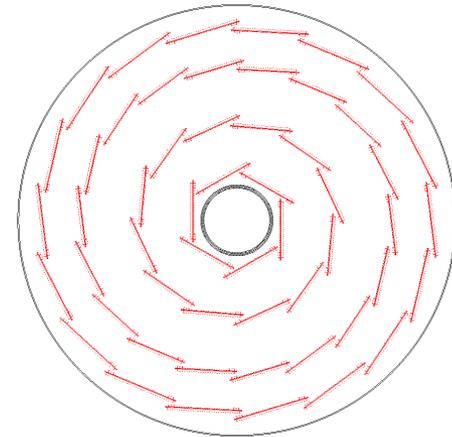
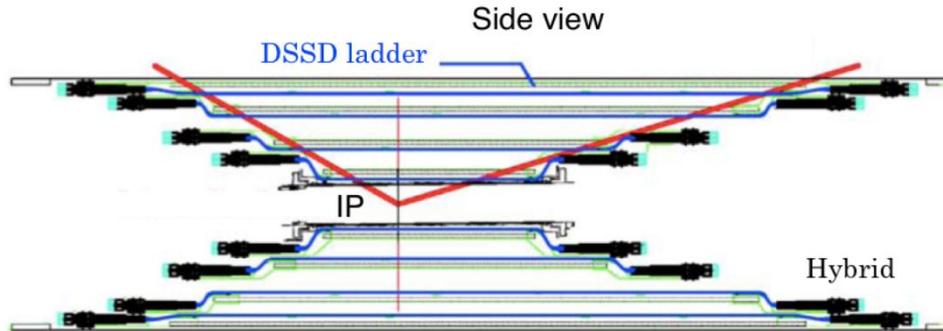


ハイブリッドと呼ばれる読み出し回路。  
回路の配線幅が小さければ小さいほど放射線耐性が良くなる。

# SVDの構成



ラダーをビーム軸に平行に、円筒状に配置する。  
これを複数層にすることによって(多重はしご構造)SVDを構成している。



ビーム軸方向から見た図

# SVDの経緯

# SVDの経緯

1999

- Belle実験開始 (SDV v1.0)
- 加速器からの放射線によって故障。スペアに交換 (SVD v1.2)。

2000

- SVD再度故障。v1.4へ。

2001

2002

- 衝突点での真空リーク発生。ついでにSVDを修理。V1.6。

2003

- 夏、SVDをアップグレード。SVD2へ。

2004

2005

2006

2007

2008

2009

2010

- 6月、Belle実験終了。

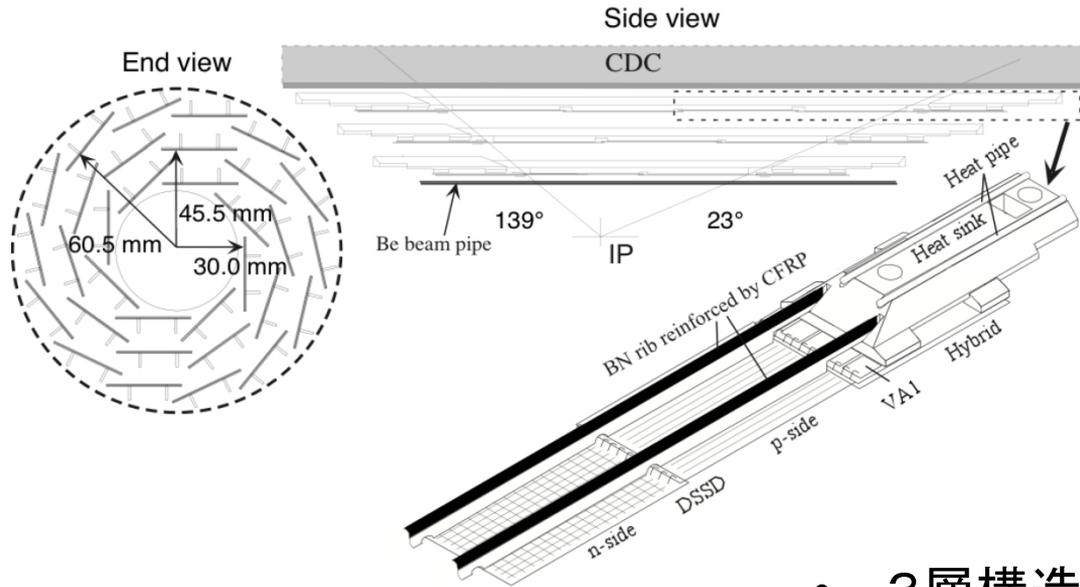
）  
）  
）

2014

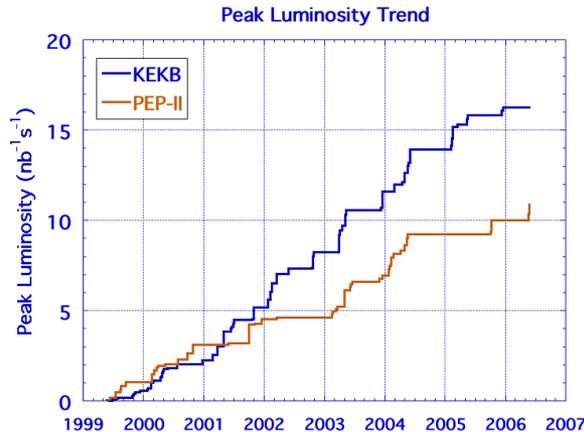
- Belle-II 開始予定。Belle-II SVDへアップグレード。

# 各SVDについて

# SVD1



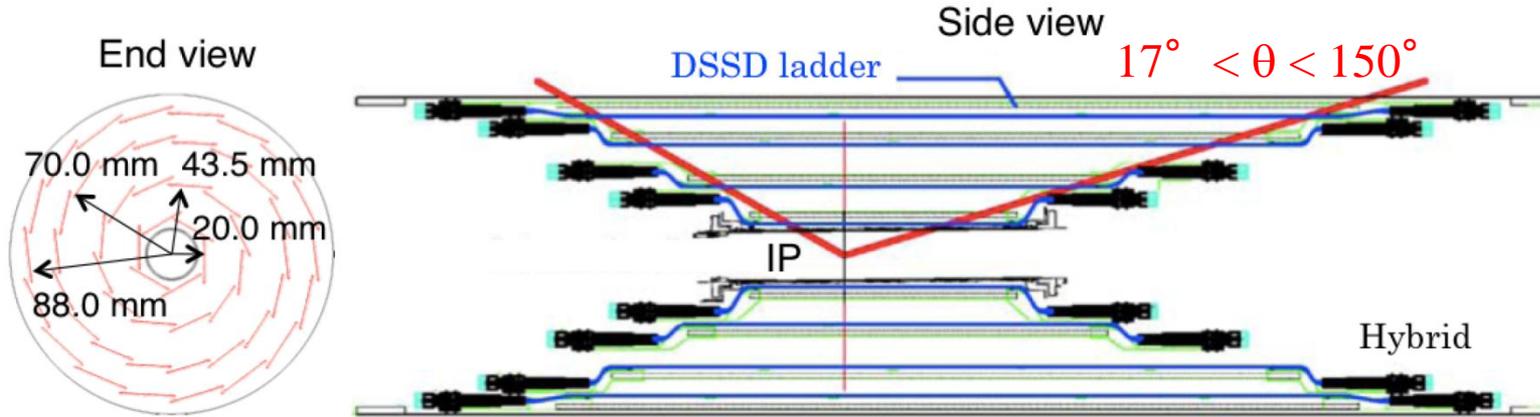
	DSSDの数 /ラダー	ラダー の数
1層目	2	8
2層目	3	10
3層目	4	14



- 3層構造
- $23^\circ < \theta < 139^\circ$  (立体角の86%)をカバー
- ビームパイプから最内層までの距離30mm
- ハイブリッドには VA1 chip (1.2 $\mu$ m CMOS) を使用
- 放射線耐性 ~200kRad

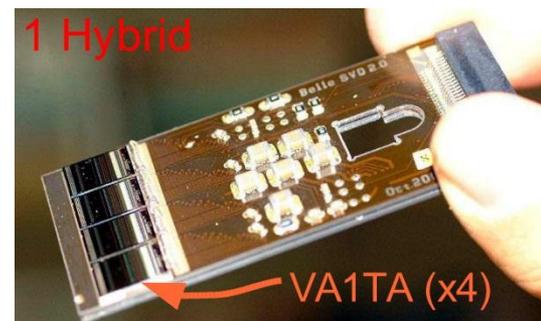
ルミノシティの増加につれて放射線量も増えるため、2003年夏にアップグレード。

# SVD2



	DSSDの数 /ラダー	ラダー の数
1層目	2	6
2層目	3	12
3層目	5	18
4層目	6	18

- 4層構造
- $17^\circ < \theta < 150^\circ$  (立体角の92%)をカバー
- ビームパイプから最内層までの距離20mm
- ハイブリッドには VA1TA chip (0.35 $\mu$ m CMOS) を使用
- $\Delta z$  分解能 ~ 20% 向上
- 放射線耐性 ~ 20MRad

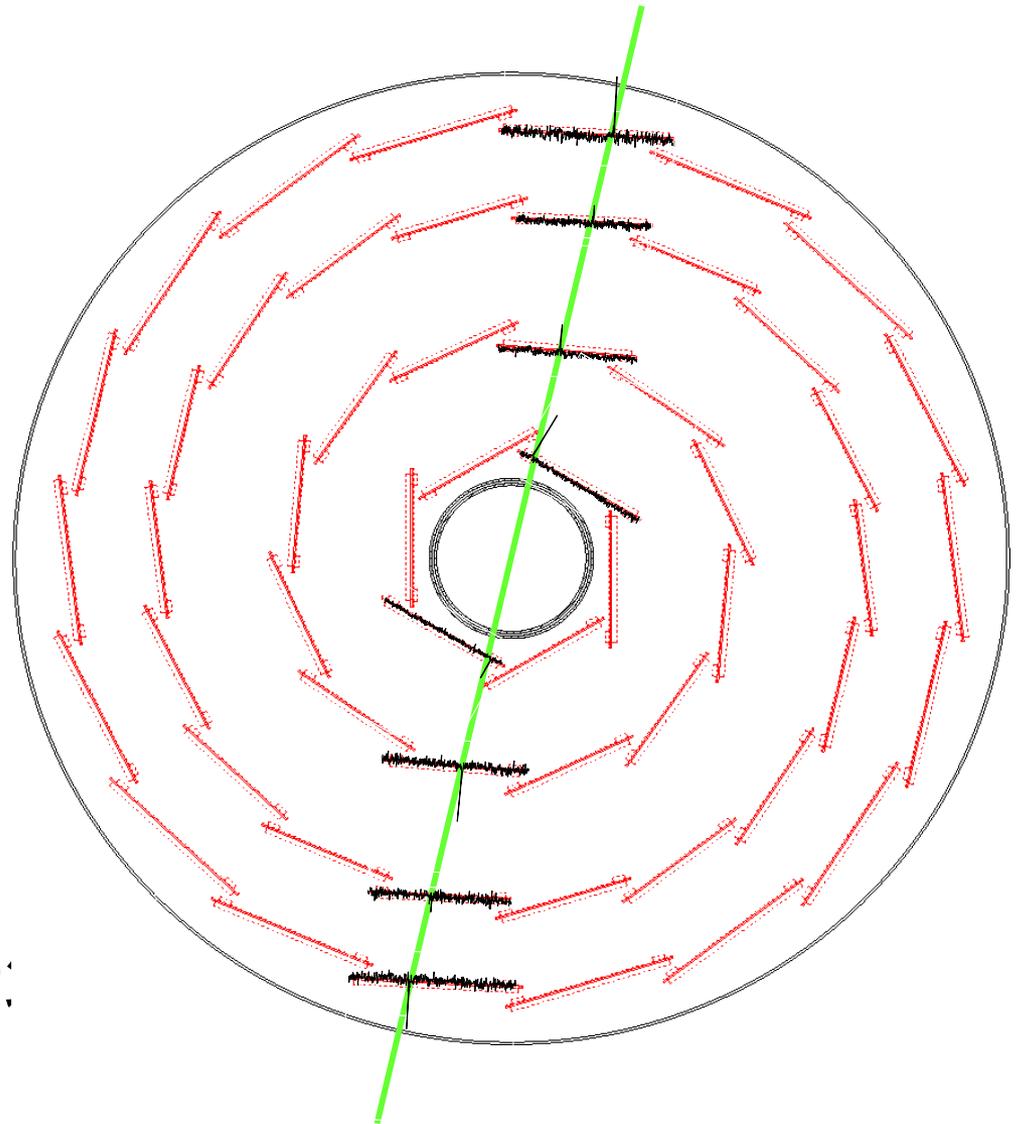


# SVD2

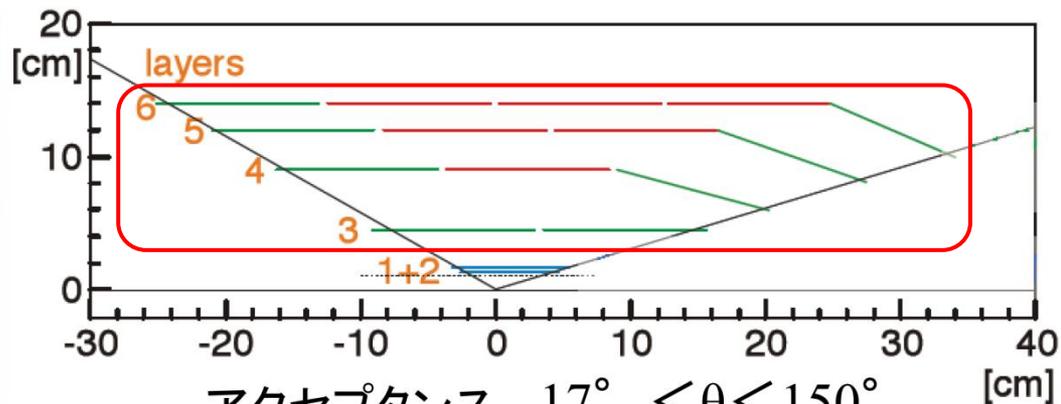
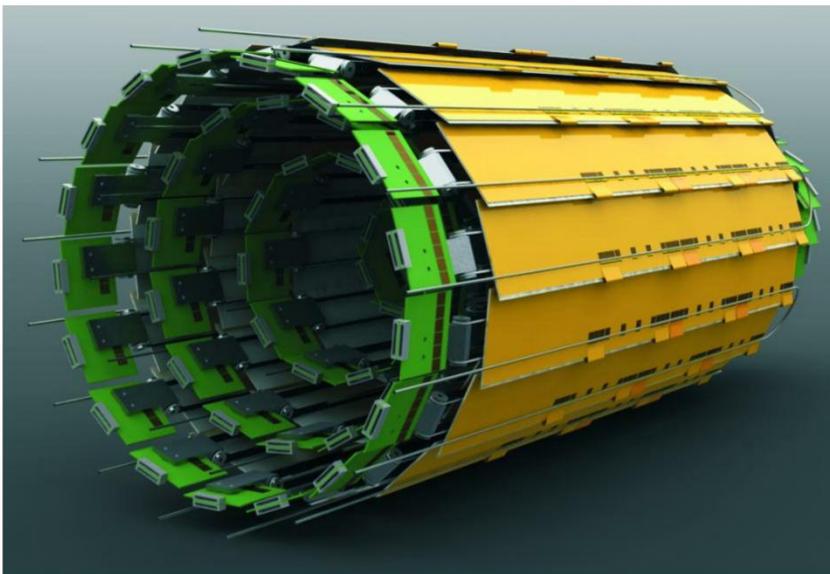
## The SVD2 first cosmic ray muon event

Nov. 15, 2002

各ラダーにピークがあり、  
つなぎ合わせるとミューオンの  
軌道が見える。



# Belle-II SVD



アクセプタンス  $17^\circ < \theta < 150^\circ$

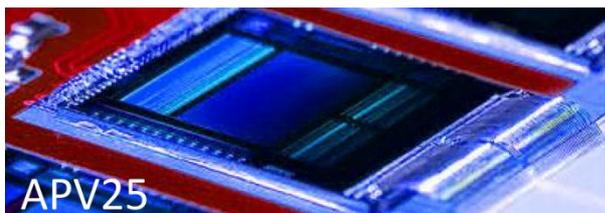
放射線耐性 30MRad

Radiation length  $\sim 0.58\%/layer$

ヒット占有率 6.7%(layer3)

6インチDSSD\*187個

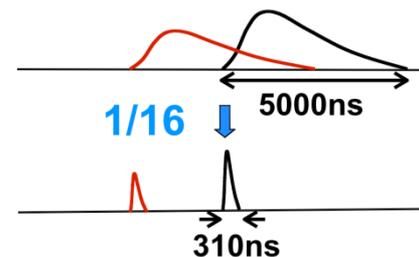
ルミノシティが上がり、BGやイベントが増えるため、占有率を下げるために読み出し速度を早くしなければならない。



読み出し用チップ APV25

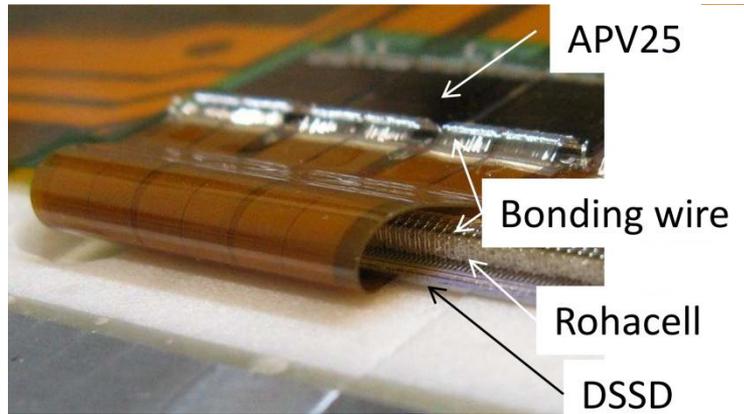
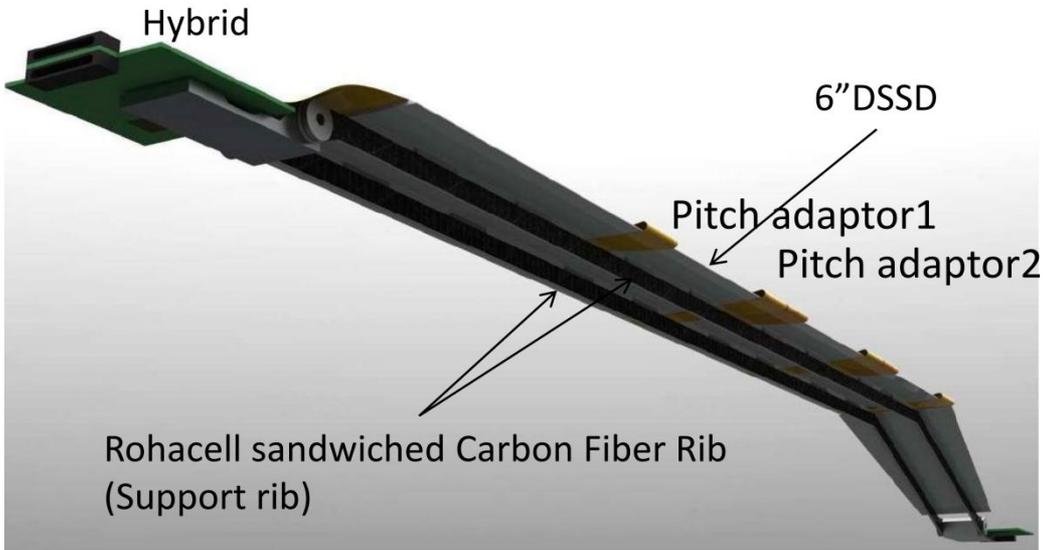
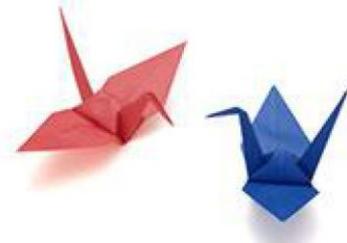
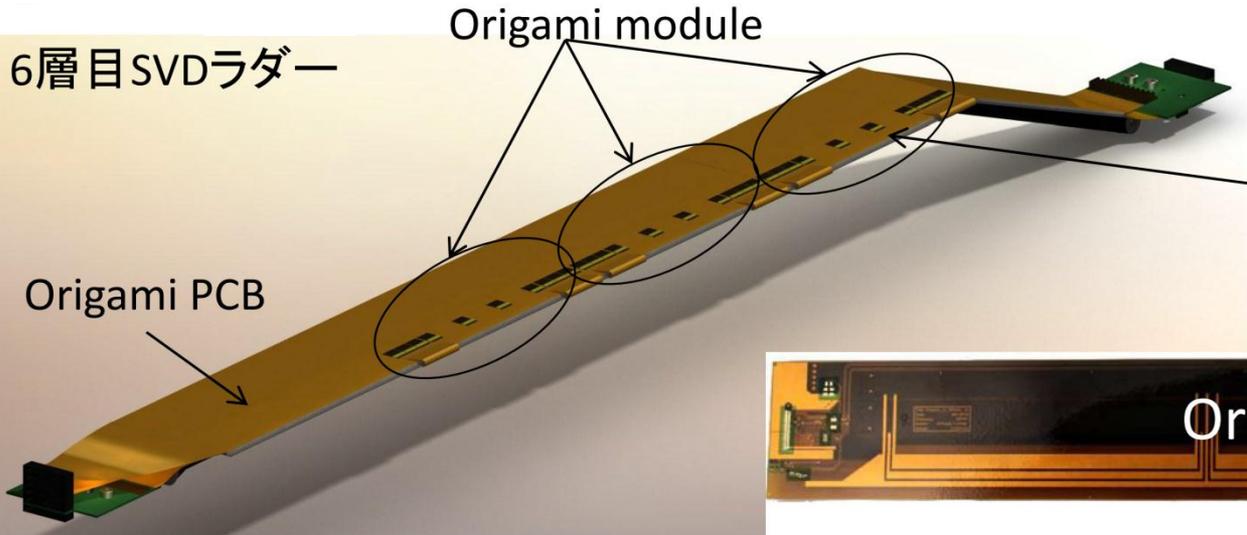
VA1TA	
Peaking Time	800 ns
Pulse Width	5000 ns

APV25	
Peaking Time	50 ns
Pulse Width	310ns



APV25は信号線容量が増えると信号が悪化 ➡ DSSDのすぐ近くで信号処理

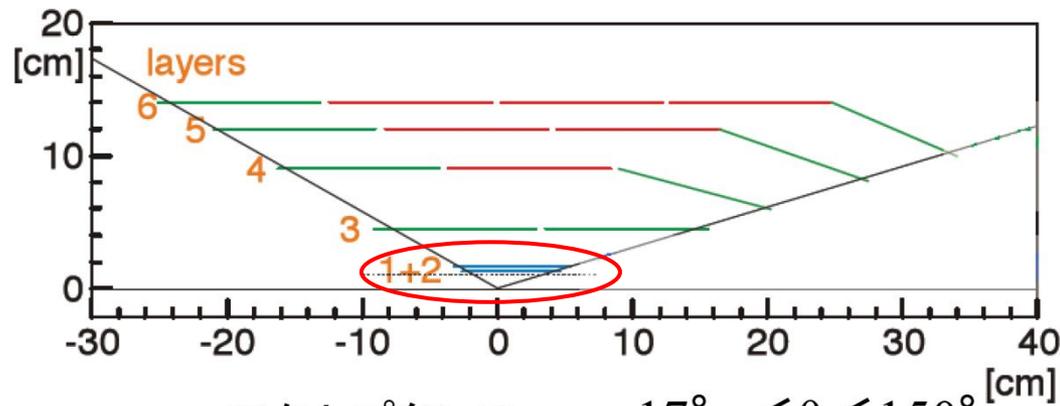
# Belle-II SVD



# ピクセル崩壊点検出器 (PXD)

Belle-II ではSVDの内側にはピクセル検出器が実装される。

ベースライン  
DEPFETピクセル検出器



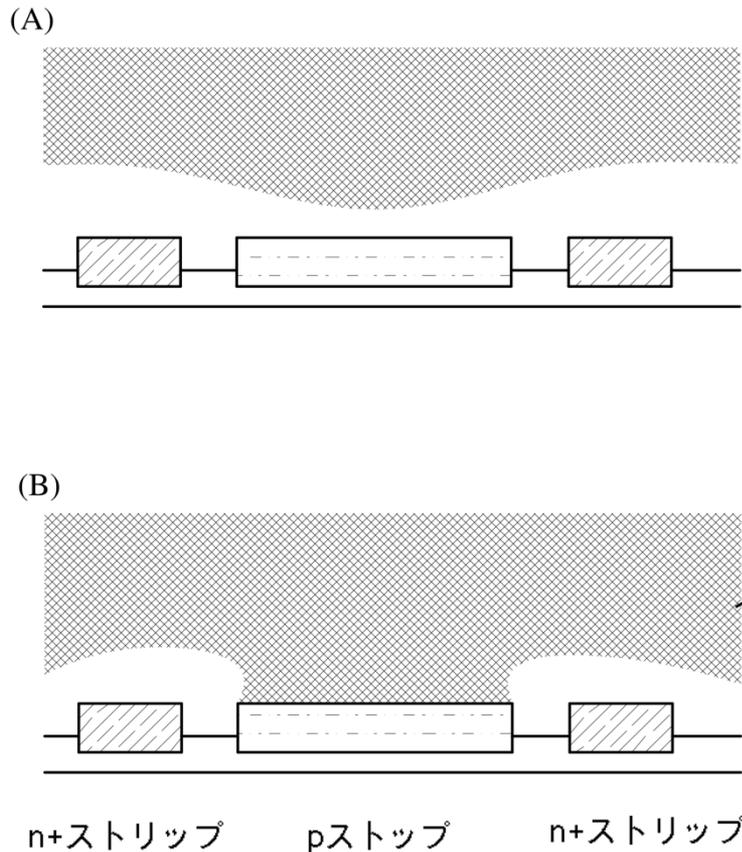
アクセプタンス  $17^\circ < \theta < 150^\circ$  [cm]  
 放射線耐性  $> 10 \text{MRad}$   
 Radiation length  $0.16\%/\text{layer}$   
 ヒット占有率  $1\text{-}2\%(\text{layer}1)$

layer	radius	wafer size (mm)		sensitive region (mm)		no. of pixels		pixel pitch ( $\mu\text{m}$ )	
		length	width	length	width	in $z$	in $\phi$	in $z$	in $\phi$
1	13	131	15	90	12.5	1600	250	56	50
2	22	174	15	123.45	12.5	1600	250	77	50

このピクセルにDEPFET(**DEP**leted **F**ield **E**ffect **T**ransistor) と呼ばれる素子が使用される。

Back up

# p<sup>+</sup> Stop



n バルクは n 型半導体であるため、n<sup>+</sup>ストリップと電氣的に繋がってしまい、隣のn<sup>+</sup>ストリップとも繋がってしまう。

間にp<sup>(+)</sup>型半導体をはさめば、p<sup>(+)</sup>型半導体まで空乏層が拡がり、n<sup>+</sup>ストリップは電氣的に分離される。

図 2.6: n<sup>+</sup>ストリップ付近の様子。(A) 十分に逆バイアス電圧がかかっていない場合。(B) 電氣的に分離した状態

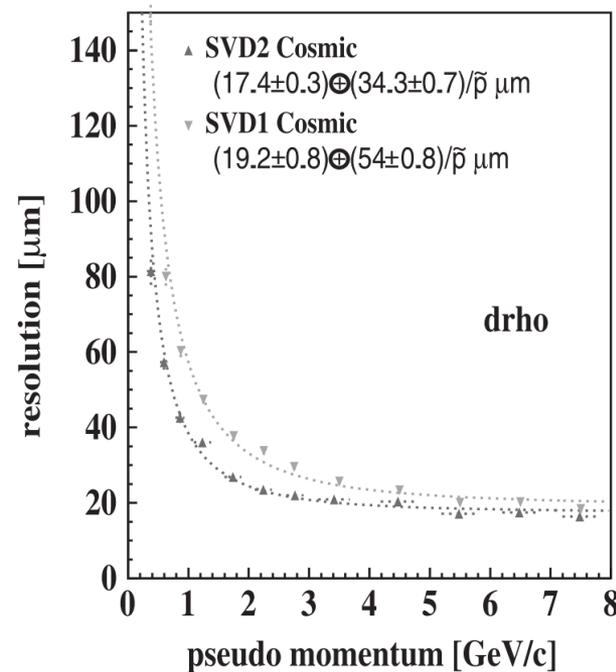
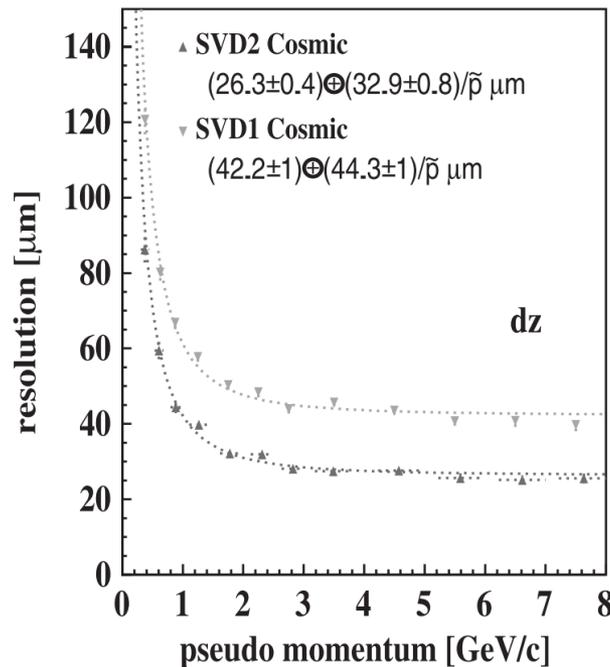
# SVDの分解能

SVD1

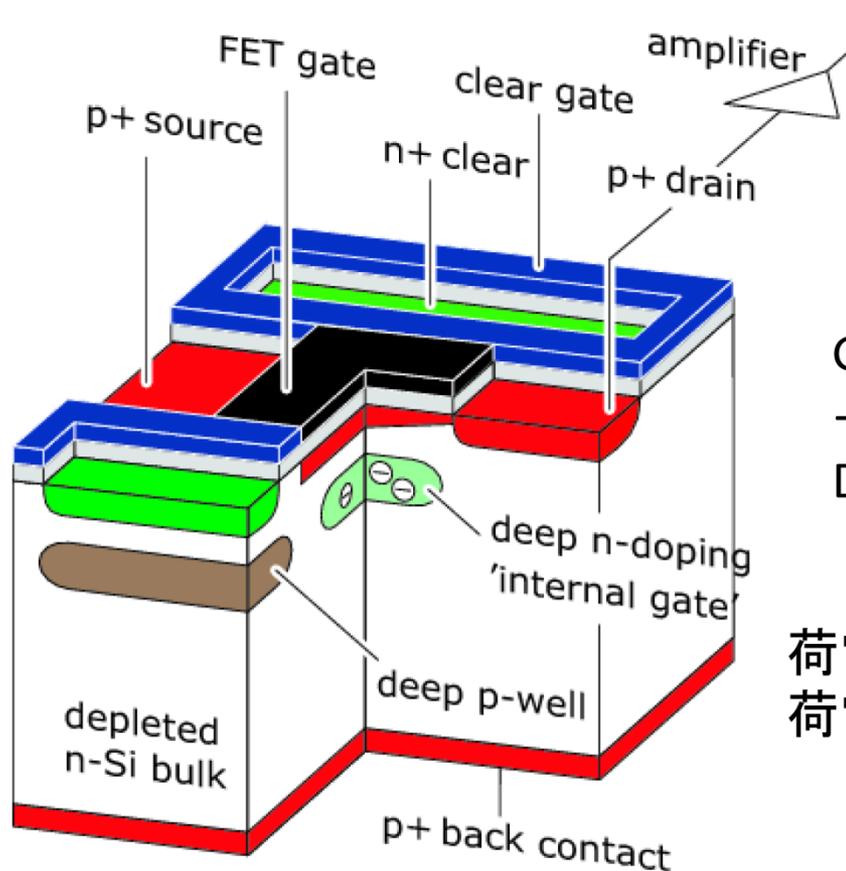
$$\sigma_{r\phi} = \sqrt{19.2^2 + \left(\frac{54.0}{p\beta \sin^{3/2} \theta}\right)^2} \mu\text{m}, \quad \sigma_z = \sqrt{42.2^2 + \left(\frac{44.3}{p\beta \sin^{5/2} \theta}\right)^2} \mu\text{m}$$

SVD2

$$\sigma_{r\phi} = \sqrt{21.9^2 + \left(\frac{35.5}{p\beta \sin^{3/2} \theta}\right)^2} \mu\text{m}, \quad \sigma_z = \sqrt{27.8^2 + \left(\frac{31.9}{p\beta \sin^{5/2} \theta}\right)^2} \mu\text{m}$$



# DEPFET (DEPLETED Field Effect Transistor)



Bulk CMOSを完全空乏化させる。  
荷電粒子によって生成され電子正孔対  
のうち電子が“Internal gate”に蓄積。



Gate—“Internal gate”間に電場が生じる。  
→Gate端子に電圧が印加されるのと同じ。  
Drain—Source電流 $I_{ds}$ が変化！

荷電粒子による生成電荷を読み出す代わりに、  
荷電粒子が通ったMOSFETの $\Delta I_{ds}$ を読み出す！

1つの完全空乏化FET

= 1つのピクセル( $50\mu\text{m} \times 56\mu\text{m} \times 50\mu\text{m}$ )に相当

※東北大の小貫さんのスライドから拝借