

Belle II SVD組み立てテスト

2011/8/17

東北大学 素粒子実験研究室

桧森 祥生

目次

- Belle実験(p.3)
- 半導体検出器(p.5)
- Belle SVD(p.6)
- Belle II SVD(p.8)
- 組み立て試験(p.9)
- 読み出し試験(p.14)
- まとめ(p.15)
- 予定(p.16)

Belle実験 -概要-

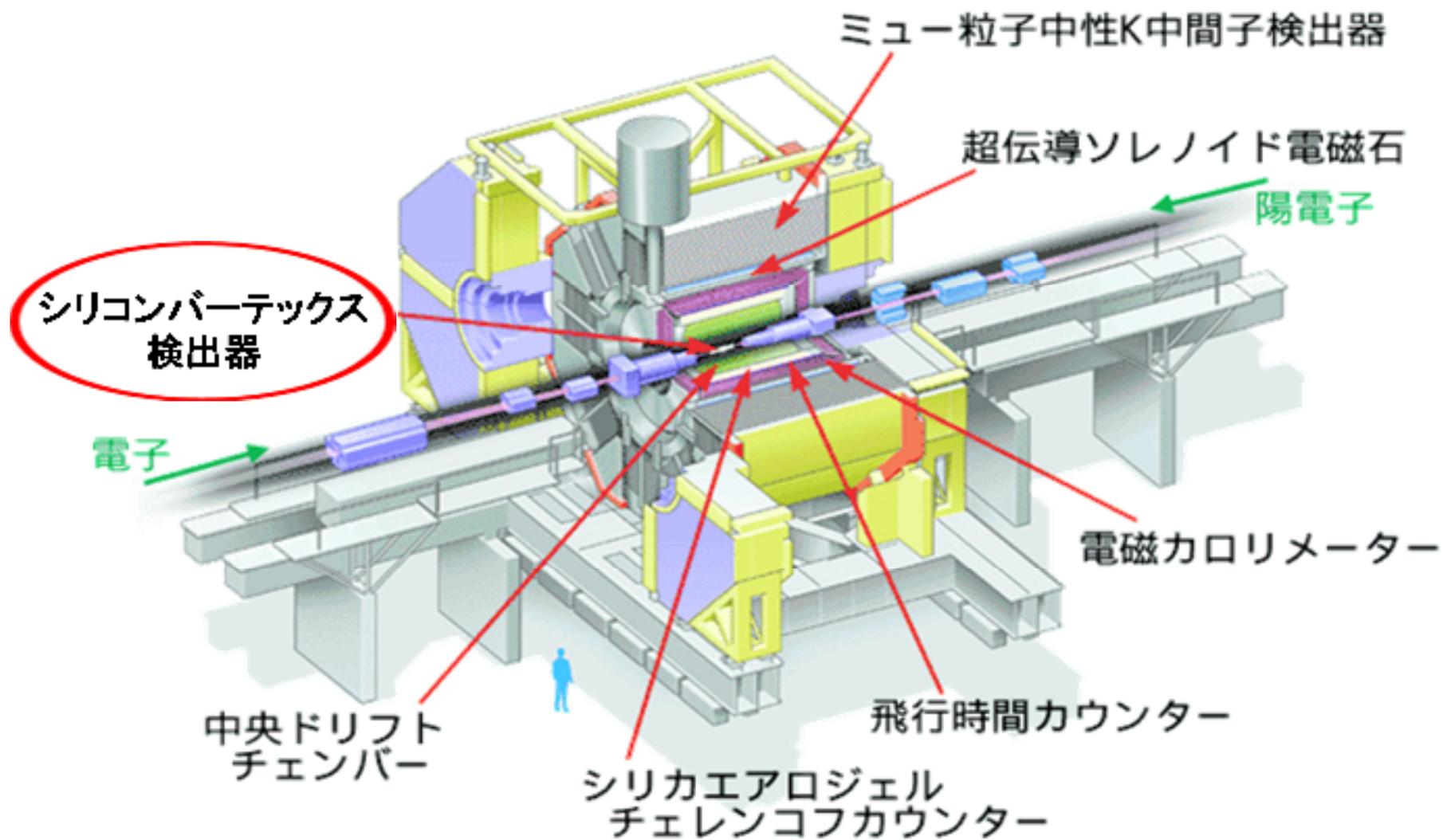
- ・茨城県つくば市のKEKで行われた電子陽電子非対称衝突型加速器実験
- ・B中間子を生成し、粒子・反粒子の対称性の破れを見る
- ・積分ルミノシティ 10^{14}fb^{-1} で電子陽電子型加速器として世界最高
- ・電子 8.0GeV 陽電子 3.5GeV
- ・重心エネルギー 10.58GeV



Belle II 実験にアップグレード！

ルミノシティを40倍に増加とともに、検出器もアップグレードを行う

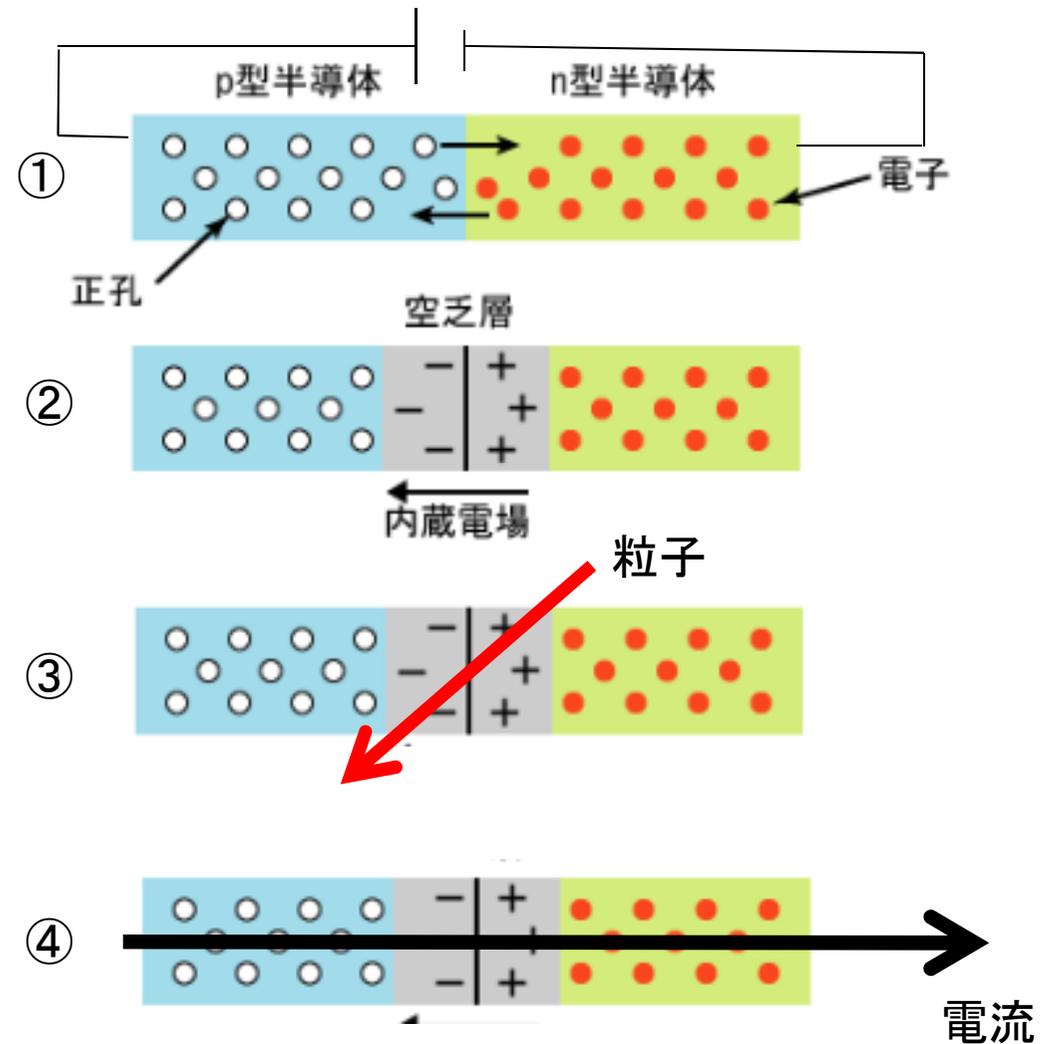
Belle実験 -検出器-



半導体検出器

原理

- ① p型、n型半導体を組み合わせる
- ② 逆バイアス電圧をかけることで空乏層を大きくする。
- ③ 粒子が落とすエネルギーで空乏層が電離。
- ④ それぞれの電極に正孔、電子が流れ、電流として検出できる。



Belle SVD

SVD=Silicon Vertex Detector



SVD



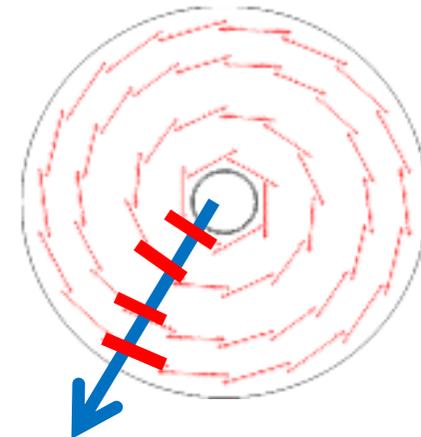
ラダー



DSSD

(Double-sided Silicon Strip Detector)

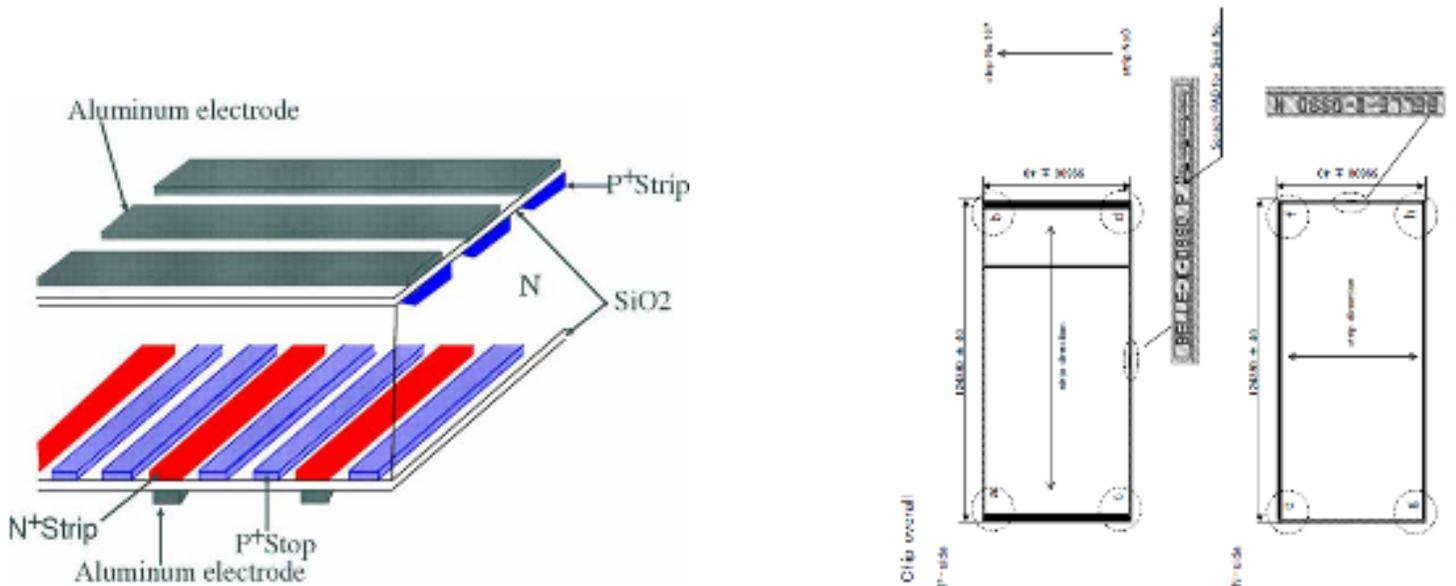
- 衝突点の最も近くにある検出器
 - 生成粒子の崩壊点を検出
- 検出された部分を線でつなぐことで粒子の飛跡がわかる



Belle SVD

DSSD=Double-sided Silicon Strip Detector

- ストリップ構造
- P-side N-sideでそれぞれストリップ方向が違う
→2次元的に位置を求められる。



Belle II SVDについて

BelleSVDとの違い・・・

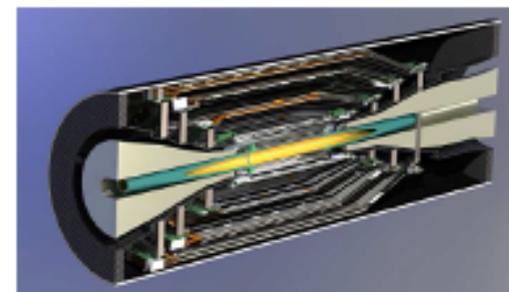
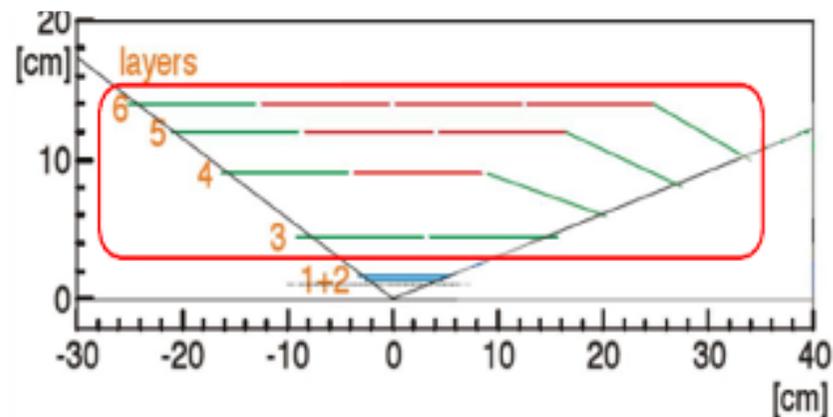
①SVD4層に加え、
内部にピクセルディテクター2層を使用
→ストリップ型では占有率が増えてしまうため

②ラダー(4,5,6層目)に斜めの部分を導入
→ブースト前方の物質量が減る。

($\gamma \rightarrow ee$ が減り、カロリメータでのエネルギー測定が正確になる。また、多重散乱が減り、
トラッキングが正確になる。)

・読み出しチャンネルが減る
(データ処理量が減る)

③読み出し機構に折り紙モジュールを採用
←ルミノシティが上がり、データ量が増えるので、
高速で大量の情報を処理することが必要



組み立て試験 -概要-

- 読み出し機構 = 折り紙モジュールを作って読み出し試験を行う

折り紙モジュール



OrigamiPCB=Origami Print Circuit Board



PA=Pitch Adaptor



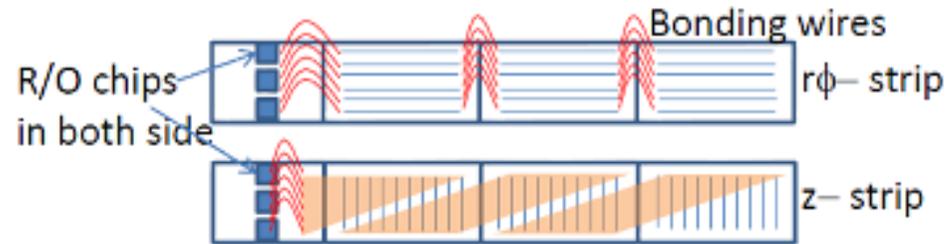
DSSD

- 精密な組み立てが必要 (10 μ mオーダーの精度)
- ワイヤボンディング

組み立て試験 -折り紙モジュール-

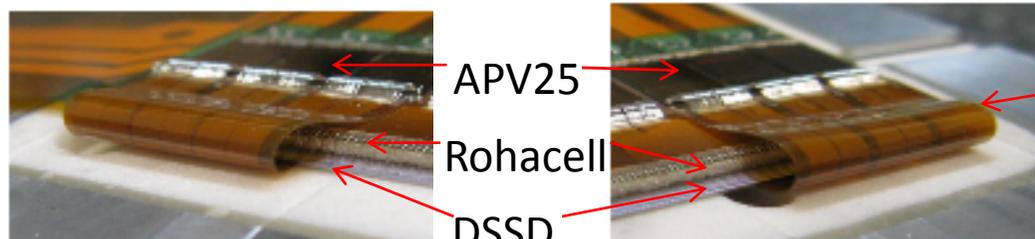
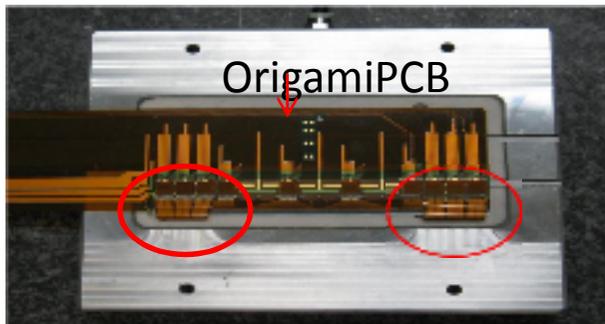
BelleSVD

→各DSSDから端の
VA1TA(読み出しチップ)へ

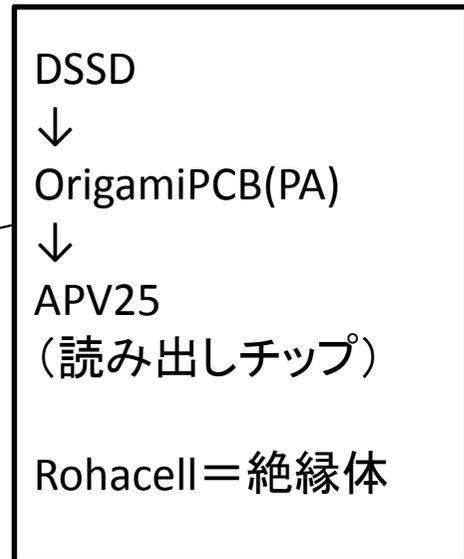


Belle II SVD

→ルミノシティがUP!
→大量のデータを早く読み出す必要がある
→折り紙モジュール

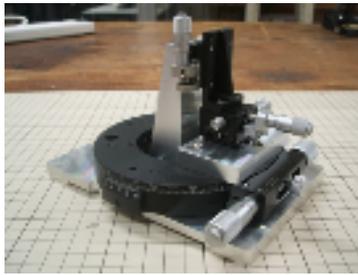


PA



組み立て試験 -治具-

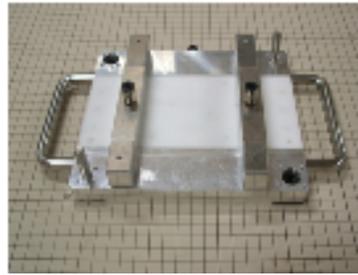
10 μ mオーダーの精密さが必要
→顕微鏡や治具を使って組み立て



XYZθ-stage jig



Alignment jig



PA jigs



Origami jig



Microscope jig



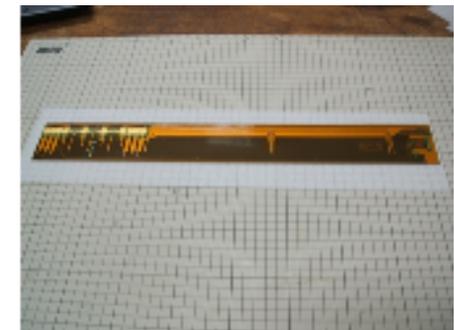
Assembly bench



Rib jig

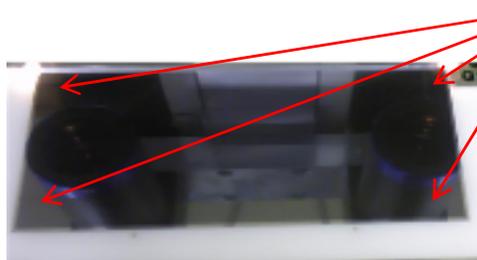


Rib



Origami PCB

組み立て試験 -精密さを実現するための工夫-

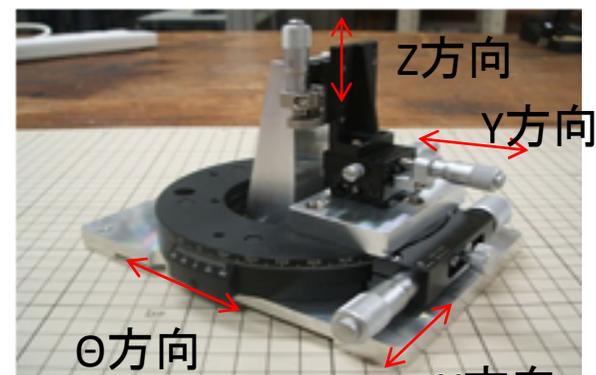


DSSD



アライメントマーク

(100 μ m × 100 μ m)
↑顕微鏡での目
印



XYZ θ -ステージ

(DSSDを吸着し、それぞれの方向に動かすことができる
→微調整が可能)

組み立て試験-組み立て工程



Alignment jig



DSSD



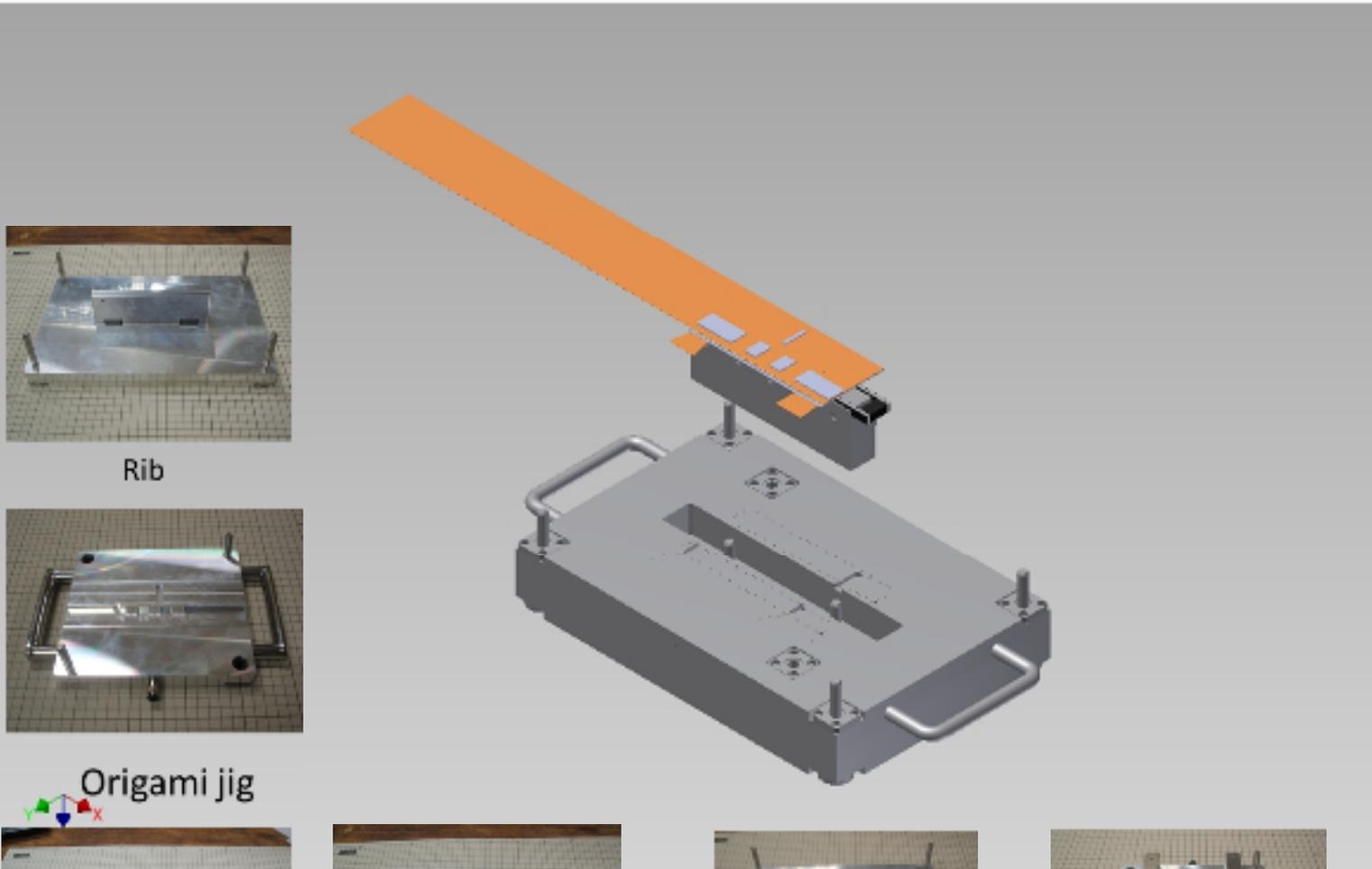
Microscope jig



XYZθ-stage jig



PA



Rib



Origami jig



Origami PCB



Assembly bench



Rib jig



PA iigs

読み出し試験

- 折り紙モジュール、ラダーのスラント部分
→ Belle2からの導入であるため、実際に読み出しを行えるのかテストが必要
- APVDAQ(回路基板)を使った、読み出しのための回路設計を行う
- 実際に読み出し試験を行う

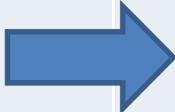
まとめ

- Belle II 実験へのアップグレード
 - 検出器の1つであるSVDもアップグレード
 - 今回導入された方式(形状:スラント、読み出し:折り紙)機構の違いがある
 - 組み立てテスト、読み出しテストを行う

実験の予定

- 組み立てテスト
 - 10 μ mの精度を要求
 - 顕微鏡や治具を使いつつ行っていく
- 読み出しテスト
 - APVDAQを使っての読み出し試験をする

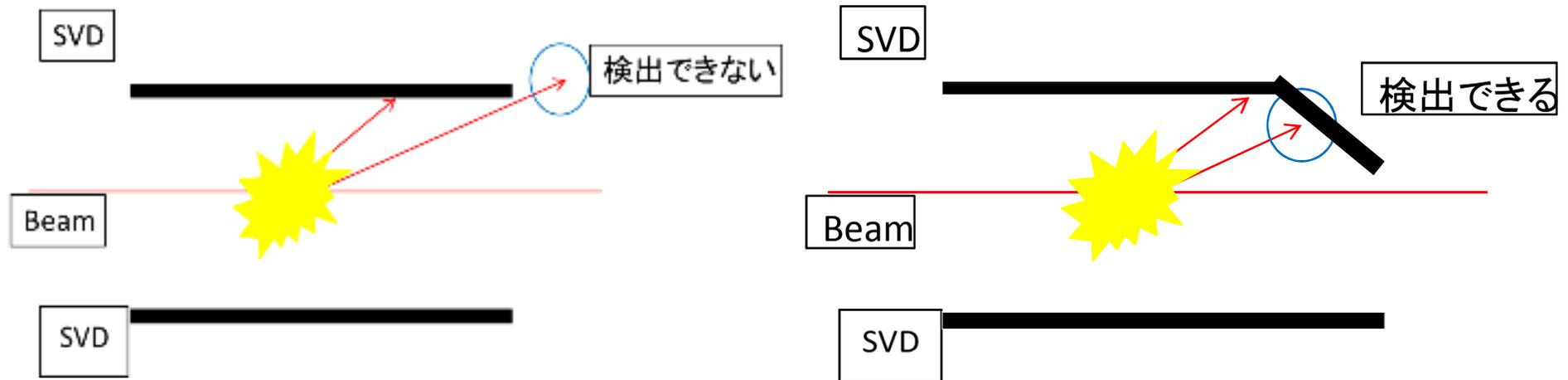
予定

	8月	9月	10月	11月	12月
治具の製造・調整					
テスト組み立て					
読み出しテスト					

Back up

- 読み出しについて
- 読み出しチャンネルについて
- 折り紙モジュール
- BelleSVD1 vs BelleSVD2 vs Belle2SVD

読み出しチャンネル



- ・スラントを導入することで、検出できなかった部分もカバーされる
- ・理想は球形
- ・同じ領域をカバーするために、直線で延ばすよりもラダーが短くて済む
→読み出しチャンネルを減らせる

読み出しについて

- ・読み出しチップ

VA1TA (Belle) → APV25 (Belle2) …… 速度UP !

ただし、APV25はノイズが多い

→ DSSDの真上(近く)に置きたい(導線を少なくしたい)

→ 折りモジュールを使う

※ BelleではDSSDそれぞれから端のVA1TAにつないでいた

折り紙モジュール

- 折り紙のメリット:読み出しが早い
- PA:裏面の信号を導く
- ワイヤボンディング=それぞれの精密な電氣的接続。金線を使用。(一般的にはAl。これは強度的に弱い)

BelleSVD1 vs BelleSVD2 vs Belle2SVD

BelleSVD1	DSSDの数/ラダー	ラダーの数
1層目	2	8
2層目	3	10
3層目	4	14

BelleSVD2	DSSDの数/ラダー	ラダーの数
1層目	2	6
2層目	3	12
3層目	5	18
4層目	6	18

Belle2SVD	DSSDの数/ラダー	ラダーの数	折り紙モジュール
3層目	2	8	0
4層目	3	10	1
5層目	4	14	2
6層目	5	17	3