



... ilc のための  
FPCCD 読み出し回路の開発

2011.9.18 日本物理学会  
東北大学 加藤恵里子

齋藤智之、板垣憲之助、池田博一、杉本康博、田窪洋介、  
宮本彰也、佐藤比佐夫、山本均

# 国際リニアコライダー(ILC) 計画

## ■ 電子陽電子衝突型線形加速器

- 全長~31km
- 重心系:  $v_s=500\text{GeV}$ (アップグレード後1TeV)
- 積分ルミノシティ(4年間):  $500\text{fb}^{-1}$

## ■ ILCの目指す物理

- ヒッグスの精密測定( $H \rightarrow bb, cc, \tau\tau \dots$ )
- トップの精密測定( $t \rightarrow bW$ )
- 新物理探索 ....

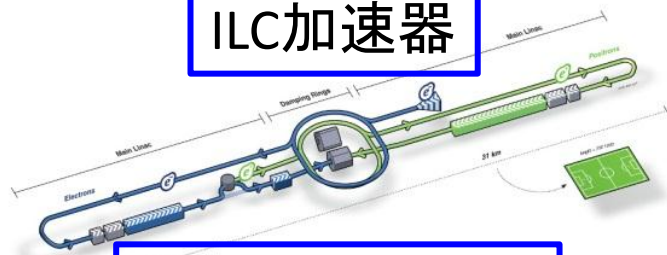
## ■ 崩壊点検出器の要求性能

- 優れた粒子識別能力が必要

崩壊点分解能

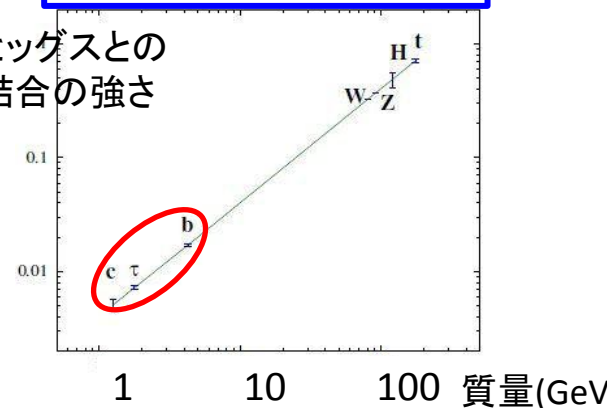
$$\sigma = 5 \oplus \frac{10}{p\beta \sin^2 \theta} (\mu\text{m})$$

ILC加速器

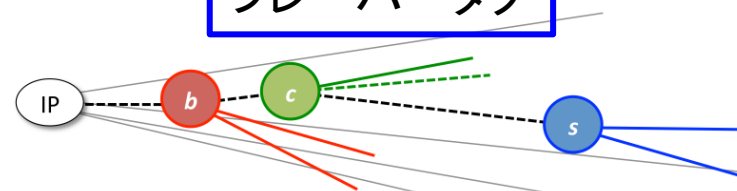


ヒッグス機構の検証

ヒッグスとの結合の強さ



フレーバータグ



➤ バーテックスの再構成

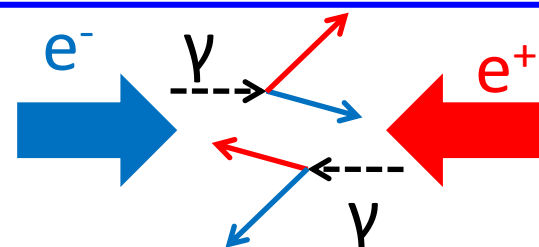
# FPCCD 崩壊点検出器

- ピクセル占有率  $< \sim 1\%$ 
  - 崩壊点検出器の最内層のヒットレートが多く、ピクセル占有率大きくなる
  - 高精細(Fine Pixel)なピクセル

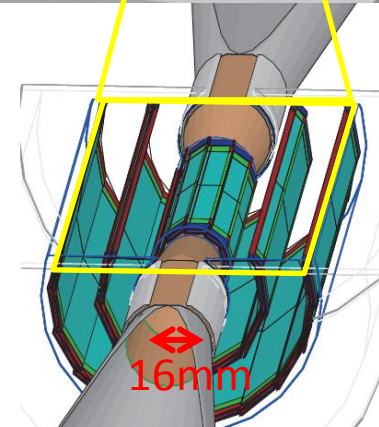
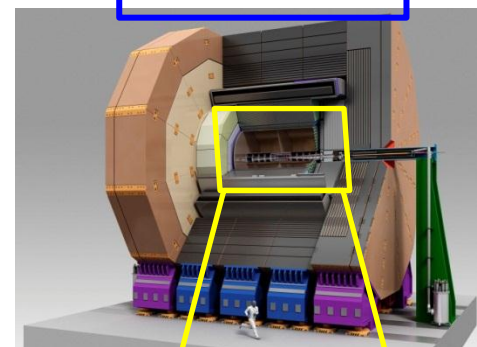
- Fine Pixel CCD(FPCCD)

- ラダー構造: 3層  $\times$  2 (裏表)
  - ピクセルサイズ:  $5 \times 5 \text{ um}^2$
  - 有感領域の厚み: 15 um (全空乏化)
- 20,000  $\times$  128 pix/ch
- 計 #ch  $\sim 6,000$ ch
- 総ピクセル数:  $\sim 10^{10}$

ペアバックグラウンド事象



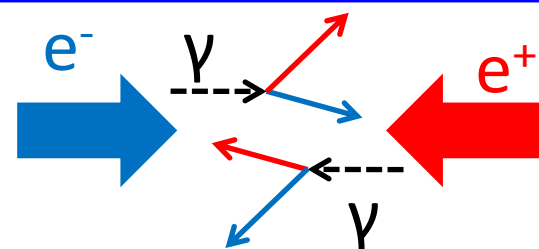
ILC検出器



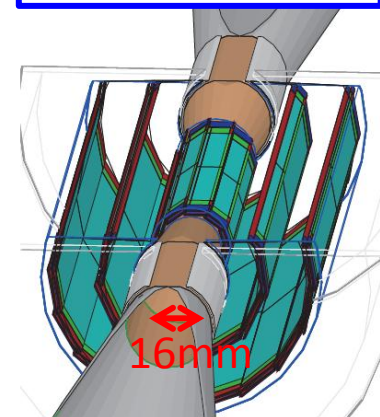
# FPCCD 崩壊点検出器

- ピクセル占有率  $< \sim 1\%$ 
  - 崩壊点検出器の最内層のヒットレートが多く、ピクセル占有率大きくなる
    - 高精細(Fine Pixel)なピクセル
- Fine Pixel CCD(FPCCD)
  - ラダー構造: 3層  $\times$  2 (裏表)
    - ピクセルサイズ:  $5 \times 5 \text{ um}^2$
    - 有感領域の厚み: 15 um (全空乏化)
  - 20,000  $\times$  128 pix/ch
  - 計 #ch  $\sim$  6,000ch
  - 総ピクセル数:  $\sim 10^{10}$

ペアバックグラウンド事象



崩壊点検出器



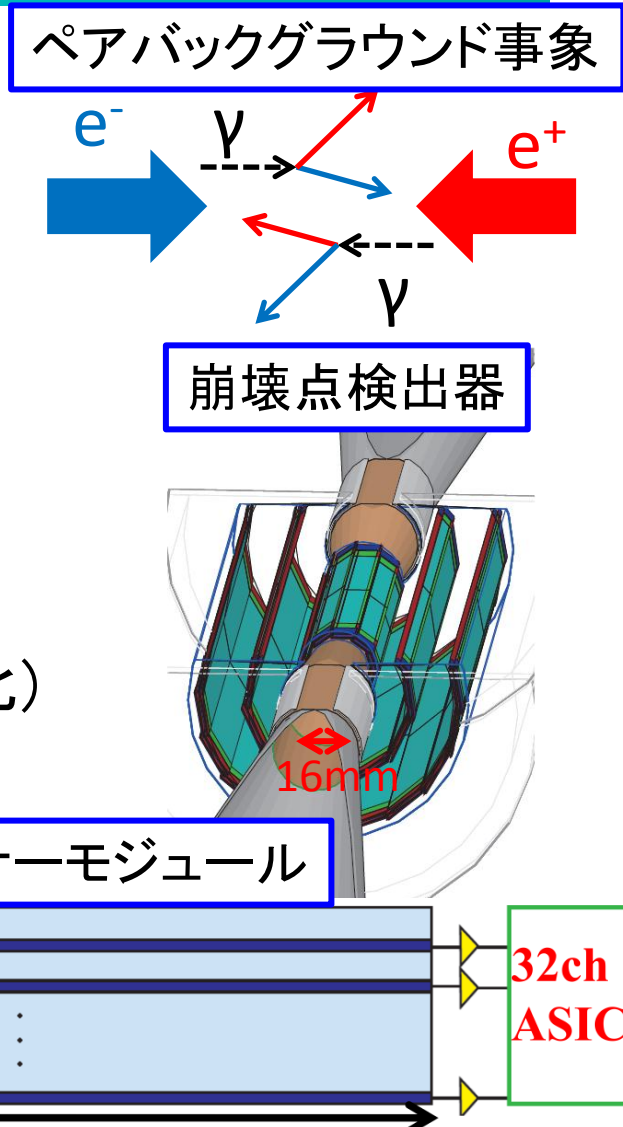
厚さ15umFPCCDセンサー





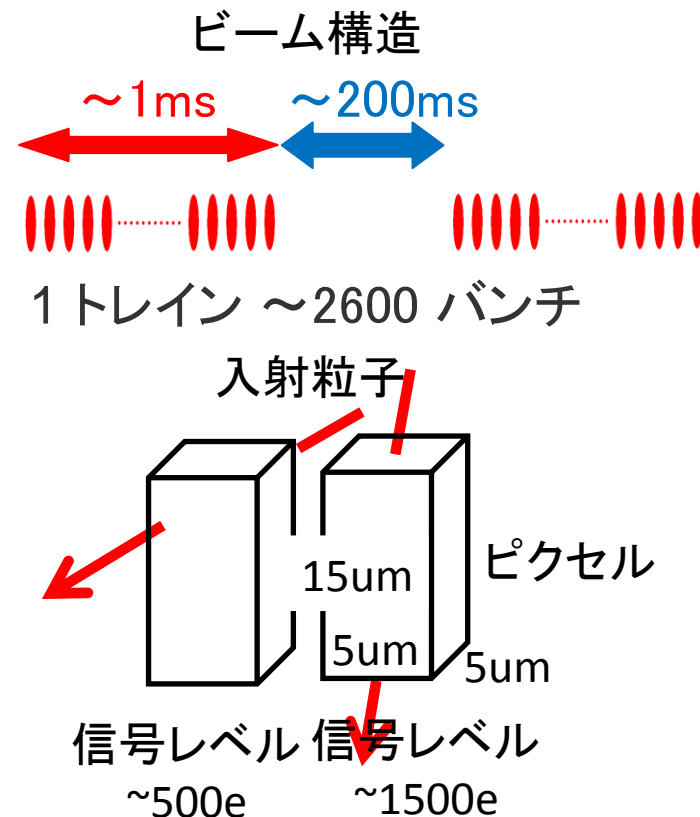
# FPCCD 崩壊点検出器

- ピクセル占有率  $< \sim 1\%$ 
  - 崩壊点検出器の最内層のヒットレートが多く、ピクセル占有率大きくなる
    - 高精細(Fine Pixel)なピクセル
- Fine Pixel CCD(FPCCD)
  - ラダー構造: 3層  $\times$  2 (裏表)
    - ピクセルサイズ:  $5 \times 5 \text{ um}^2$
    - 有感領域の厚み: 15  $\text{um}$  (全空乏化)
  - 20,000  $\times$  128 pix/ch
  - 計 #ch  $\sim 6,000\text{ch}$
  - 総ピクセル数:  $\sim 10^{10}$



# 読み出しシステムへの要求

- 読み出し速度 > 10Mpix/sec
  - ト레인間に読みだす(200ms)
  - 20,000x128pix/200ms
- ノイズレベル < 30e-
  - 小さな信号レベル : ~500e-
- 消費電力 < 6mW/ch
  - クライオスタット(-50°C)内に設置。
  - 総消費電力 < 100W



➤ これらの要求を満たす読み出し回路の開発を目指す。

# 試作読み出し回路

## ■ 試作回路の課題

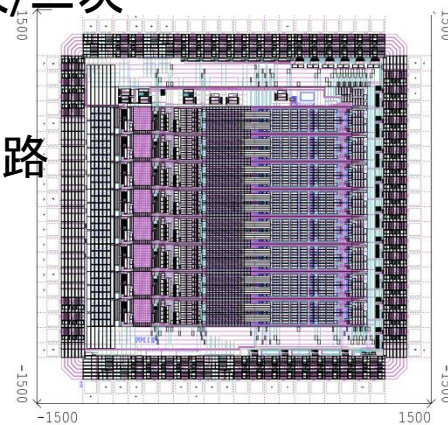
- 読み出し速度 > 10Mpix/sec
- ノイズレベル < 30e-
- 消費電力 < 6mW/ch

## ■ 完成品

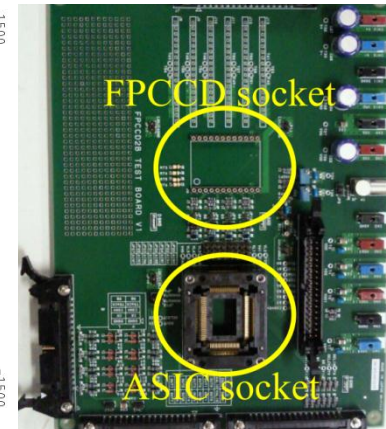
- 0.35umTSMCプロセス
- ASICチャンネル数: 8 ch
- チップサイズ: 4.3mm × 4.3mm
- 信号 8 ビット (10CK/conversion, 100MHz CK)

第二次試作回路  
レイアウト

第一次/二次  
第三次  
試作回路

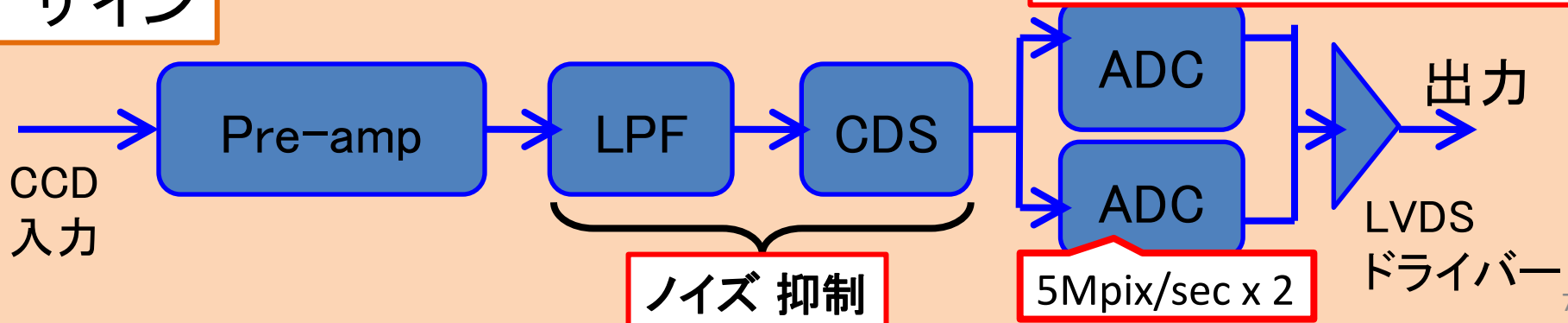


第二次試作回路  
テストボード



電荷再分配型 ADC  
(低消費電力 & 比較的高速)

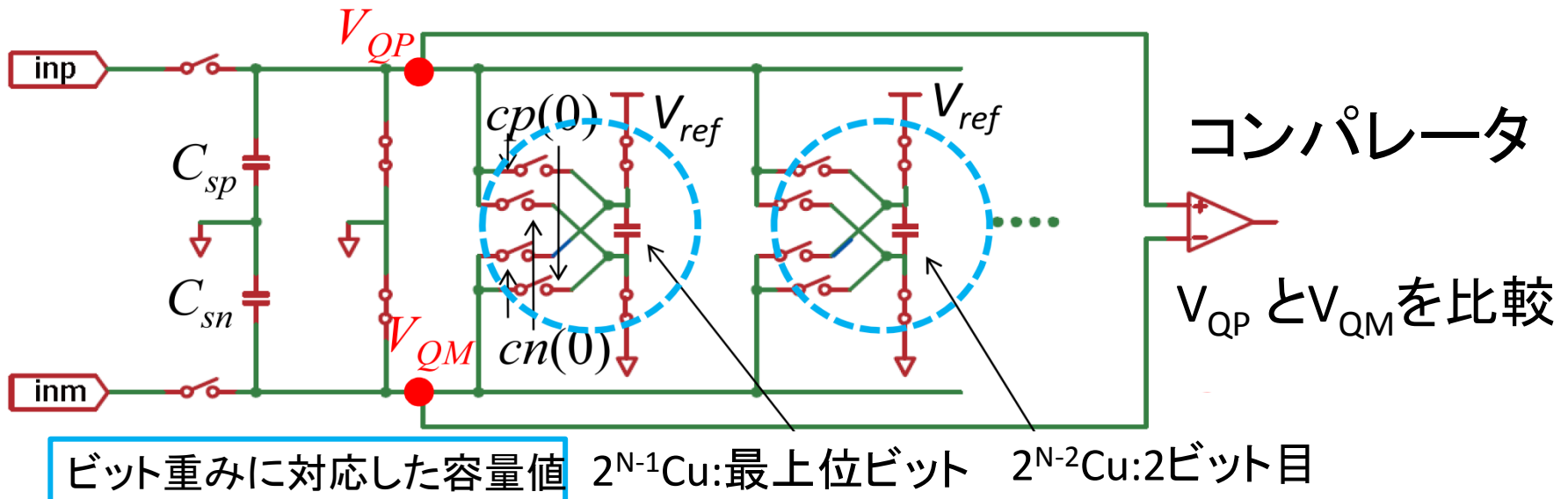
## デザイン



# 電荷再配分型ADC

## ■ 動作原理

1.  $C_{SP}$ と $C_{SN}$ で信号を獲得し、 $V_{QP}$ と $V_{QM}$ を比較。  
→最上位ビットを決定
2. 1.の結果よりcp,cnのどちらかを導通。  
→ $V_{QP}$ と $V_{QM}$ を比較→2ビット目決定。  
...繰り返し。

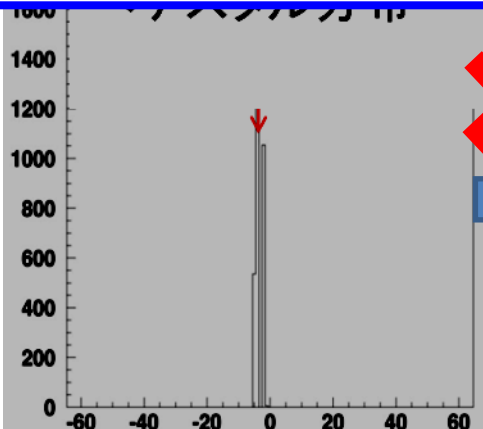




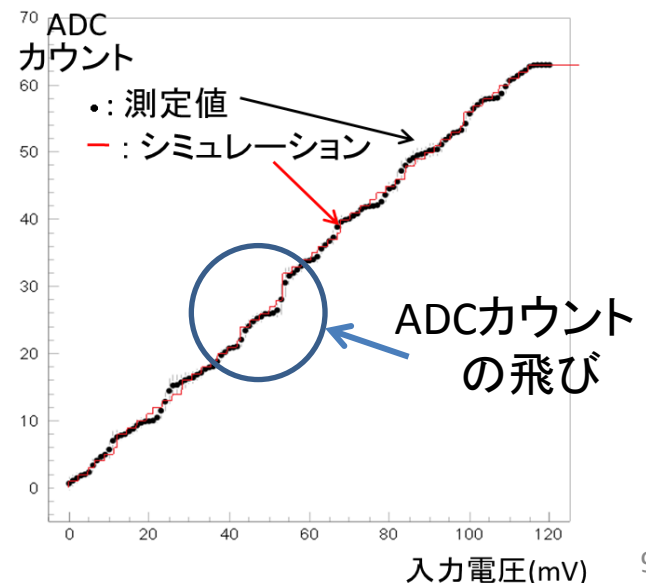
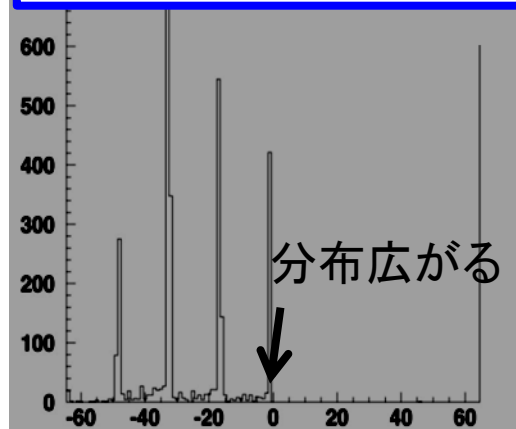
# 第一次試作回路の問題点

- 読み出し速度の限界(1.5Mpix/sec)
  - ADCのコンパレータへの供給電流不足の可能性。
- ADC出力カウントに大きな飛びが見られる。
  - 浮遊容量の存在により、ADCのコンデンサアレイの容量比が崩れている可能性。

1.5Mpix/sec ADC出力  
ペデスタル分布



5Mpix/sec ADC出力  
ペデスタル分布



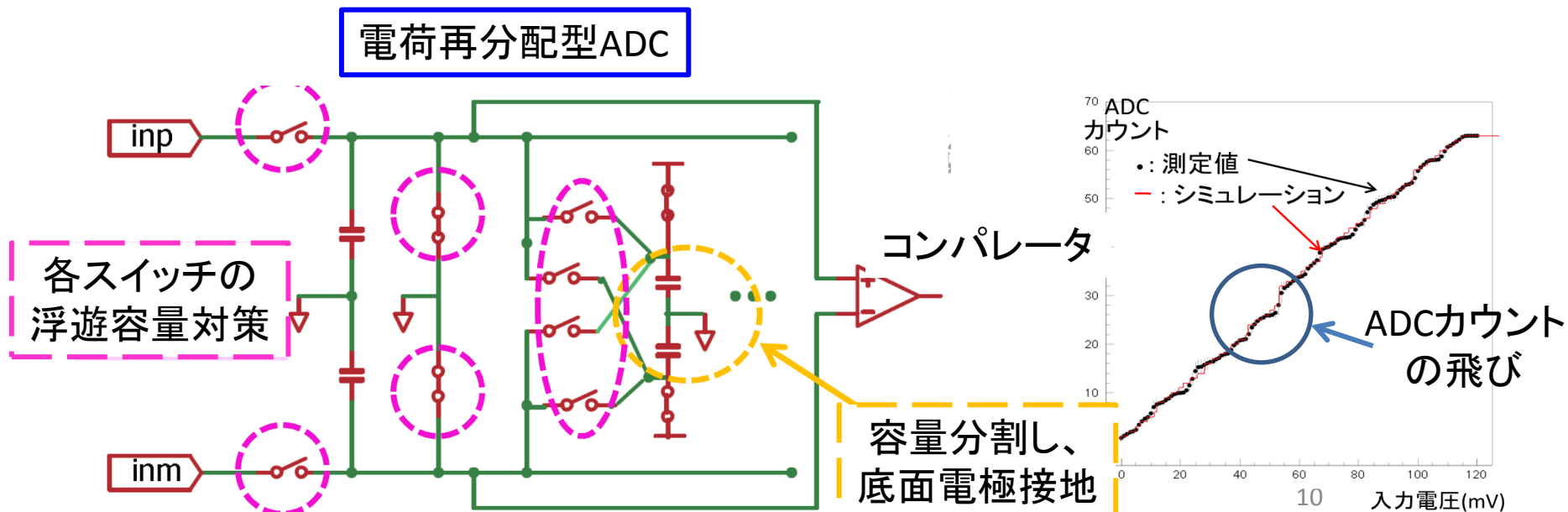
# 第二次試作回路での改良点

## ■ 読み出し速度対策

- ADCコンパレータの回路の電源強化のため、ピン数 80→100

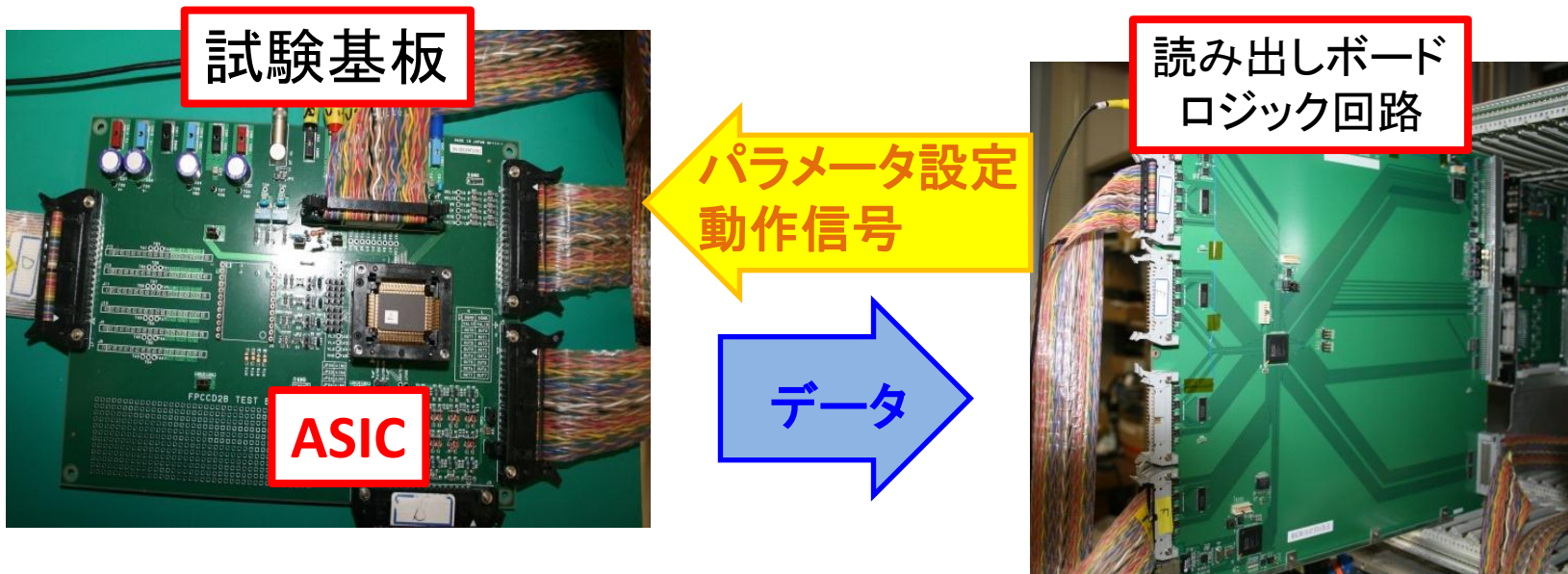
## ■ ADCカウン트의飛びの対策:

- GNDとの間やスイッチにつく浮遊容量の影響抑制。



# 試験システムのセットアップ

- FPGAに回路ロジックを実装。
- VME bus 経由でのデータ転送を行った。
- SiTCP も使用可能。



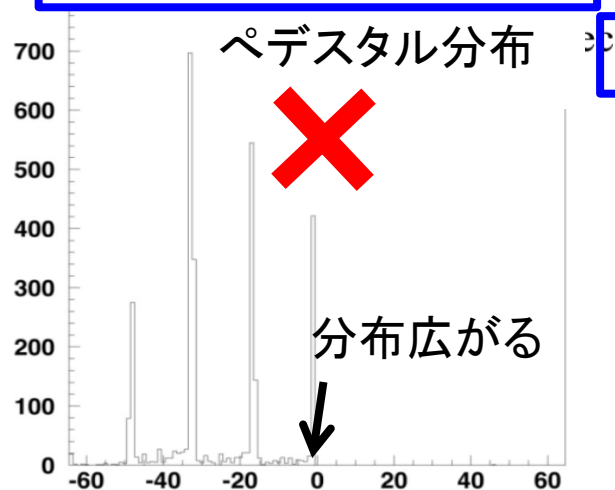
# 第二次試作読み出し速度

## ■ 10Mpix/sec(100MHz CK)での動作確認をした。

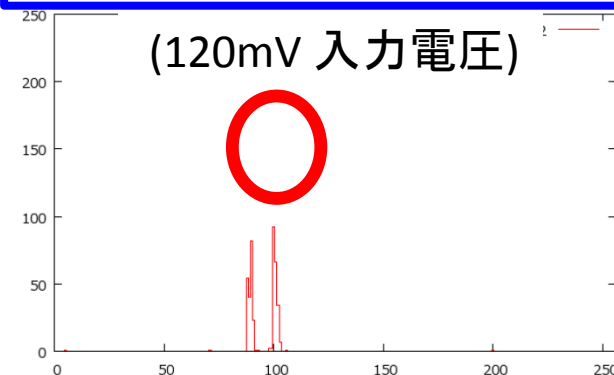
- 2個のADC出力の特性の違いが見えている。  
(back endで修正可能)
- 異常なADC出力がみられる。

➤ 線形性の精度評価、ADC出力異常の原因究明を行っている。

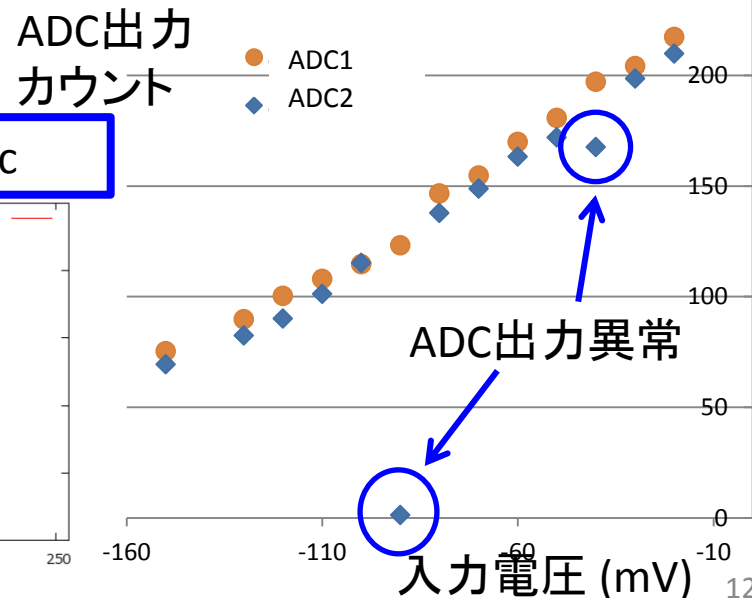
一次試作5Mpix/sec



第二次試作10Mpix/sec



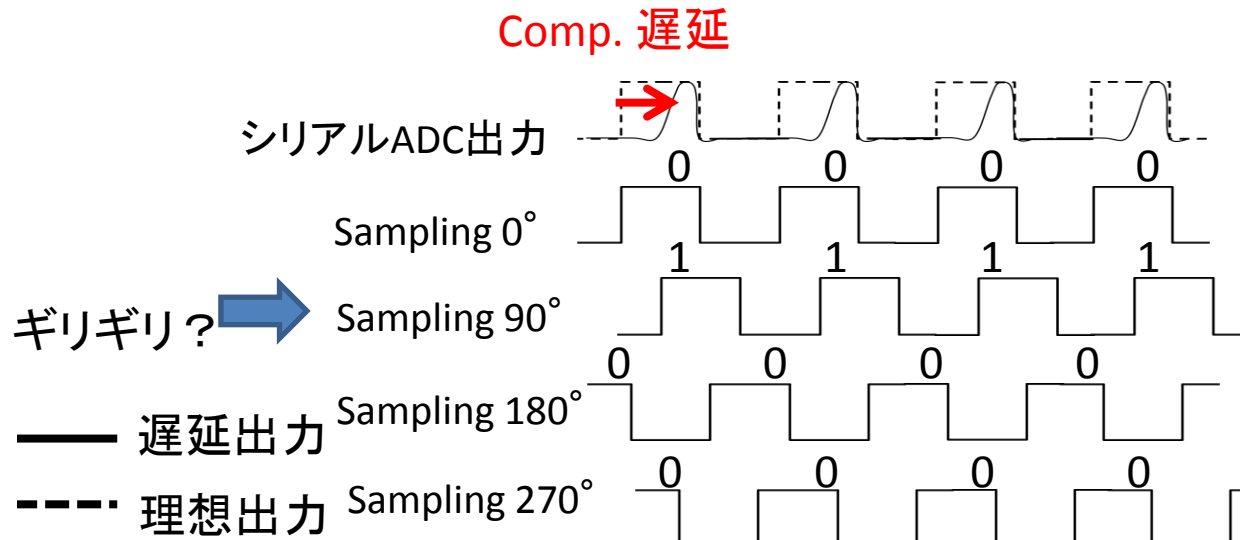
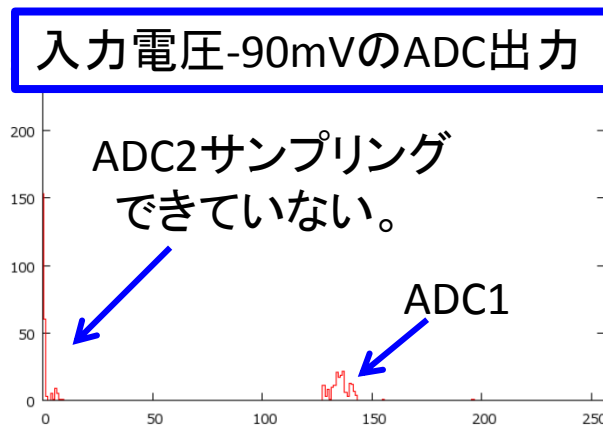
第二次試作10Mpix/sec線形性



# ADC出力異常原因の可能性

## ■ コンパレータによる遅延

- コンパレータによる遅延によりADC出力のパルス幅が短くなる。
  - 100MHz クロックの4 位相を使い実効的に400MHzサンプリングを行った。
- サンプリングをギリギリのタイミングで行っていた可能性がある。





# 消費電力

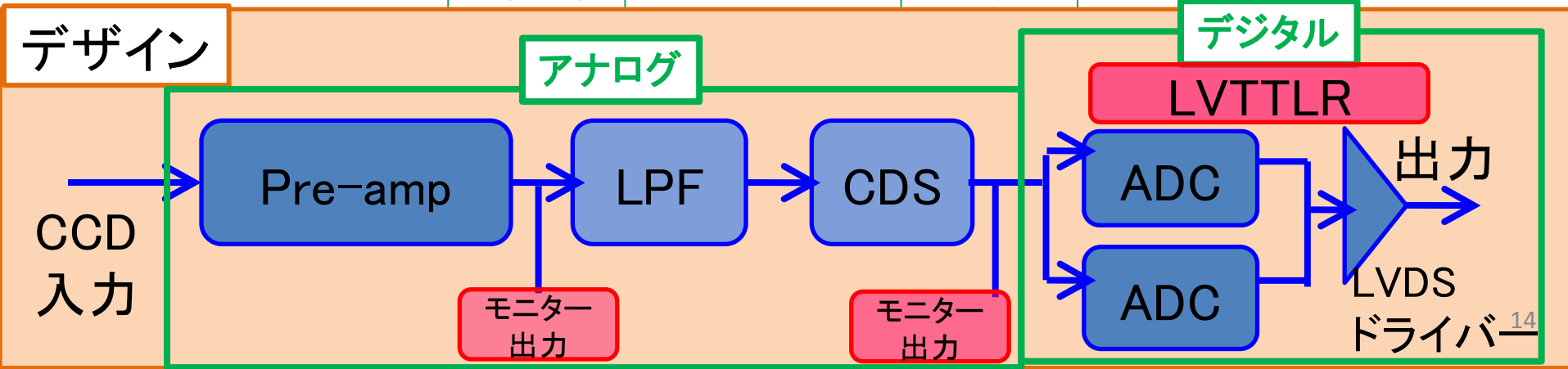
- 要求消費電力 < 6mW/ch (10Mpix/sec, 電源電圧1.65V)
  - デジタルとアナログの消費電力は、同じオーダー。
  - 次期試作回路の主な目標: 消費電力を1/5に削減。
  - モニター出力offできるデザインに。LVTTTL(パラメータ信号のレシーバ)にDC電流流れなくする。

測定消費電力 [mW/ch] |V|=1.65(V)

Ibias(uA)	Pss(mW)	Pdd(mW)	Pss1(mW)	Pdd1(mW)	合計
100	5.94	6.52	9.80	8.56	30.8

アナログ

デジタル



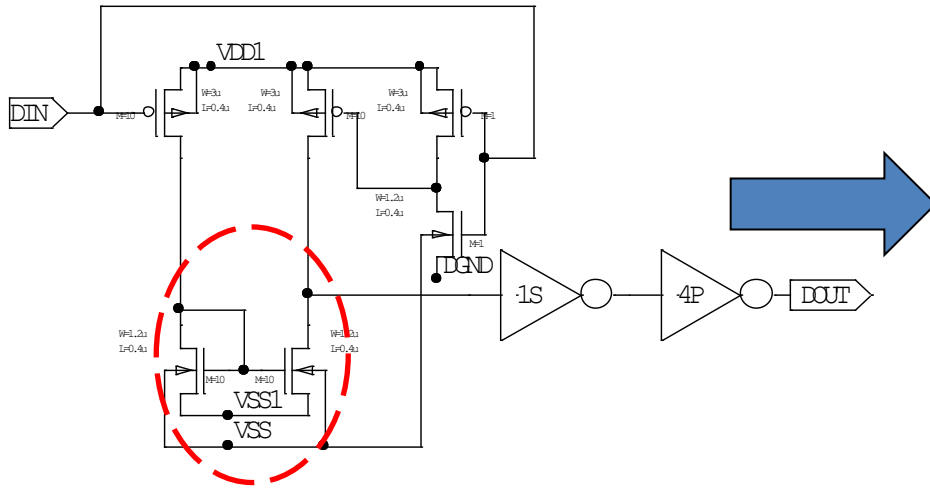
# まとめ

- 読み出し速度とノイズレベルの要求を満たすのを課題として第二次試作回路が製作された。
- 読み出し速度
  - **第一次試作回路では難しかった10Mpix/sec 読み出しの動作確認ができた。**
  - 線形性の精度評価を行うと共にノイズの評価を行う。
- 消費電流
  - 第二次試作回路の消費電流の測定を行った。第三次試作回路では消費電流を1/5に削減しなければならない。
  - シミュレーションより低消費電力実現の方法を検討した。

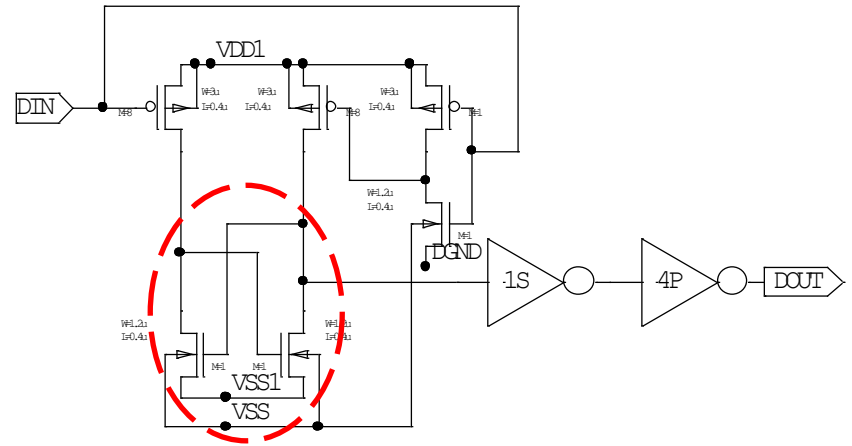
# デジタル消費電流

- 10Mpix/sec における測定消費電流: 48 mA(ASIC全体)
- シミュレーション
  - LVTTLR ... pre-amp, LPFの設定のための低電圧TTL信号を受信するレシーバ。
    - 入力電圧0(V)のとき: 1セル 1.3mA
    - 最大消費電流: 22mA
  - DC消費電流が最小化されるようにデザインを変える。
- プロセスの変更: 0.35um→0.25um(もしくは0.18um)
  - 動的消費電流の削減が期待できる。

# LVTTLR



$I_{dc} = 1.33 \text{ mA}$



No DC Current

# 消費電力対策シミュレーション

## ■ アナログ消費電流

– アナログバッファ(ABUF)で大部分消費。

➤ ABUF(アナログバッファ)を用いるモニターをoffできるようにデザインを変える。

## ■ デジタル消費電流

– LVTTLR ... pre-amp, LPFの設定のための低電圧TTL信号を受信するレシーバ。

– 入力電圧0(V)のとき: 1セル 1.3mA

– 最大消費電流: 22mA

(ASIC全体のデジタル消費電流48mA)

➤ DC消費電流0にするデザインを変える。

アナログ動的電流(I<sub>dd</sub>)

