

ilcのための高精細CCD崩壊点検出器 読み出し回路の研究

2012.2.7 修士論文発表

加藤恵里子



目次

- ILC及び高精細CCD(FPCCD)崩壊点検出器の紹介
- FPCCD用読み出し回路の概要について
 - － 要求性能、回路全体の構成
- 第二次試作回路について
 - － 一次試作からの対策、実機での評価結果
- 第三次試作回路について
 - － 二次試作での問題点と対策、シミュレーション評価結果
- まとめ

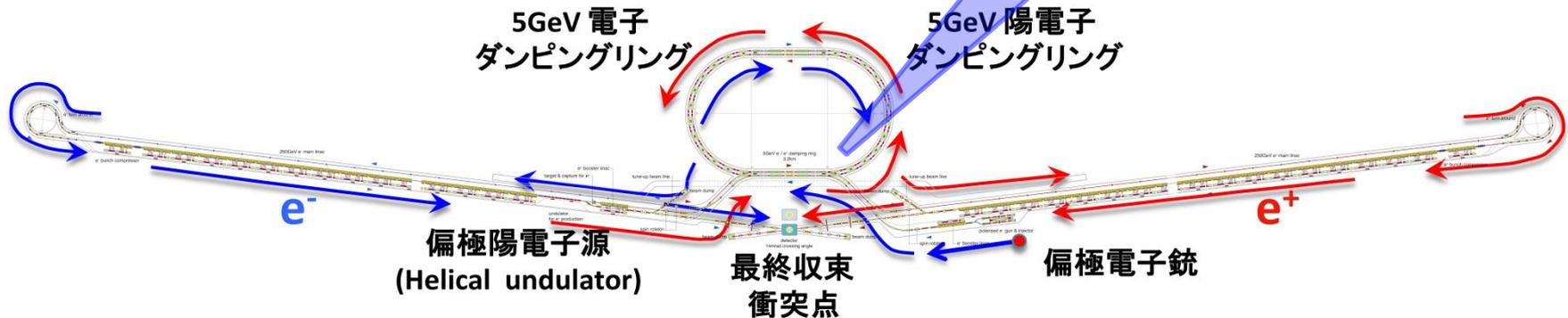
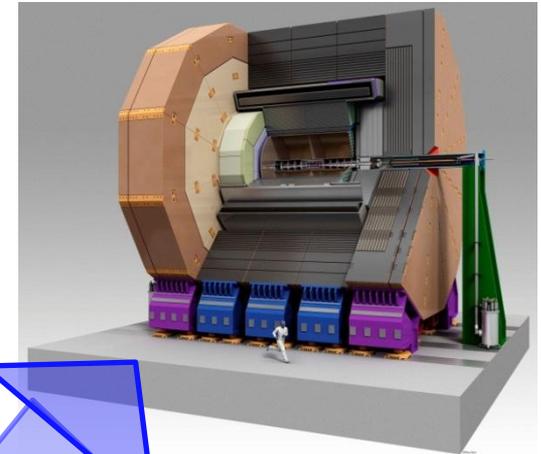
研究テーマ



国際線形加速器(ILC)

■ 次世代電子陽電子線形加速器

- 全長31km
- 重心エネルギー: 500GeV(\Rightarrow 1TeV)
- 最大ルミノシティ: $2 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$
- 積分ルミノシティ: 500fb^{-1} (4年間)

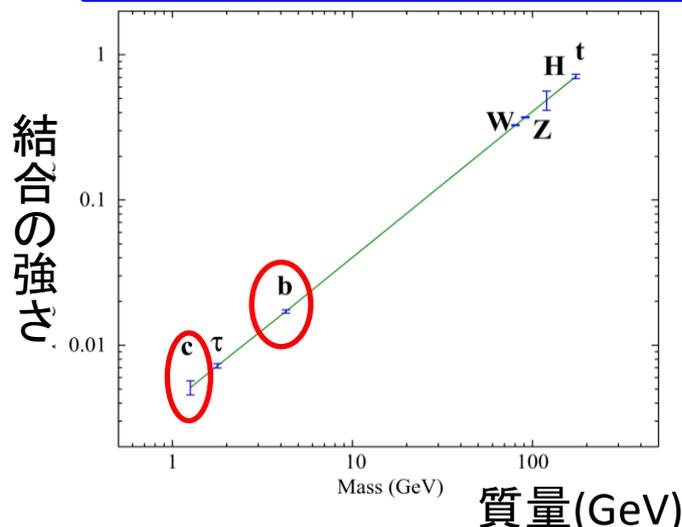


ヒッグスの物理の精密測定及び新物理探索を目的とする³

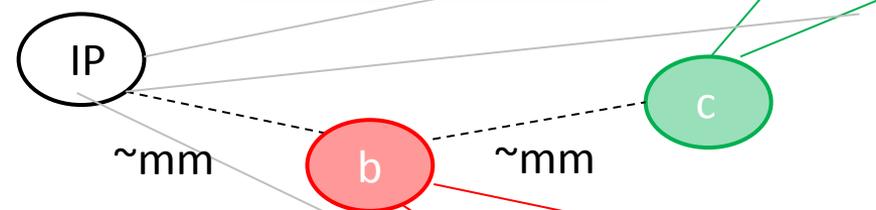
物理と測定精度

■ヒッグス機構の検証

質量と結合定数の関係



フレーバータグ



- 軽いヒッグスは bb, cc へ崩壊する
- 高効率、高純度のフレーバー同定
 - バートックスの再構成が重要

崩壊点分解能

$$\sigma = 5 \oplus \frac{10}{p\beta \sin^2 \theta} (\mu\text{m})$$

が要求される。



ILCの崩壊点検出器

■ 崩壊点検出器

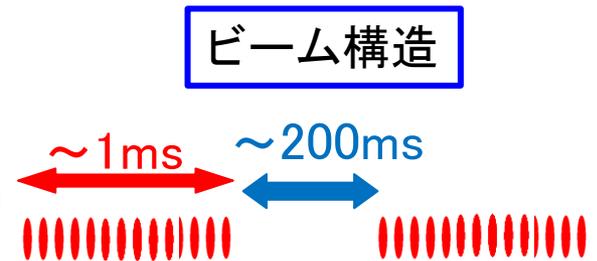
- 高い崩壊点分解能  衝突点近傍に設置
- 正確な飛跡再構成  ピクセル占有率~1%

■ 問題

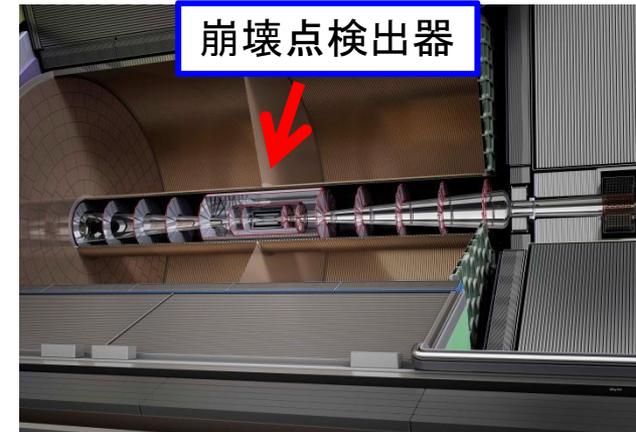
- 低エネルギーe+e-対バックグラウンドが大量に生成。
- 20 μ m \times 20 μ mピクセルの場合、ピクセル占有率10%以上

■ 解決策

- トレインを時間分割(~20回)し、読み出す
- **ピクセルを高精細にする**(トレイン間読み出し)



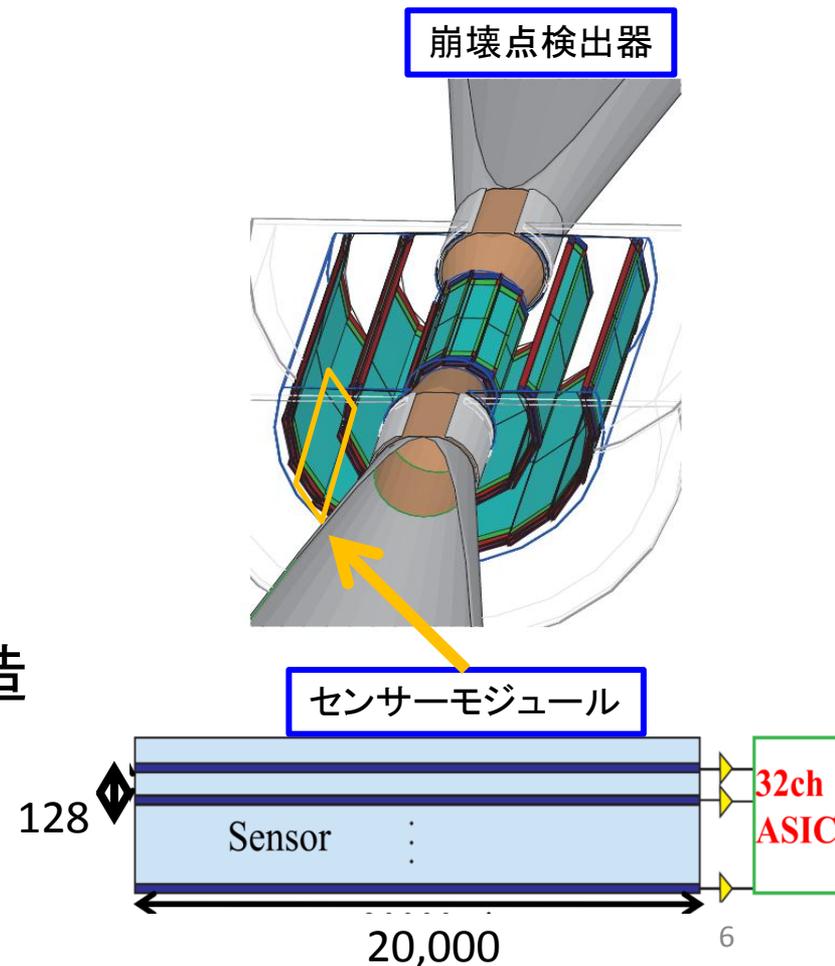
- **高精細CCD(FPCCD)崩壊点検出器を開発** 1トレイン ~1300 バンチ
ILCの検出器の正式なオプションとなっている。



高精細CCD崩壊点検出器

■ 高精細CCD(FPCCD)崩壊点検出器とは

- 高精細CCD(FPCCD)
 - ピクセルサイズ: $5 \times 5 \mu\text{m}^2$
 - 有感領域の厚み: $15 \mu\text{m}$
 - 全空乏化 → 電荷の拡散抑制
- 総読み出しチャンネル数 6,080ch
 - $20,000 \times 128 \text{ pix/ch}$
- 総ピクセル数: 1.6×10^{10}
- ジオメトリ: ダブルレイヤー3層構造





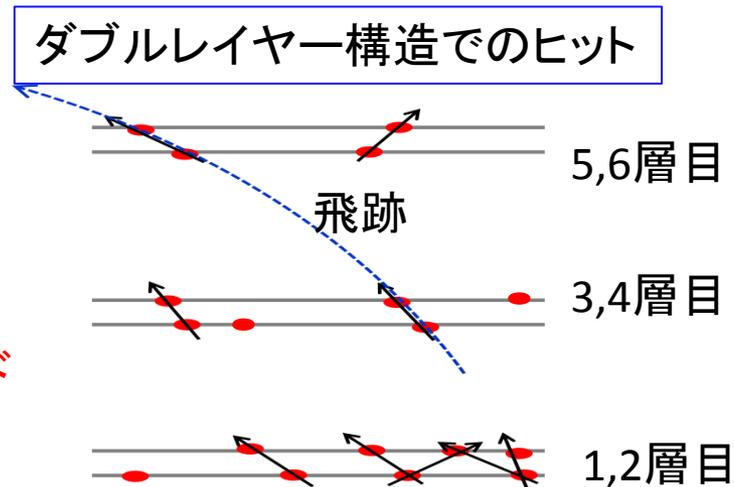
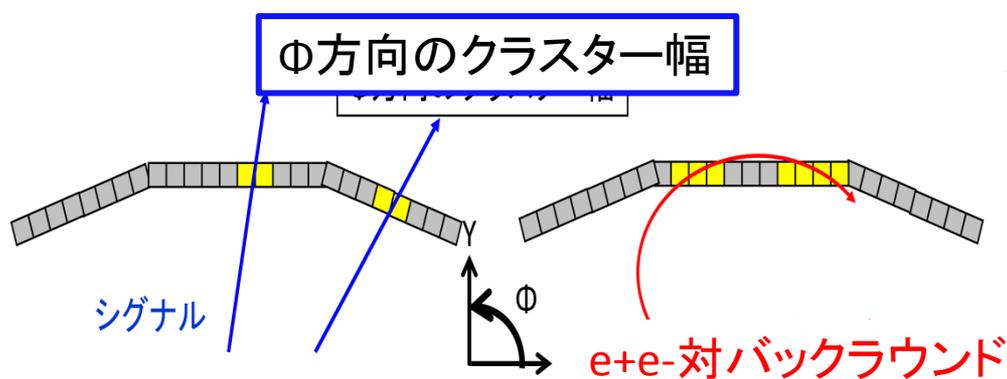
FPCCD崩壊点検出器の特徴

■ FPCCD構造

- 高精細ピクセル
- ダブルレイヤー
- 全空乏化
- 薄い
- トレイン間読み出し

■ 特徴

- 高い位置分解能($\sigma_{R\Phi} = 1\mu\text{m}$ 以下)
- バックグラウンド耐性が強い。
— 入射方向によるバックグラウンド除去
- 2粒子トラックの分解能力が高い
- 多重散乱が少ない。
- ビーム由来の高周波ノイズの影響を受けない





読み出し回路への要求性能

■ 消費電力 < 6mW/ch

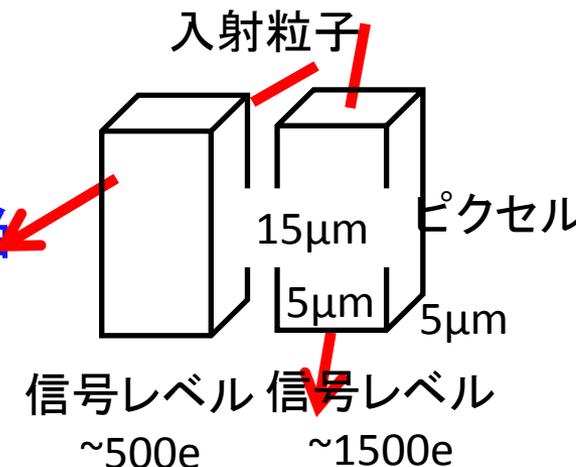
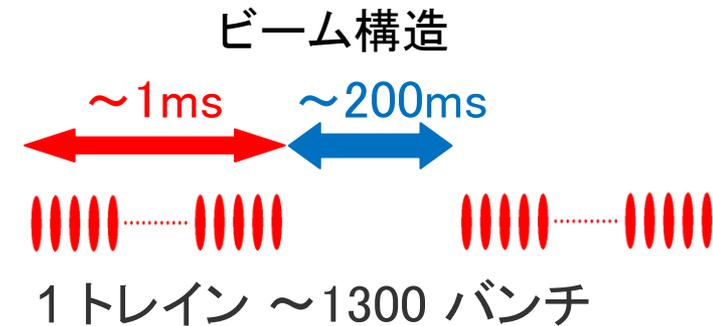
- クライオスタット(-40°C)内に設置。
- 総消費電力<100W

■ 読み出し速度 > 10Mpix/sec

- トレイン間に読みだす
- 20,000x128pix/200ms

■ CCDからの入力信号測定精度 < 30電子相当

- 小さな信号レベル : ~500電子
- ノイズレベル、AD変換精度



➤ これらの要求を満たす読み出し回路の開発を目指す。



ASICデザインの基本方針

■ 消費電力<6mW/ch

- 読み出し回路での主な消費電力源はADC
- 電荷再分配型ADCを使用

■ 読み出し速度>10 Mピクセル/s

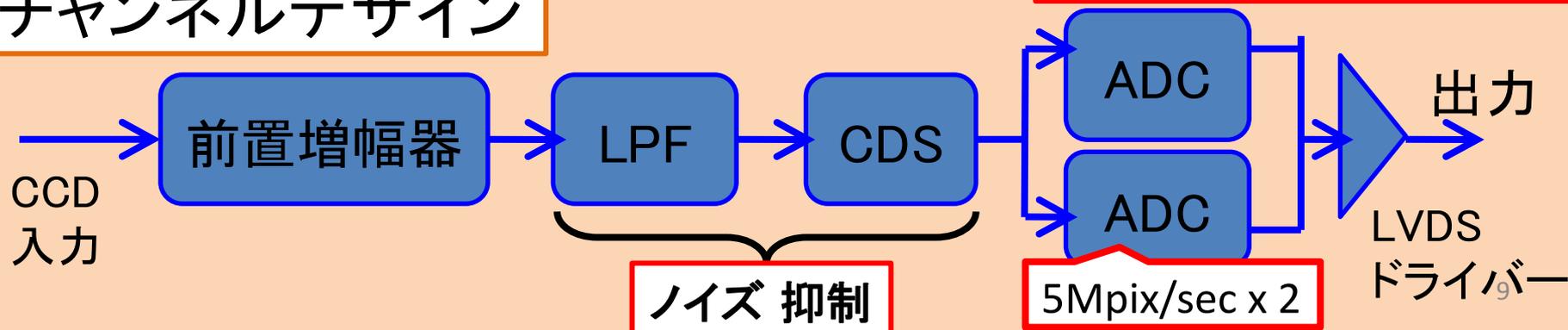
- 5Mピクセル/sのADCを二つ用いる。

■ 入力信号の測定精度 <30電子相当

- ノイズ:ローパスフィルタ(LPF)、相関二重サンプリング(CDS)をもちいる。
- AD変換: 多bitADC (5bit以上)

電荷再分配型 ADC
(低消費電力 & 比較的高速)

1チャンネルデザイン





電荷再分配型ADC

■ 電荷再分配型ADCとは

- 0の基準と信号の入力電荷を比較。(ビット決定ごとに変化)
- 比較結果によって基準電荷の足し引きを決める。(電荷再分配)
- 基準電荷は、容量に基準電圧を与えることで作り、ビットに対応した大きさになっている(バイナリ探索)

■ 低消費電力

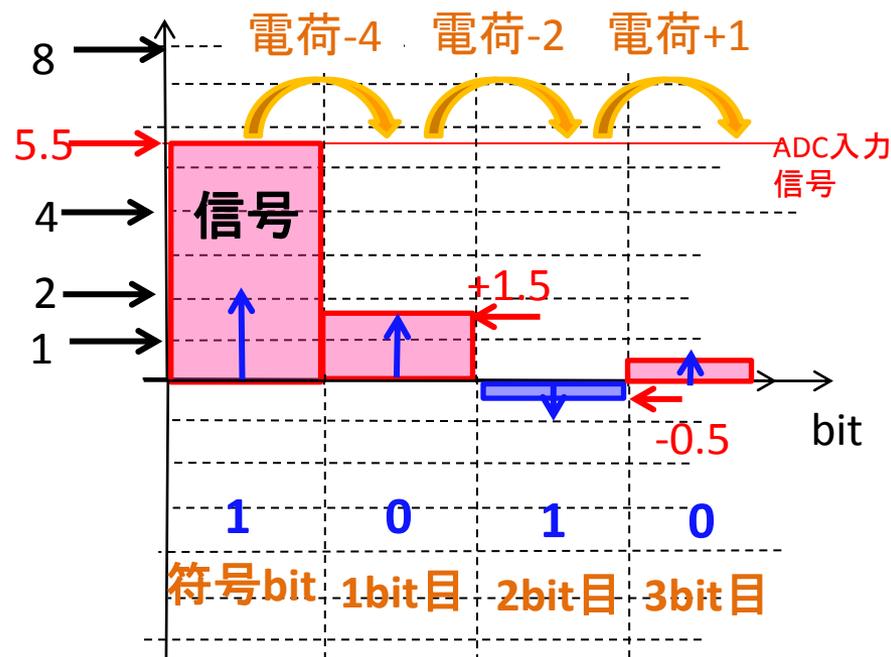
- 逐次比較→コンパレータ1個

■ 高精度

- バイナリ探索

■ 読み出し速度

- 要求性能を満たせる程度まで実現可能



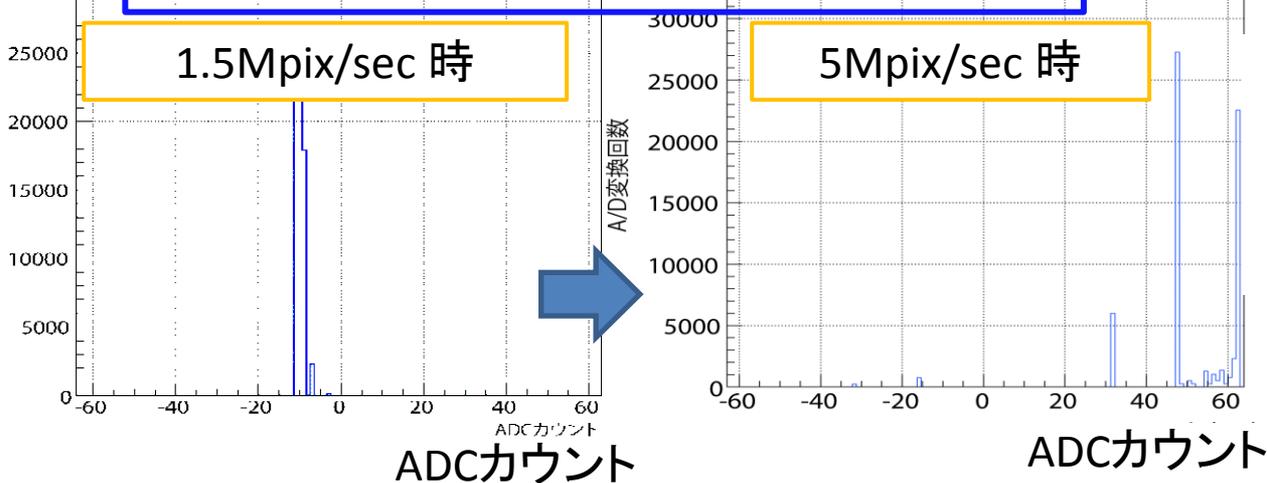


試作回路開発の現状

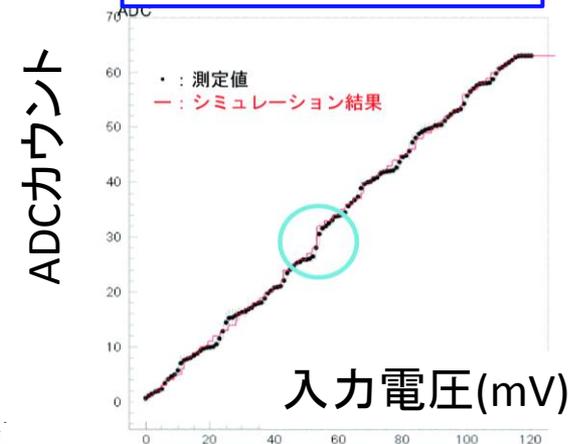
過去の試作回路の結果

試作回路	速度	ノイズ	読み出し精度	消費電力
要求性能	10Mpix/s	合わせて30電子相当以下		6mW/ch
一次試作回路	1.5Mpix/s ×	40電子 ×	50電子相当 ×	13 mW/ch × @1.5Mpix/s

読み出し速度の限界ペDESTAL分布



読み出し精度限界



➤ 本研究で要求性能を満たす試作回路の開発を目指す。



二次試作回路での対策

■ 読み出し速度の対策

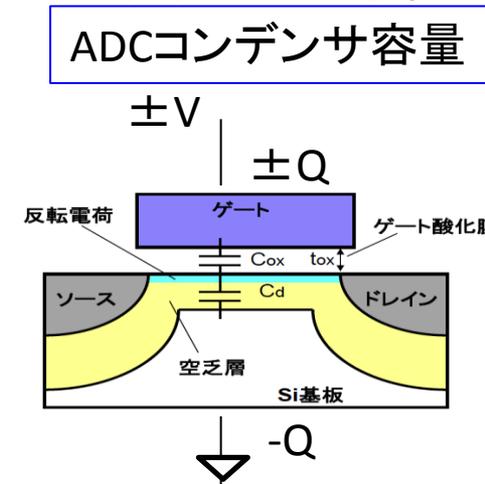
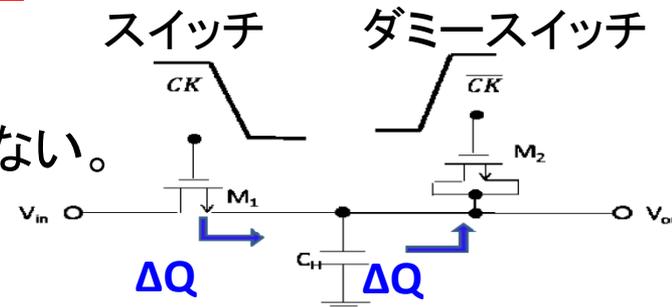
- コンパレータに流入する電流が高速動作時に不足
- 電源端子を増やし、電流源の安定化を図る

■ 読み出し精度の対策

- 浮遊容量によりADCコンデンサアレイの容量比が崩れている。
- GNDから負電荷を供給するのをやめた。
- CMOSスイッチを構成するトランジスターの個数をビット重みに比例させる。
- ダミースイッチの設置

■ 消費電力対策

- 二次試作回路では行わない。





二次試作回路とセットアップ

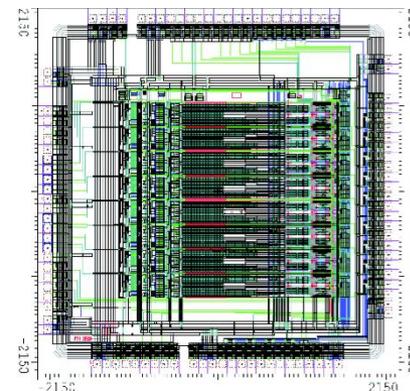
■ 第二次試作完成品

- 0.35umTSMCプロセス
- ASICチャンネル数: 8 ch
- チップサイズ: 4.3mm × 4.3mm
- 信号 8 ビット(10CK/conversion, 100MHz CK)

■ セットアップ

- CCDの信号を模擬したテストパルス信号を送ってASICの評価を行った

第二次試作回路レイアウト



試験基板

テストパルス

ASIC

パラメータ設定
動作信号

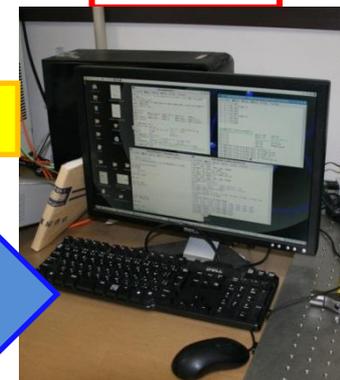
データ

読み出しボード
ロジック回路

制御

データ

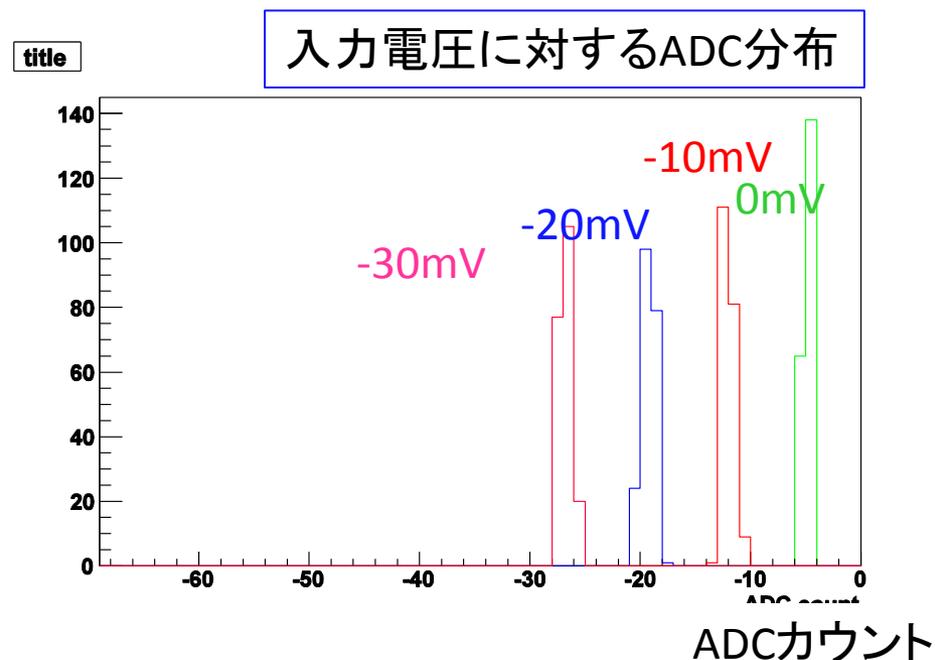
PC制御





読み出し速度評価

- 10Mピクセル/秒動作時の各入力電圧に対するADC分布を見た。
 - 入力電圧に対して、一定のADC分布をしている。
- 10Mピクセル/秒の要求性能の読み出し速度を達成できた。





読み出し精度評価

■ 微分非直線性(DNL)

入力変換線を導出し、ADC出力→入力信号 変換をする。
DNLは、データの入力変換線(フィット線)からのズレ。

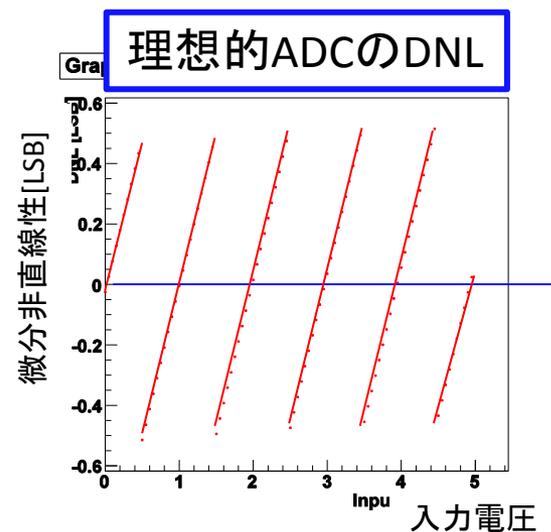
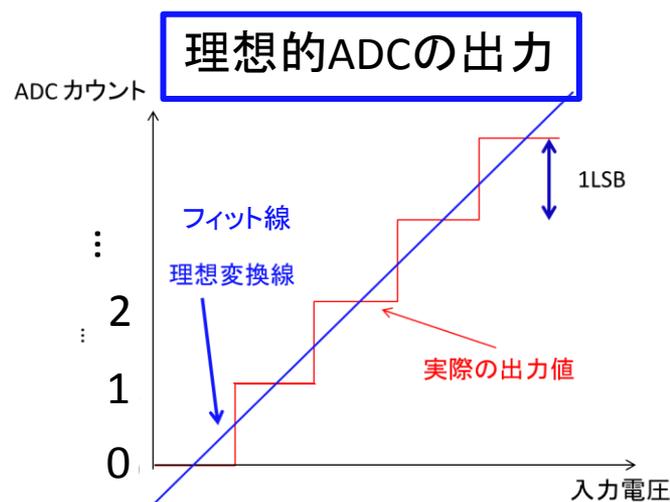
➤ DNLを用いて入力変換線の精度が評価できる。

$$DNL \equiv f(x) - data(x)$$

x : 入力電圧

$f(x)$: フィット線(入力変換線に相当)

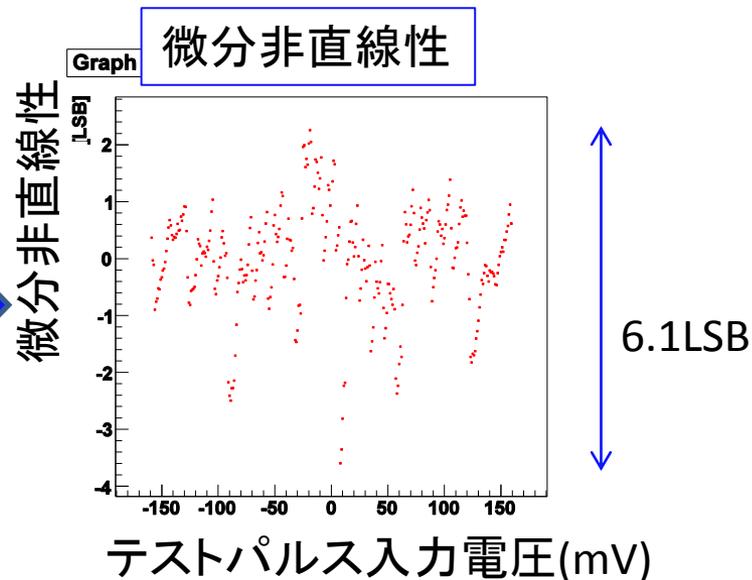
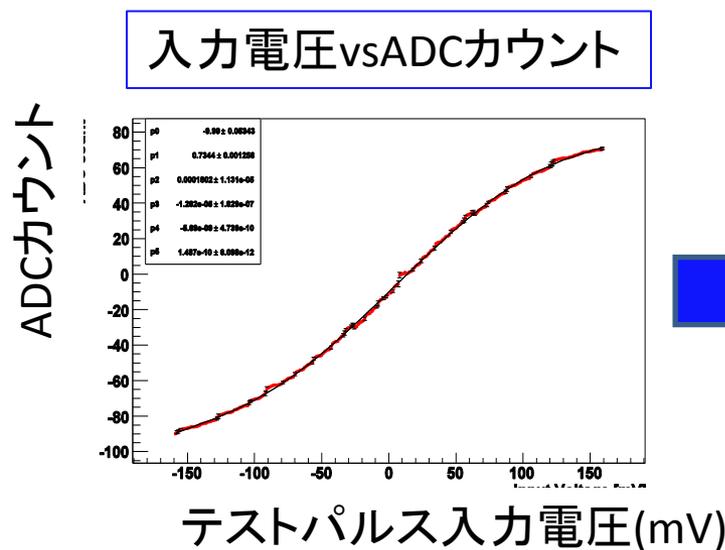
$data(x)$: 入力電圧に対するADC出力





入力変換精度評価

■ 微分非直線性



DNLは、6.1LSBの幅を持つ。

$$\text{入力変換の精度} = \frac{6.1}{\sqrt{12}} = 1.8 \text{ [LSB]} \quad (15\text{電子相当})$$

入力信号測定精度と要求性能

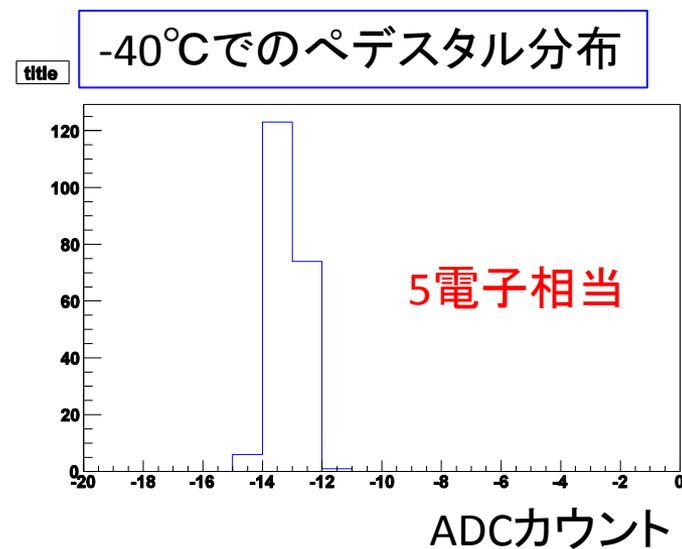
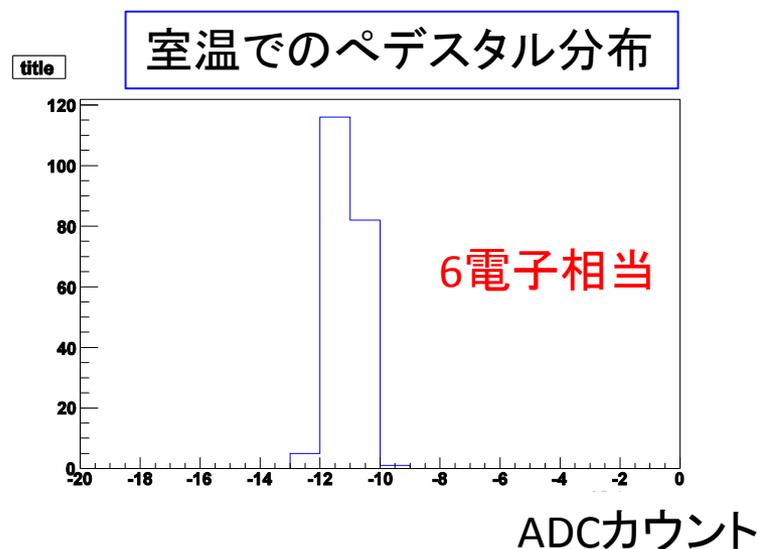
- ペDESTAL分布からASICのノイズレベルを見積もった。

(10Mpix/s動作時)

- 室温、低温動作時(-40°C)で6,5電子と同程度。

$$\sqrt{\text{入力換算精度}^2 + \text{ノイズ}^2} = 16 \text{電子相当} < 30 \text{電子}$$

- 要求性能を満たしている。





二次試作回路の問題とまとめ

■ 二次試作回路における改善

- 読み出し速度、ノイズレベル、読み出し精度において改善が見られ、要求性能を満たすようになった。

■ 二次試作回路の問題点

- 消費電力**30.8mW/ch** >6mW/ch
- アナログ、デジタル同程度。シミュレーションと一致。

➤ 消費電力を要求性能を満たした三次試作回路を開発する。

試作回路	速度 [Mpix/s]	ノイズ[電子]	入力変換精 度[電子相当]	消費電力 [mW/ch]	シミュレーション
要求性能	10	合わせて30電子相当以下		6	
一次試作	1.5	40	50	13@1.5Mpix/s	
二次試作	10	6	15	30.8	30mW/ch
		16電子相当		一致	

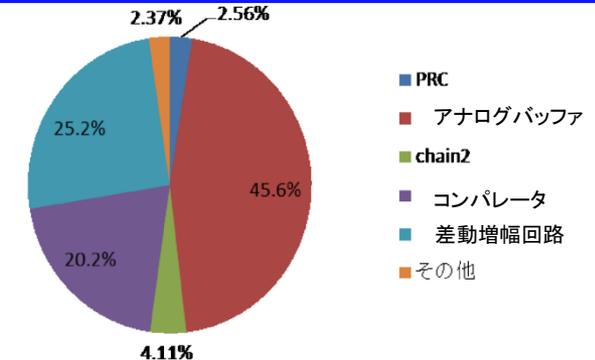
三次試作での消費電力対策

■ 二次試作回路での消費電力

測定消費電力

デジタル消費電力	アナログ消費電力	総消費電力	要求性能
12.5[mW/ch]	18.4[mW/ch]	30.9[mW/ch]	6[mW/ch]

アナログ消費電力と部分回路



■ アナログ消費電力対策

- モニター回路オフ可能に。
- 差動増幅回路除去。→ダイナミックレンジ、非線形性も改善
- 使用していない片方のコンパレータをオフに。

■ デジタル消費電力対策

- パラメータ設定信号の受信機で常に電力消費しているのを0に。(10%削減)
- ADCのビットシフトレジスタを全チャンネル共通なものに。

■ 総消費電力対策

- プロセスの微細化。0.35 μm →0.25 μm



消費電力の改善と副作用

■ 消費電力シミュレーション結果

シミュレーション測定消費電力			
デジタル消費電力	アナログ消費電力	総消費電力	要求性能
3.8[mW/ch]	1.6[mW/ch]	5.4[mW/ch]	6[mW/ch]

➤ 5.4mW/ch の消費電力を達成。要求性能をクリア

■ プロセス微細化のメリット

- 電源電圧の低下
- トランジスタ容量の低下 など....

➤ 消費電力削減

■ プロセス微細化のデメリット

➤ コンパレータの動作速度上昇による微分非直線性の悪化の可能性。

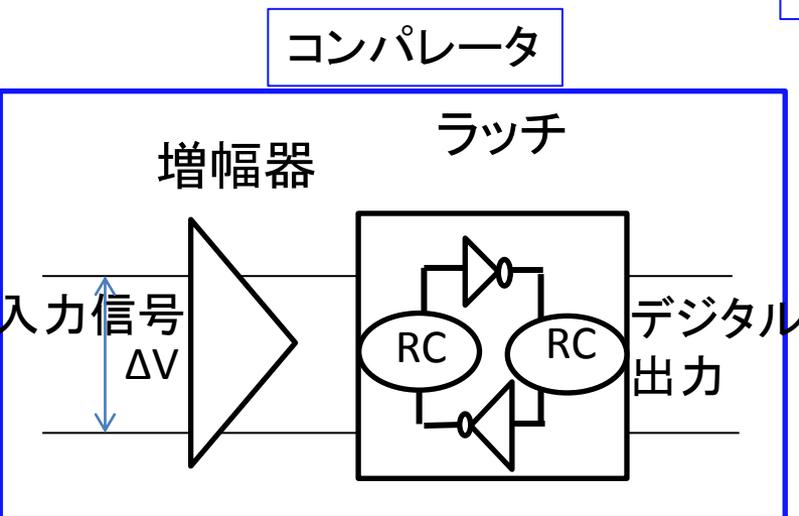


コンパレータ動作速度とDNL

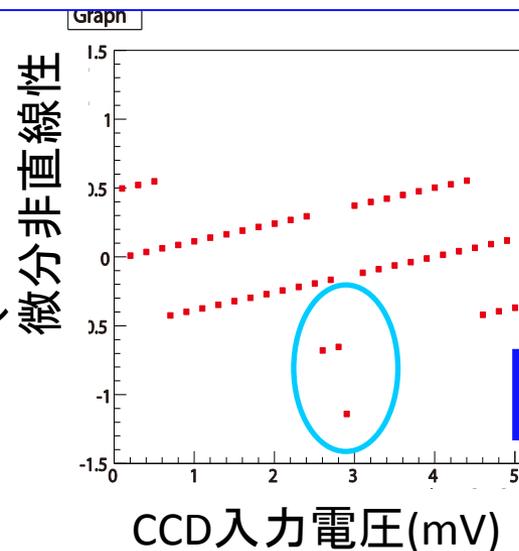
■ コンパレータのスピードコントロール

- コンパレータは、増幅器とビット判断するラッチでできている。
- 動作速度上昇により増幅レベルが不安定になりやすい。
- ラッチで判断間違える。

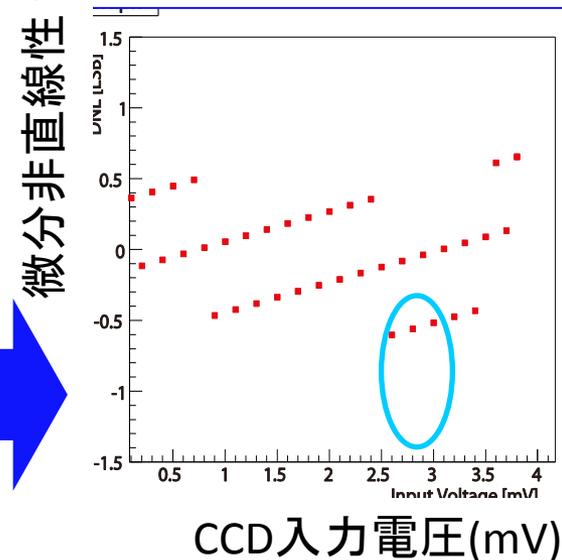
➤ 時定数を調節しラッチの誤動作防止する(スピードコントロール)



スピードコントロール調節前



スピードコントロール調節後





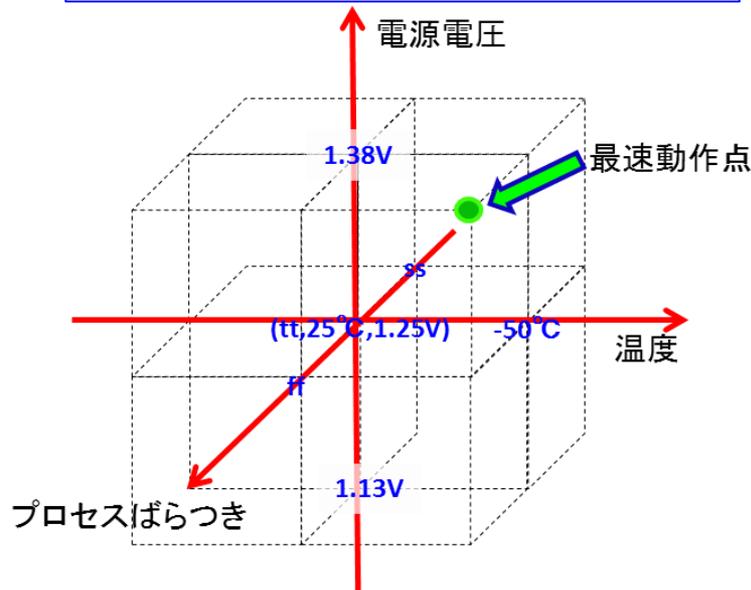
速度パラメータとDNL

■ コンパレータの動作速度に関するパラメータ

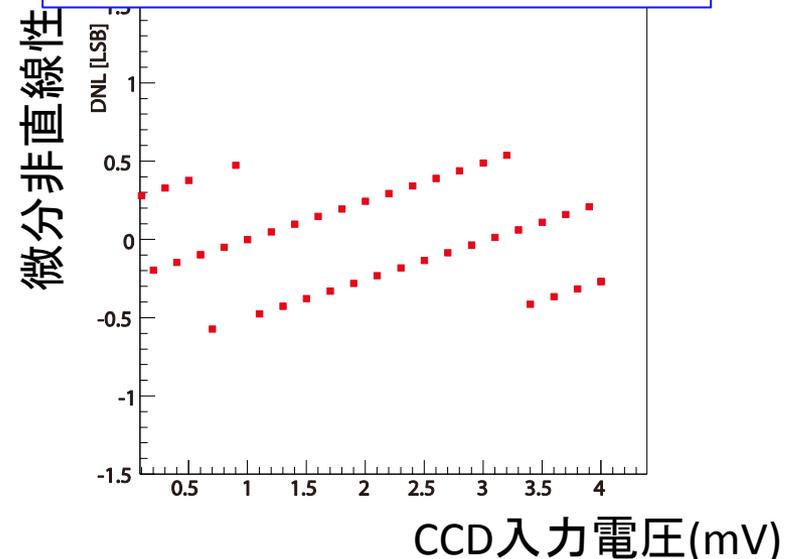
– プロセスばらつき、温度、電源電圧

- デザインパラメータの変動範囲で微分非直線性がスピードコントロールにより、 $\pm 1/2$ [LSB]に抑えられている。

速度依存パラメータと変動範囲



最速動作点での微分非直線性





まとめ

- 二次試作回路
 - 読み出し速度、入力信号測定精度の要求をクリア。
 - 消費電力の問題
- 三次試作回路
 - シミュレーション評価より全ての要求性能をクリア。レイアウト設計発注した。
- 今後
 - レイアウトの配線容量、寄生容量を含めたポストレイアウトシミュレーションを行う。5月に製造発注予定。
 - 二次試作回路のセンサーをつけた放射線テストを行う。

試作回路	速度[Mpix/s]	ノイズ[電子]	入力変換精度[電子相当]	消費電力[mW/ch]
要求性能	10	合わせて30電子相当以下		6
一次試作	1.5 ✗	40	✗ 50	13 @1.5Mpix/s ✗
二次試作	10 ○	6	○ 15	30.8@10Mpix/s ✗
三次試作	10 ○	二次と同程度	○ 1.2	5.4@10Mpix/s ○