

… *ilc* のための高精細CCD
読み出し回路の研究

2012.3.25 日本物理学会

東北大学 加藤恵里子

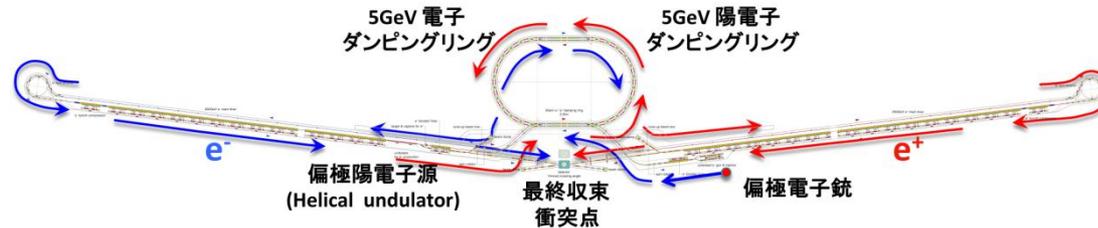
佐藤比佐夫、池田博一、杉本康博、田窪洋介、
宮本彰也、齋藤智之、板垣憲之助、山本均

国際線形加速器(ILC)

■ 次世代電子陽電子線形加速器

- 重心エネルギー: 500GeV(\Rightarrow 1TeV)
- 積分ルミノシティ: 500fb⁻¹(4年間)

➤ ヒッグスの物理の精密測定及び新物理探索をする



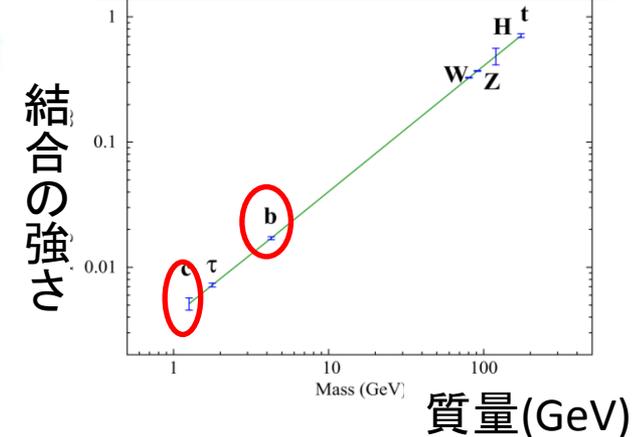
■ 崩壊点検出器への要求

- 高効率、高純度のフレーバー同定
- バーテックスの再構成が重要

➤ 目標崩壊点分解能

$$\sigma = 5 \oplus \frac{10}{p\beta \sin^2 \theta} (\mu m)$$

質量と結合定数の関係





FPCCD崩壊点検出器

■ 崩壊点検出器

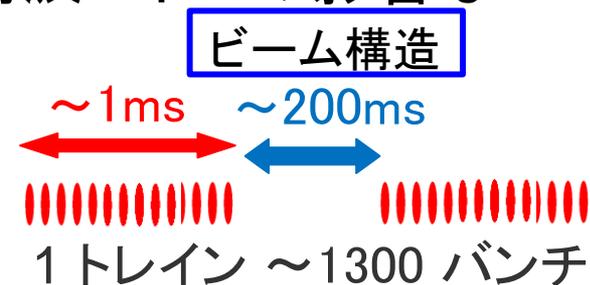
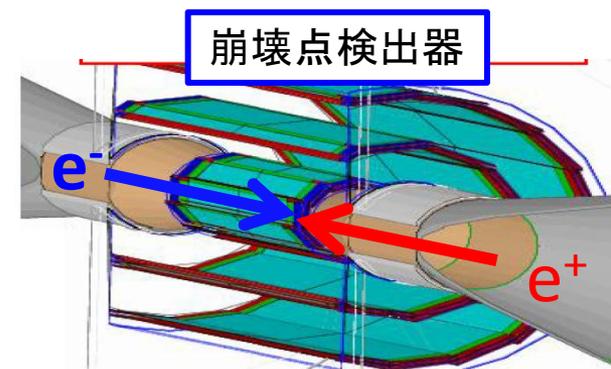
- 高い崩壊点分解能 → 衝突点近傍に設置
- 正確な飛跡再構成 → ピクセル占有率~1%

➤ ピクセルを高精細にする

■ FPCCD(FinePixelCCD)崩壊点検出器

- 😊ピクセルサイズ: $5 \times 5 \mu\text{m}^2$ → 高い位置分解能
- 😊有感領域の厚み: $15 \mu\text{m}$ → 多重散乱が少ない。
- 😊全空乏化 → 高い2粒子分解能力
- 😊ダブルレイヤー3層構造 → バックグラウンド耐性
- 😊トレイン間読み出し → ビーム由来高周波ノイズの影響ない
- 😞総ピクセル数: 1.6×10^{10}

➤ FPCCD用読み出し回路を開発





読み出し回路への要求性能

■ 消費電力 < 6mW/ch

- クライオスタット(-40°C)内に設置。
- 総消費電力<100W

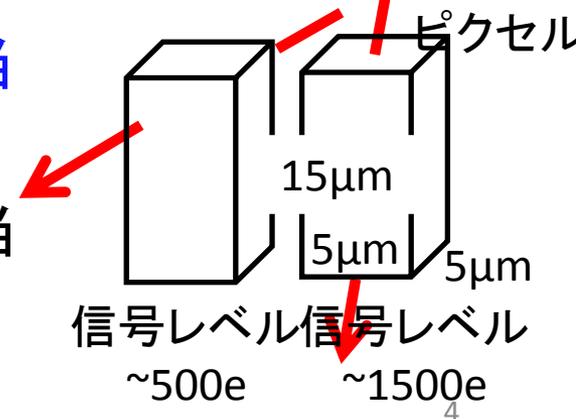
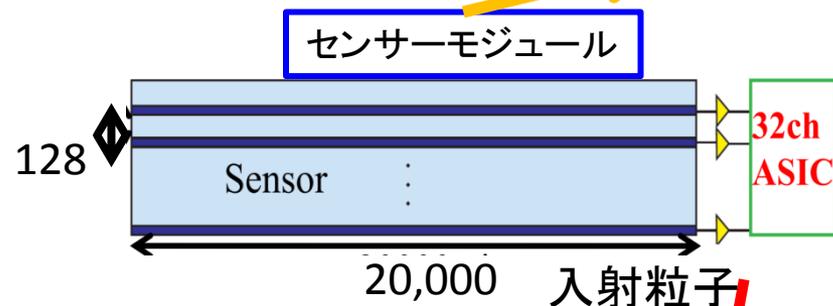
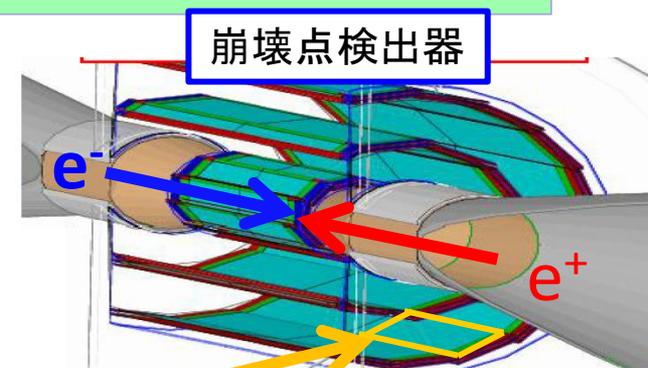
■ 読み出し速度 > 10Mpix/sec

- トレイン間(200ms)読みだし
- 20,000x128pix/200ms

■ CCDからの入力信号測定精度 < 30電子相当

- 小さな信号レベル: ~500電子
- ノイズレベル + AD変換精度 < 30電子相当

➤ 全ての要求を満たす読み出し回路を開発





ASICデザインの基本方針

■ 消費電力<6mW/ch

- 読み出し回路での主な消費電力源はADC
- 電荷再分配型ADCを使用

■ 読み出し速度>10 Mピクセル/s

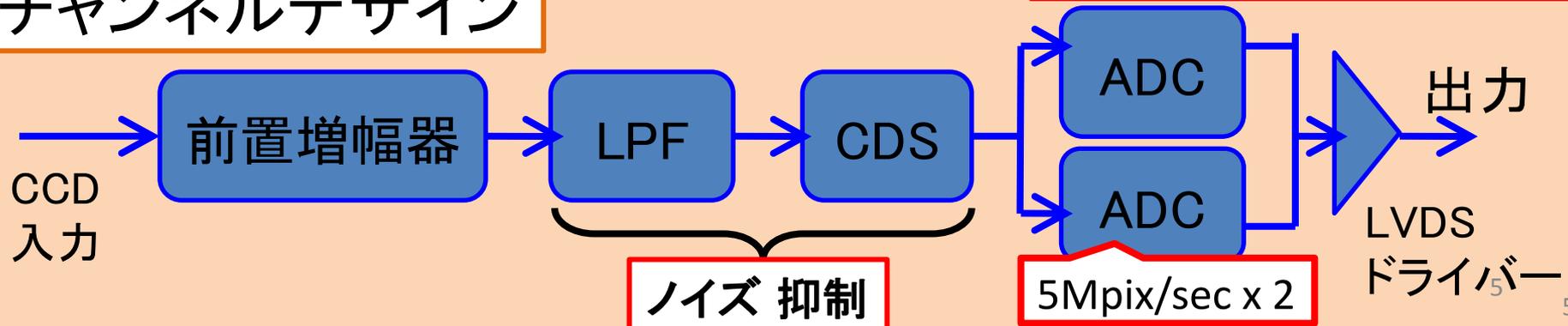
- 5Mピクセル/sのADCを二つ用いる。

■ 入力信号の測定精度 <30電子相当

- ノイズ:ローパスフィルタ(LPF)、相関二重サンプリング(CDS)をもちいる。
- AD変換: 多bitADC (5bit以上)

電荷再分配型 ADC
(低消費電力 & 比較的高速)

1チャンネルデザイン



過去の結果と二次試作回路対策

過去の試作回路の結果

試作回路	速度	ノイズ	読み出し精度	消費電力
要求性能	10Mpix/s	合わせて30電子相当以下		6mW/ch
一次試作回路	1.5Mpix/s ×	40電子 ×	50電子相当 ×	13 mW/ch × @1.5Mpix/s

■ 読み出し速度の対策

- コンパレータに流入する電流が高速動作時に不足
 - 電源端子を増やし、コンパレータ供給電流の安定化を図る

■ 読み出し精度の対策

- 浮遊容量によりADCコンデンサアレイの容量比が崩れている。
 - ADCのスイッチ、ADCコンデンサ容量に対する寄生容量対策を行った。



二次試作回路とセットアップ

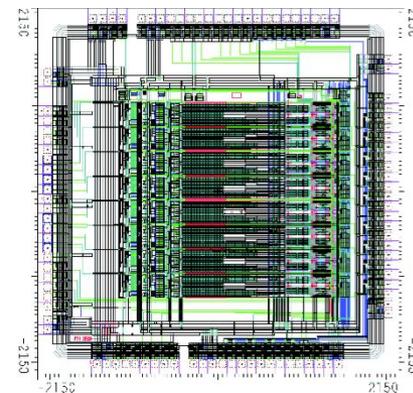
■ 第二次試作完成品

- 0.35umTSMCプロセス
- ASICチャンネル数: 8 ch
- チップサイズ: 4.3mm × 4.3mm
- 信号 8 ビット(10CK/conversion, 100MHz CK)

■ セットアップ

- CCDの信号を模擬したテストパルス信号を送ってASICの評価を行った

第二次試作回路レイアウト



試験基板

テストパルス

ASIC

パラメータ設定
動作信号

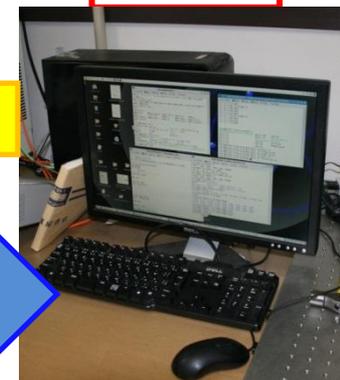
データ

読み出しボード
ロジック回路

制御

データ

PC制御





二次試作回路の結果

■ 読み出し速度

- 10Mpix/s の動作確認

■ 読み出し精度/ノイズ

- ノイズ:ペデスタル分布
- 出力→入力の変換精度:

微分非直線性 $\equiv f(x) - data(x)$

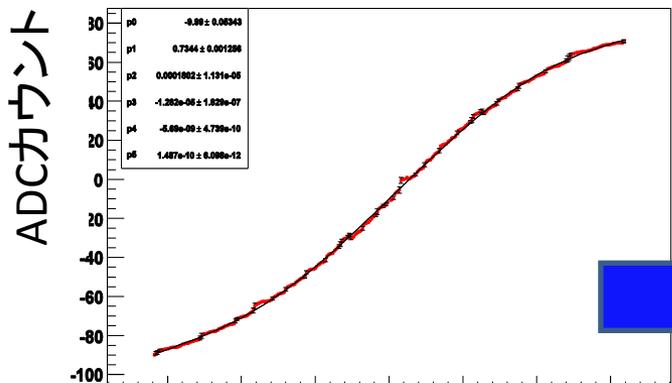
x : 入力電圧

$f(x)$: フィット線

$data(x)$: ADC出力

$\sqrt{\text{入力換算精度}^2 + \text{ノイズ}^2} = 16 \text{電子相当} < 30 \text{電子}$ 要求性能を満たす。

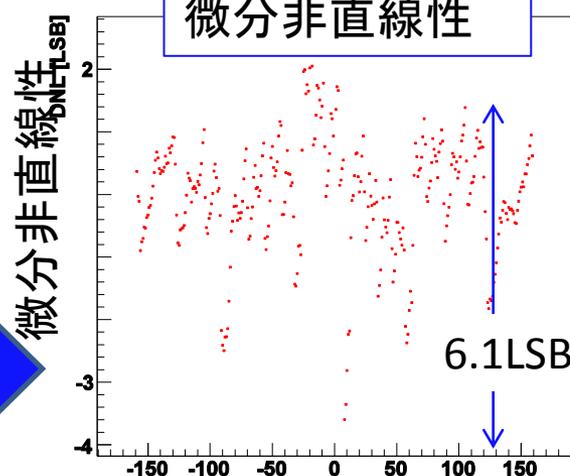
入力電圧vsADCカウント



テストパルス入力電圧(mV)

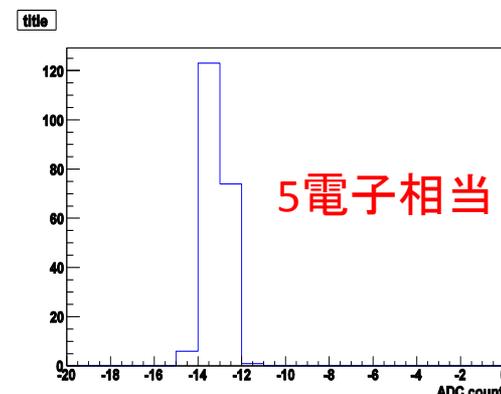
Graph

微分非直線性



テストパルス入力電圧(mV)

-40°Cでのペデスタル分布



ADCカウント

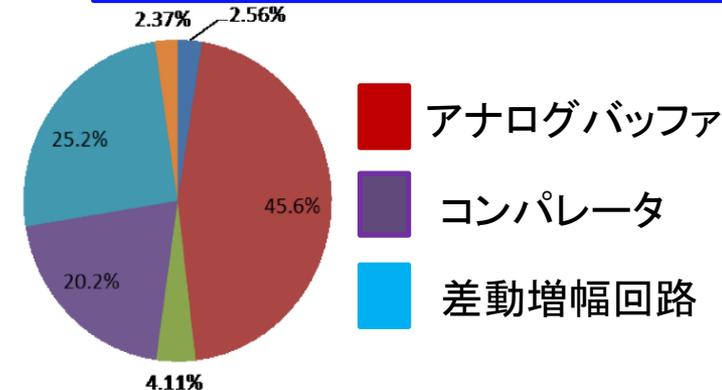
二次試作回路での問題と対策

■ 二次試作回路での消費電力

測定消費電力

デジタル消費電力	アナログ消費電力	総消費電力	要求性能
12.5[mW/ch]	18.4[mW/ch]	30.9[mW/ch]	6[mW/ch]

アナログ消費電力と部分回路



■ アナログ消費電力対策

- モニター回路オフ可能に。
- 差動増幅回路除去。→ダイナミックレンジ、非線形性改善
- 使用していない片方のコンパレータをオフに。

■ デジタル消費電力対策

- パラメータ設定信号の入力バッファ回路で常に電力消費しているのを0に。
- ADCの変換サイクル制御回路を全チャンネル共通に。

■ 総消費電力対策

- プロセスの微細化。0.35 μm →0.25 μm



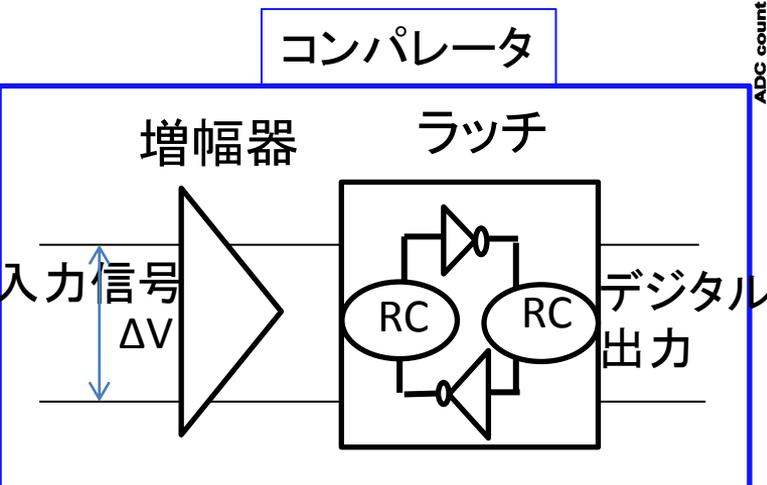
プロセス微細化対策 とシミュレーション結果

■ プロセス微細化の副作用

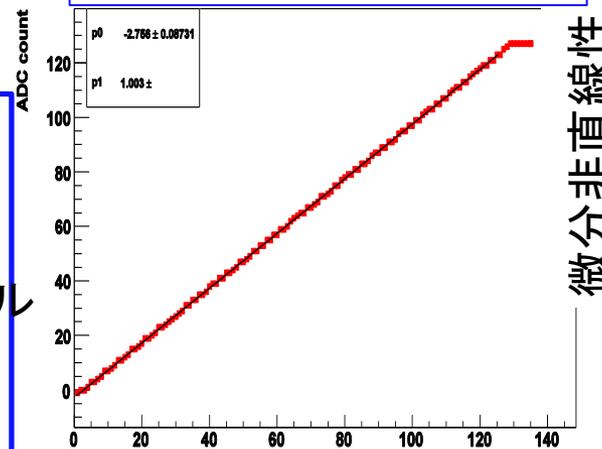
- コンパレータの動作速度上昇による微分非直線性の悪化
- コンパレータのスピードコントロール(RC調整し、誤動作防止)

■ ポストレイアウトシミュレーション結果

- 動作速度に関するパラメータ: プロセスばらつき、温度ばらつきの範囲内において、要求満たす。
- 消費電力: 5.4mW/ch

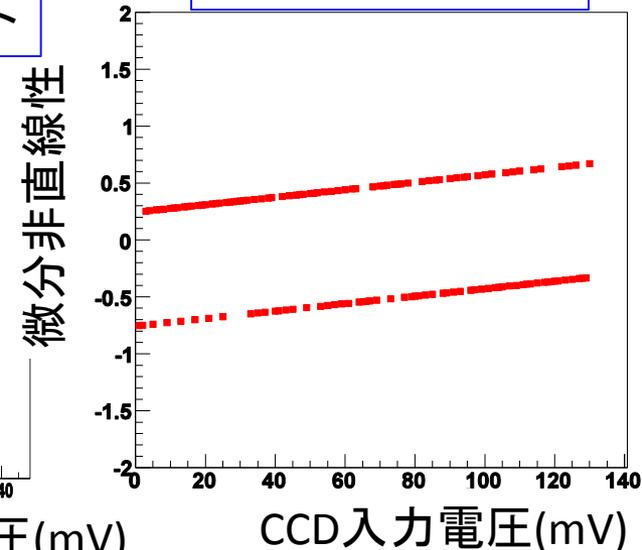


入力電圧vsADCカウント



Graph

微分非直線性





まとめ

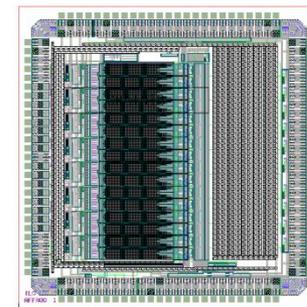
■ 二次試作回路

- 読み出し速度、入力信号測定精度の要求をクリア。
- 消費電力の問題

第三次試作回路レイアウト

■ 三次試作回路

- シミュレーションより要求性能全てクリア。
- 線形性も改善。



■ 今後

- 第三次試作回路、5,6月に製造発注予定。
- 二次試作回路にFPCCDセンサーをつけた放射線テストを行う。

試作回路	速度[Mpix/s]	ノイズ[電子]	入力変換精度[電子相当]	消費電力[mW/ch]
要求性能	10	合わせて30電子相当以下		6
一次試作	1.5 ✗	40	✗ 50	13 @1.5Mpix/s ✗
二次試作	10 ○	6	○ 15	30.8@10Mpix/s ✗
三次試作	10 ○	二次と同程度	○ 1.2	5.4@10Mpix/s ○

BACKUP



二次試作回路での対策

■ 読み出し速度の対策

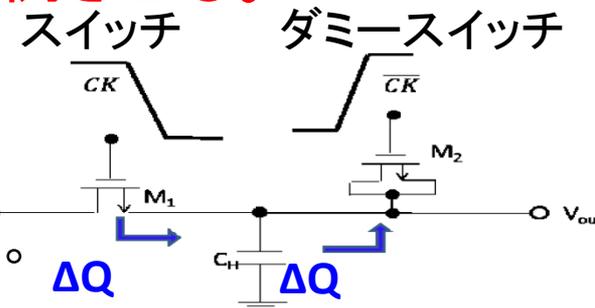
- コンパレータに流入する電流が高速動作時に不足
- 電源端子を増やし、電流源の安定化を図る

■ 読み出し精度の対策

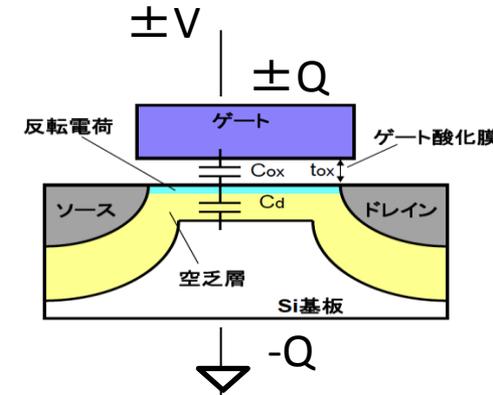
- 浮遊容量によりADCコンデンサアレイの容量比が崩れている。
- コンデンサー容量の負電荷を底面電極側 (GND側) から供給するのをやめた。
- CMOSスイッチを構成するトランジスターの個数をビット重みに比例させる。
- ダミースイッチの設置

■ 消費電力対策

- 二次試作回路では行わない。



ADCコンデンサ容量



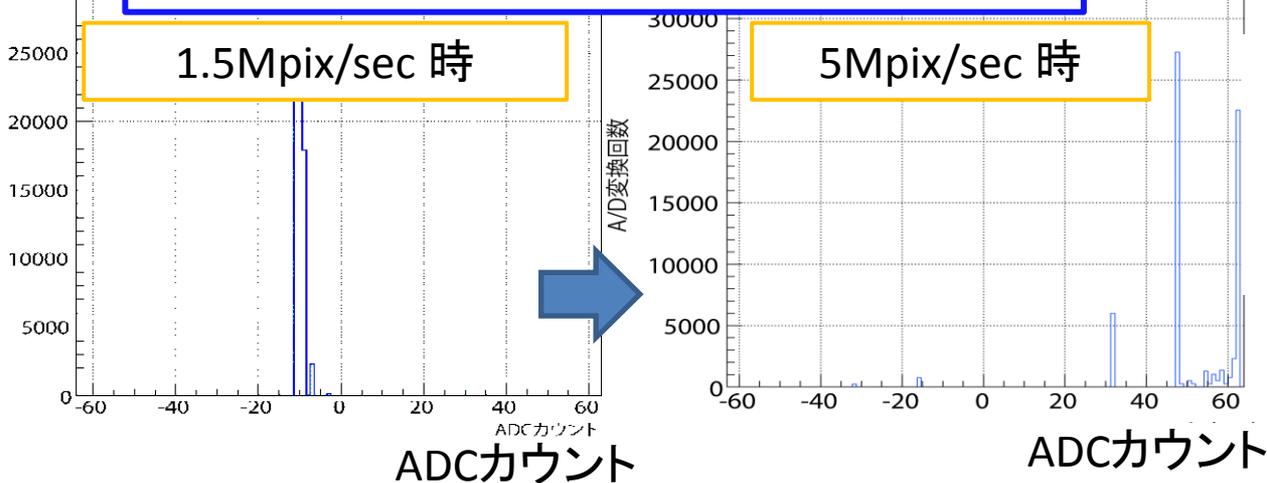


一次試作回路の結果

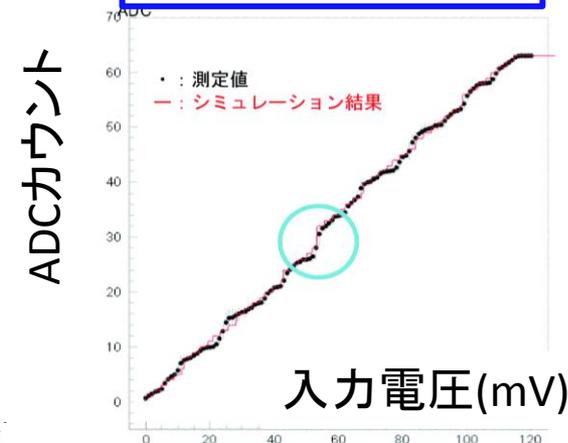
過去の試作回路の結果

試作回路	速度	ノイズ	読み出し精度	消費電力
要求性能	10Mpix/s	合わせて30電子相当以下		6mW/ch
一次試作回路	1.5Mpix/s ×	40電子 ×	50電子相当 ×	13 mW/ch × @1.5Mpix/s

読み出し速度の限界ペDESTAL分布



読み出し精度限界



➤ 本研究で要求性能を満たす試作回路の開発を目指す。



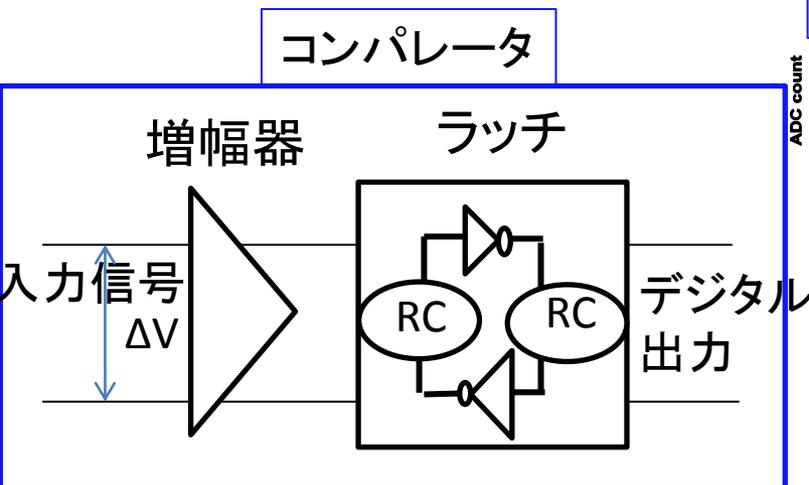
プロセス微細化対策 とシミュレーション結果

■ プロセス微細化の副作用

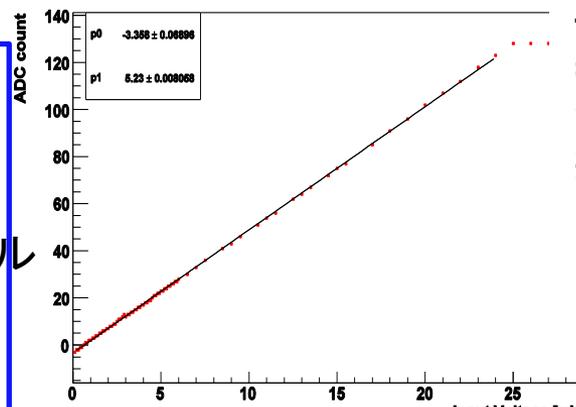
- コンパレータの動作速度上昇による微分非直線性の悪化
- コンパレータのスピードコントロール(RC調整し、誤動作防止)

■ シミュレーション結果

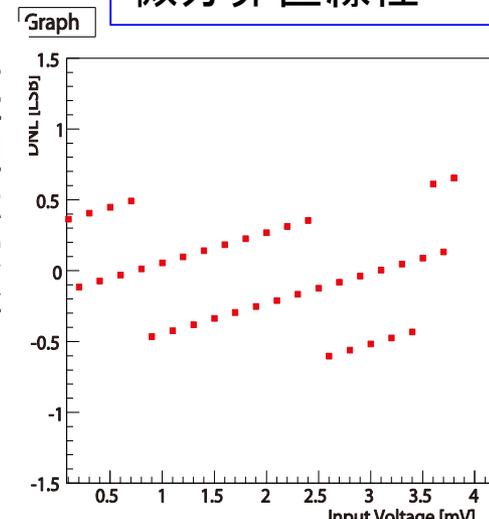
- 動作速度に関するパラメータ: プロセス、温度、電源電圧のばらつきの範囲内において、要求満たす。
- 消費電力: 5.4mW/ch



入力電圧vsADCカウント



微分非直線性

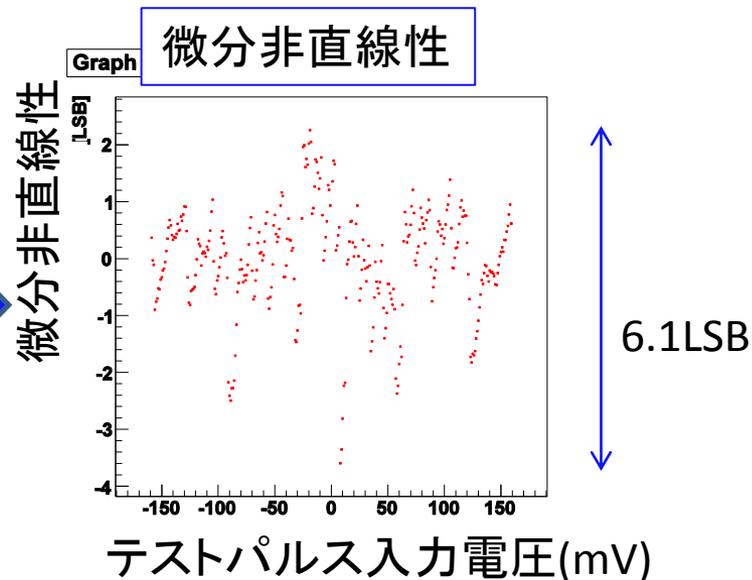
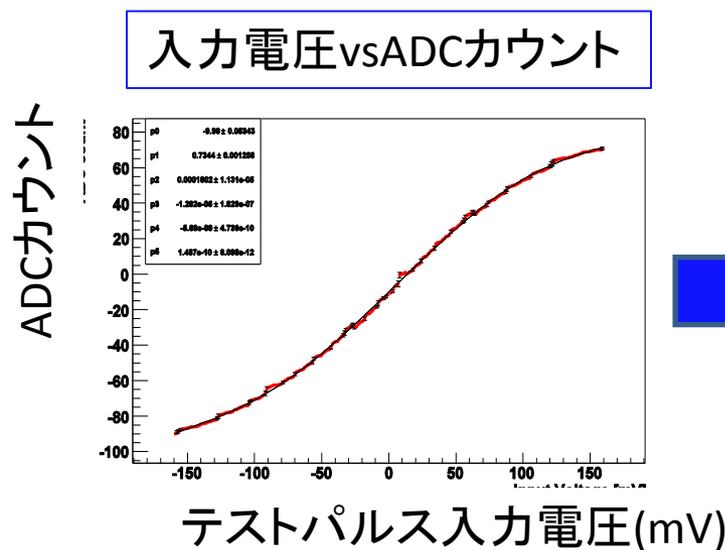


CCD入力電圧(mV)



入力変換精度評価

■ 微分非直線性



DNLは、6.1LSBの幅を持つ。

$$\text{入力変換の精度} = \frac{6.1}{\sqrt{12}} = 1.8 \text{ [LSB]} \quad (15 \text{ 電子相当})$$

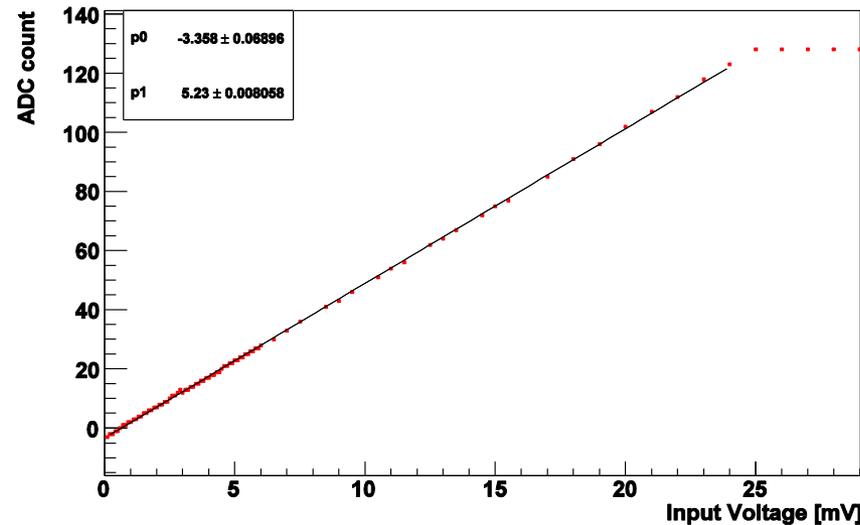


積分非直線性

■ ダイナミックレンジ改善

- 差動増幅器を取ることによりダイナミックレンジは改善する。

二次試作回路 三次試作回路
積分非直線性 17.1% ⇒ 0.380%



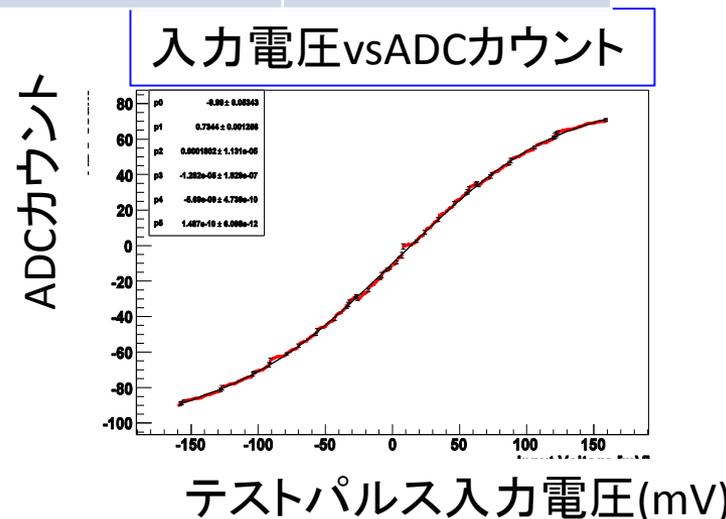
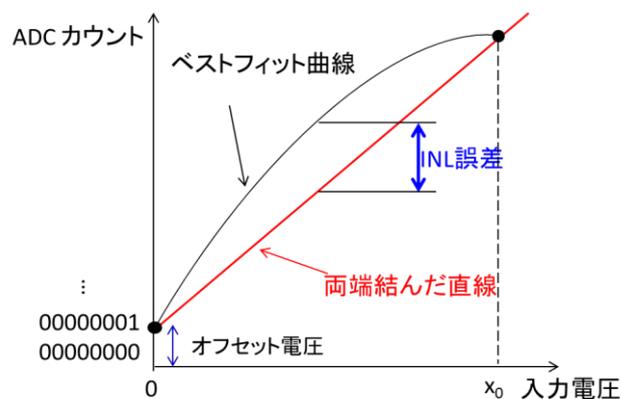


読み出し精度評価

■ 積分非直線性(INL)

- 非線形効果が大きく、関数の形が複雑だと、入力変換精度に系統誤差が生じやすい。
- ダイナミックレンジが制限される。
- ADC出力レンジの63%しか出力されていない。

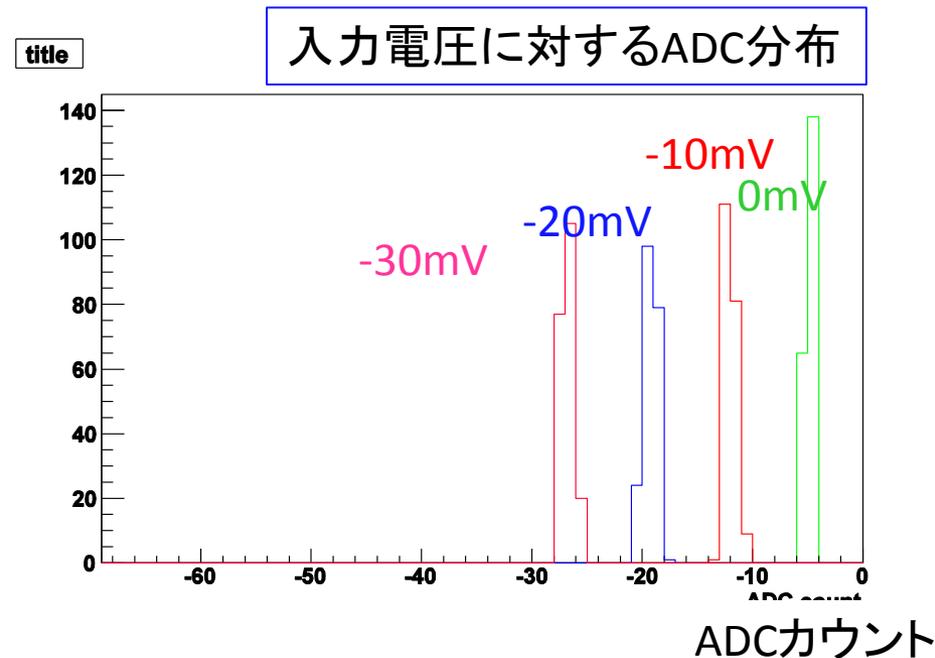
入力電圧範囲	[-40:40]	[-80:80]	[-160:160]
積分非直線性	4%	6.5%	17%





読み出し速度評価

- 10Mピクセル/秒動作時の各入力電圧に対するADC分布を見た。
 - 入力電圧に対して、一定のADC分布をしている。
- 10Mピクセル/秒の要求性能の読み出し速度を達成できた。





読み出し精度評価

■ 微分非直線性(DNL)

入力変換線を導出し、ADC出力→入力信号 変換をする。
DNLは、データの入力変換線(フィット線)からのズレ。

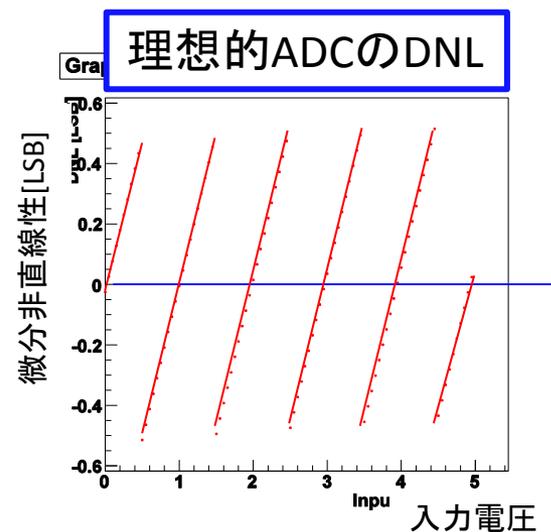
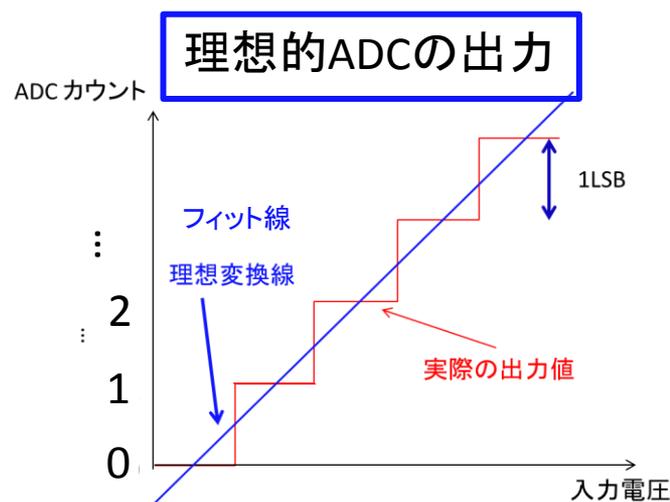
➤ DNLを用いて入力変換線の精度が評価できる。

$$DNL \equiv f(x) - data(x)$$

x : 入力電圧

$f(x)$: フィット線(入力変換線に相当)

$data(x)$: 入力電圧に対するADC出力



入力信号測定精度と要求性能

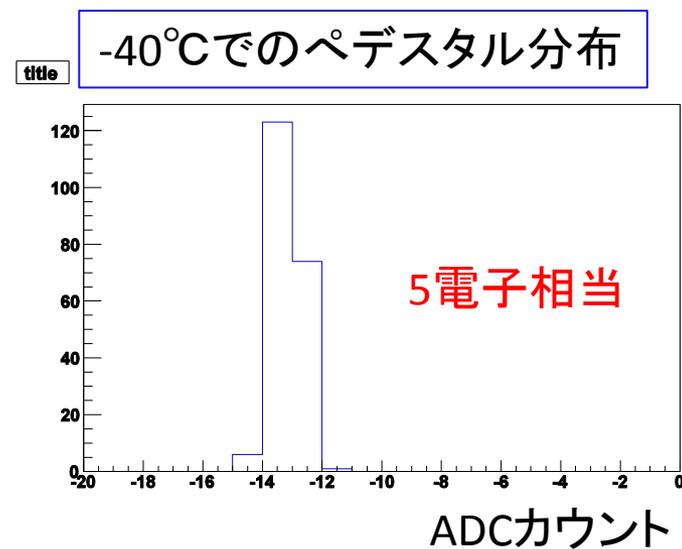
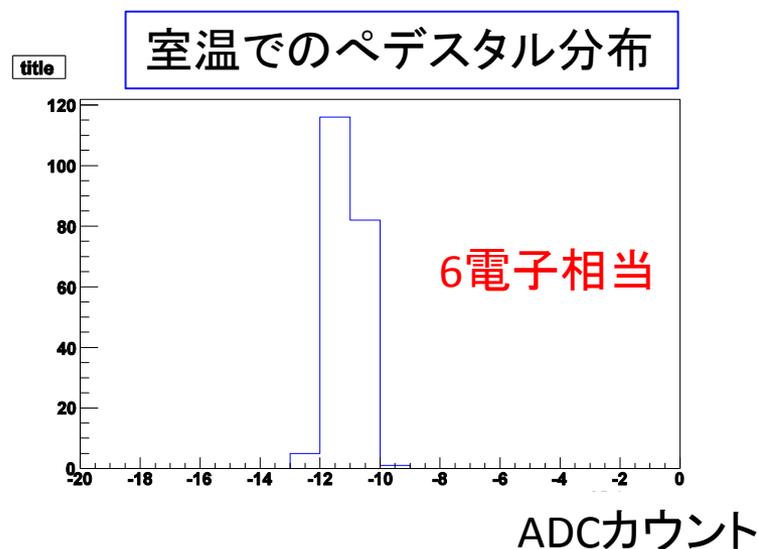
- ペDESTAL分布からASICのノイズレベルを見積もった。

(10Mpix/s動作時)

- 室温、低温動作時(-40°C)で6,5電子と同程度。

$$\sqrt{\text{入力換算精度}^2 + \text{ノイズ}^2} = 16 \text{電子相当} < 30 \text{電子}$$

- 要求性能を満たしている。





二次試作回路の問題とまとめ

■ 二次試作回路における改善

- 読み出し速度、ノイズレベル、読み出し精度において改善が見られ、要求性能を満たすようになった。

■ 二次試作回路の問題点

- 消費電力**30.8mW/ch** >6mW/ch
- アナログ、デジタル同程度。シミュレーションと一致。

➤ 消費電力を要求性能を満たした三次試作回路を開発する。

試作回路	速度 [Mpix/s]	ノイズ[電子]	入力変換精 度[電子相当]	消費電力 [mW/ch]	シミュレーション
要求性能	10	合わせて30電子相当以下		6	
一次試作	1.5	40	50	13@1.5Mpix/s	
二次試作	10	6	15	30.8	30mW/ch
		16電子相当		一致	



消費電力の改善と副作用

■ 消費電力シミュレーション結果

シミュレーション測定消費電力			
デジタル消費電力	アナログ消費電力	総消費電力	要求性能
3.8[mW/ch]	1.6[mW/ch]	5.4[mW/ch]	6[mW/ch]

➤ 5.4mW/ch の消費電力を達成。要求性能をクリア

■ プロセス微細化のメリット

- 電源電圧の低下
- トランジスタ容量の低下 など....

➤ 消費電力削減

■ プロセス微細化のデメリット

➤ コンパレータの動作速度上昇による微分非直線性の悪化の可能性。



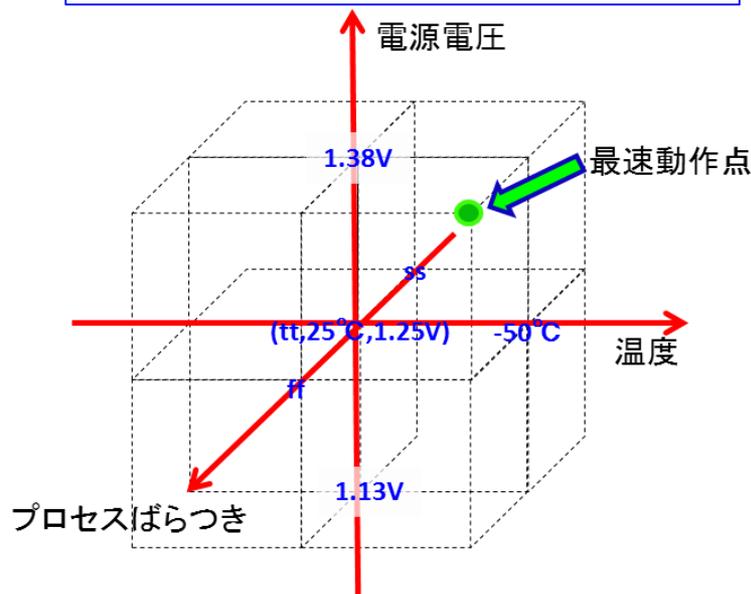
速度パラメータとDNL

■ コンパレータの動作速度に関するパラメータ

– プロセスばらつき、温度、電源電圧

➤ デザインパラメータの変動範囲で微分非直線性がスピードコントロールにより、 $\pm 1/2$ [LSB]に抑えられている。

速度依存パラメータと変動範囲



最速動作点での微分非直線性

