

高エネルギー物理学実験のためのSOI技術を用いた PIXOR半導体検出器の基礎的研究

~ Basic study of the PIXOR semiconductor detector
for the high energy physics experiments based on the SOI technology ~

東北大学 素粒子実験研究室

博士課程前期2年 篠田直幸

目次

- I. イントロ(P3 ~)
 - ◆ SOI検出器
 - ◆ Belle II実験と崩壊点検出器

- II. 高エネルギー加速器実験へ向けたPIXORの開発(P8 ~)
 - ◆ Pixel型とStrip型半導体検出器の比較
 - ◆ PIXORの開発

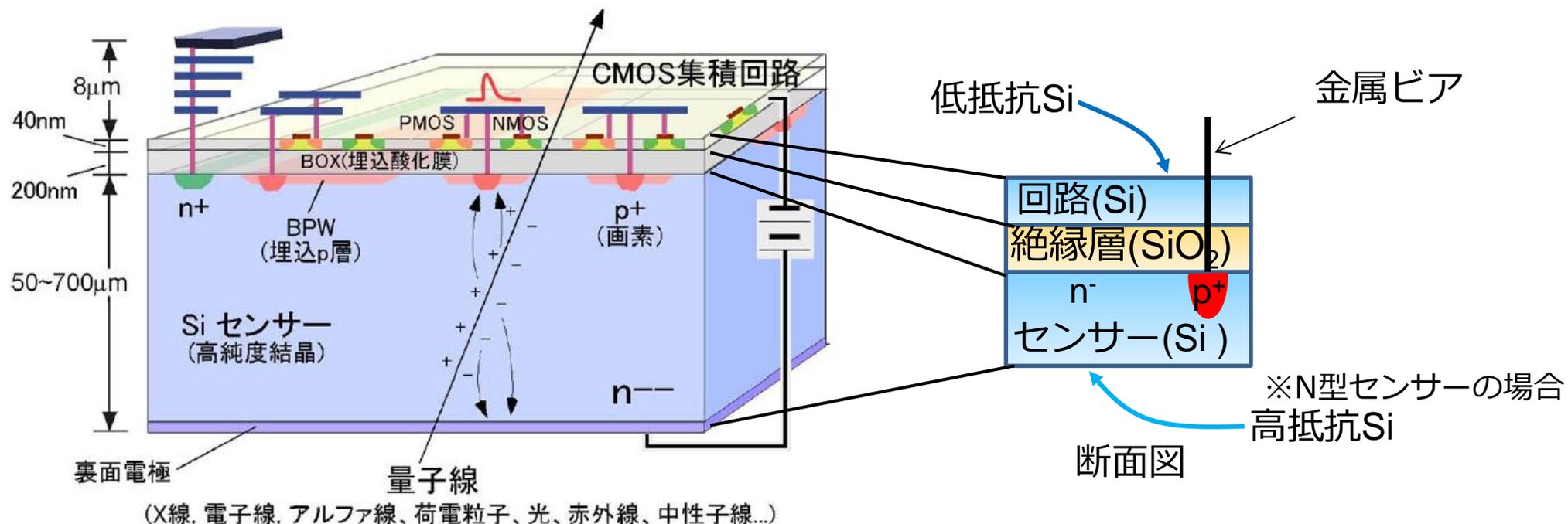
- III. PIXOR1の性能評価試験(P13 ~)

- IV. PIXOR2の性能評価試験(P23 ~)

- V. まとめ

SOI(Silicon On Insulator)検出器

産業界では標準的なSOI基板の支持基板層をセンサー層として利用



特徴

読み出し回路とセンサー層が一体化

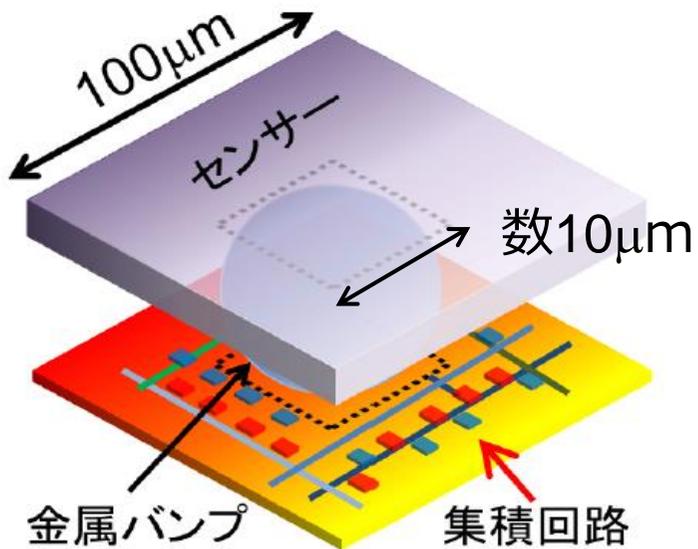
→モノリシック型検出器

回路層とセンサー層のSiO₂による絶縁

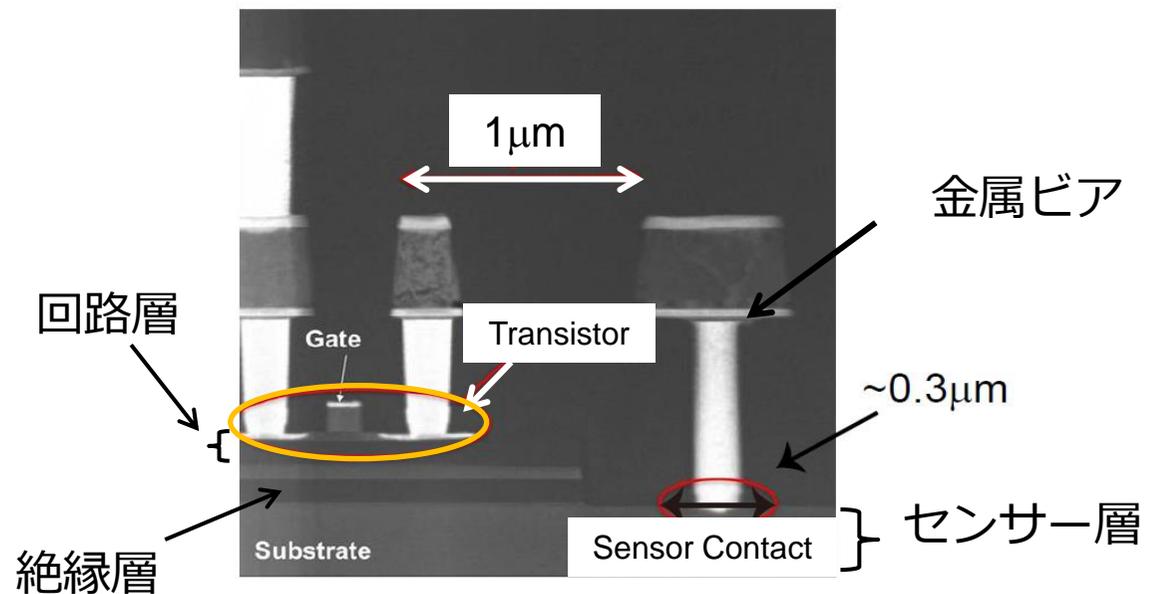
→SOI CMOS構造 (回路)

SOI検出器のメリット：モノリシック型

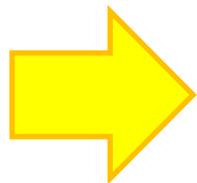
ハイブリッド型



モノリシック型

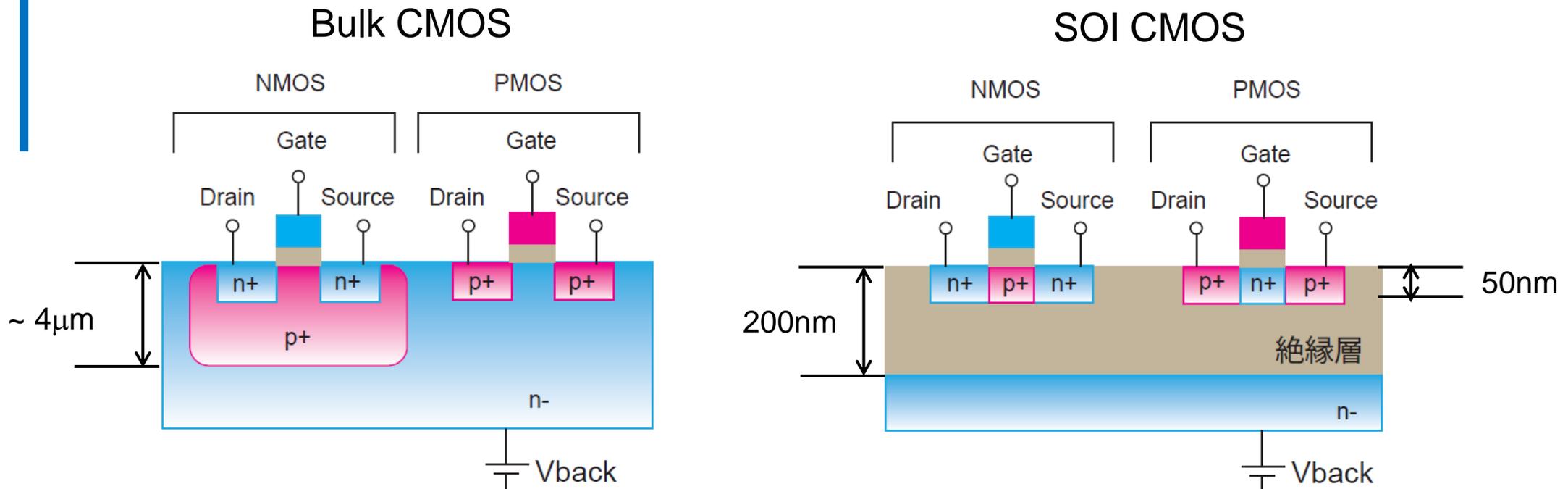


モノリシック型：センサー層と回路層が一体化した構造

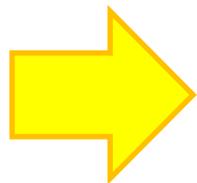


- 物質量、コストの低下
- センサー寄生容量が小さく、高いゲインを得る
- 位置分解能の制限が緩和

SOI検出器のメリット：SOI CMOS構造



SOI CMOS構造：回路層のトランジスタが絶縁層により完全分離

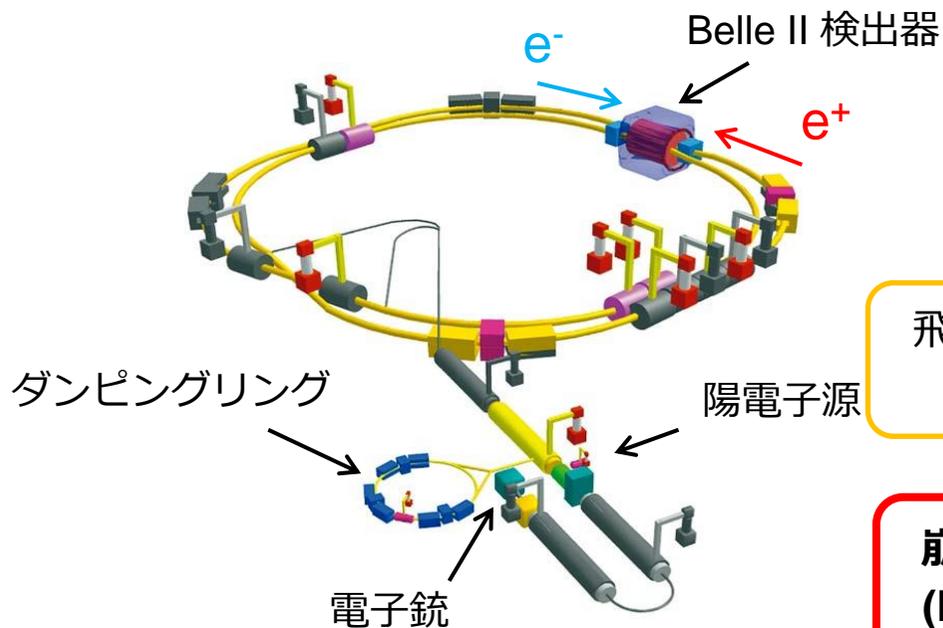


- リーク電流が少なく、低消費電力
- 放射線耐性:SEE(Single Event Effect)とラッチアップに耐性
- 動作可能な温度範囲が広い(4 ~ 570K)

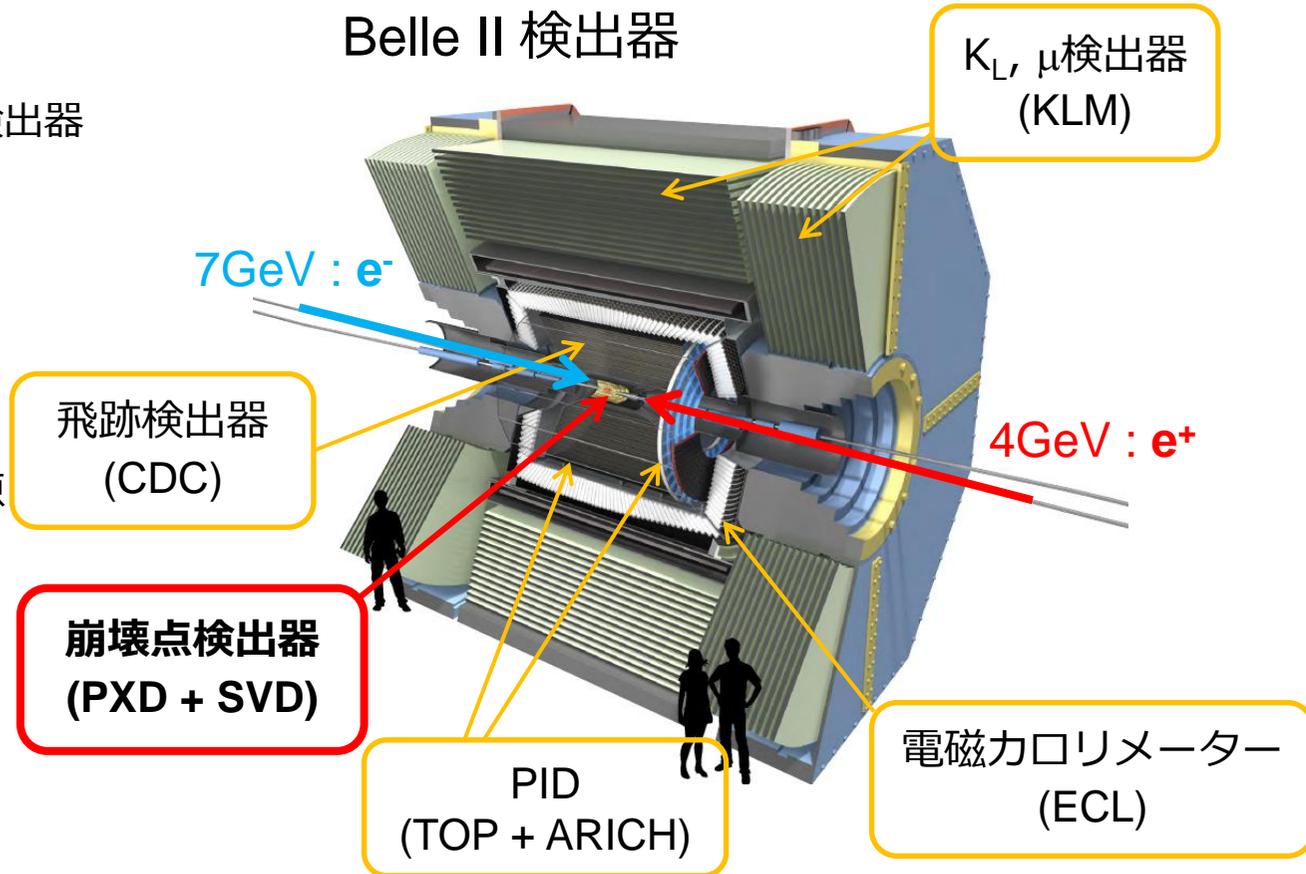
Belle II実験と崩壊点検出器

Belle II実験 (2010年終了のBelle実験のupgrade) (2016年稼働予定)
電子(7GeV)、陽電子(4GeV)を衝突させ、多量のB中間子対を生成
→稀崩壊モードにおけるCP対称性測定、CKM行列の精密測定

Super KEKB 加速器



Belle II 検出器



崩壊点検出器

B中間子や2次粒子の崩壊点を精度良く測定する

崩壊点検出器への応用

Belle II崩壊点検出器

要求項目	SOIの目標数値	SOIの性能
高速動作	42.4MHz	○
高い位置分解能	~10 μ m	○
低物質質量	50 μ m	○
放射線耐性	33Mrad以上 (10years)	△(→○)

Belle II PXD + SVDのジオメトリ

Layer #	IPからの距離(mm)	占有率
6	140	0.9%
5	115	1.3%
4	80	2.7%
3	38	6.7%
2	22	~1%*
1	14	~1%*

※ある条件下におけるシミュレーション値

Belle II SVD最内層は占有率 (= 反応したCH数/全CH数) が6.7%と高い

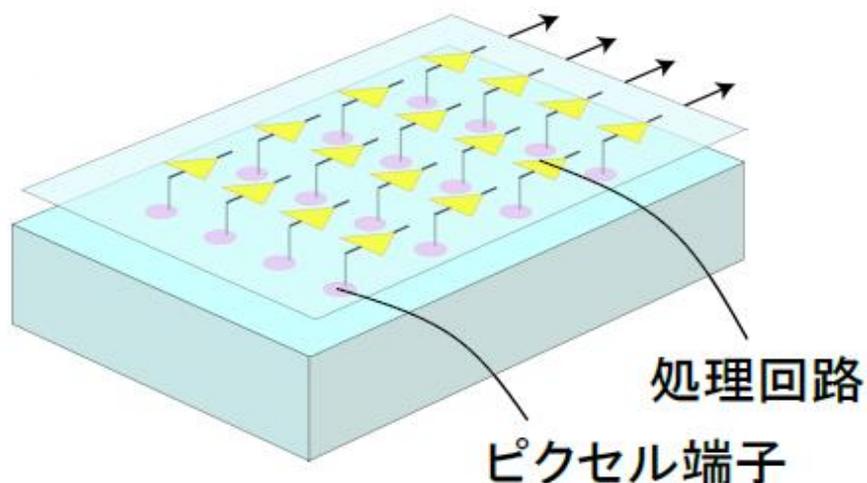
- SVDでのHit情報 (粒子の飛跡) を用いて、全時間・全ピクセルでの情報を取るPXDでのバックグラウンド除去
 - SOI検出器の導入により最内層における更なる占有率

PIXOR(PIXel OR)の開発

- Pixel型とStrip型半導体検出器の比較
- PIXOR(PIXel OR)の開発
- Belle II SVD最内層とのパラメータ比較

Pixel型とStrip型 半導体検出器の比較

• Pixel型



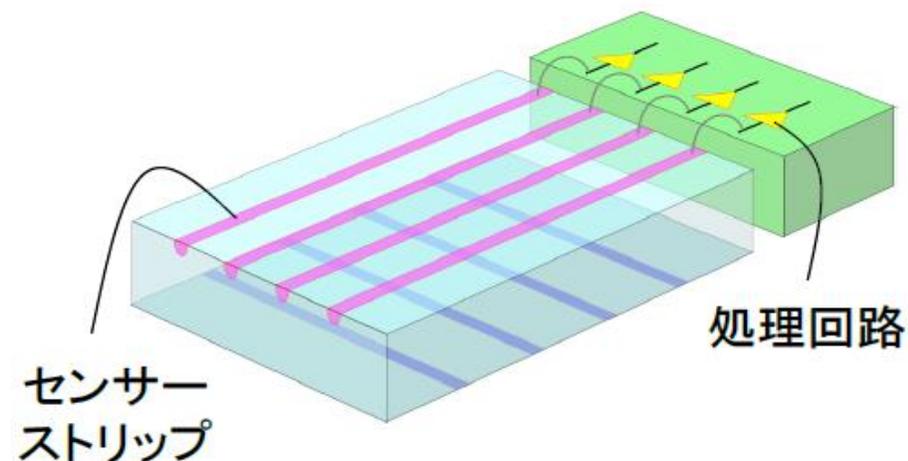
メリット

- 占有率が小さい
- ゴースト発生なし

デメリット

- 位置分解能に制限(Onセンサー)
- 読み出しに時間がかかる(Offセンサー)

• Strip型



メリット

- 位置分解能が小さい
- 読み出し時間が短い

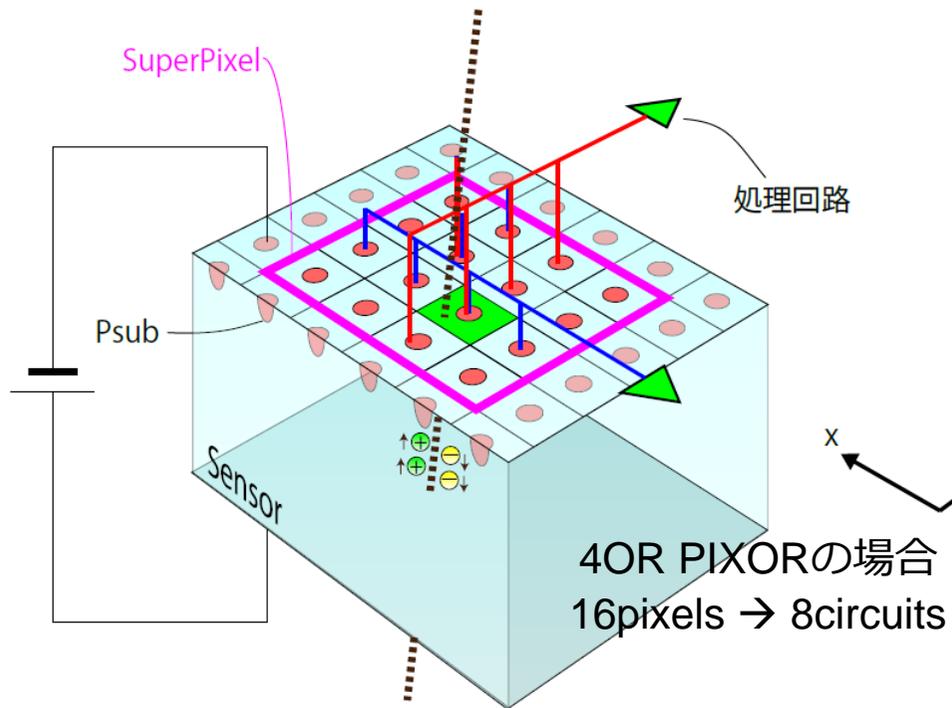
デメリット

- 占有率が大きい
- ゴーストHitが発生

各ピクセルからの情報を同時に処理したいが、1Pixelに1つの処理回路では位置分解能の都合上、回路面積が限られてしまう

➤ 位置分解能と回路面積の両立を図りたい

PIXOR(PIXel OR)の開発



- PixelとStripの中間構造をとる検出器
- 信号検出のフロー
 1. センサー部で生じた電離電荷をX/Y方向へ2分割する
 2. 各X・各Y毎に信号のORを取る
(PIXOR構造)
 3. ORをとった信号はそれぞれSuper Pixel ($n \times n$ ピクセルの集合体)上にある $2n$ 個の処理回路にて処理される

$n \times n$ 個のpixel上に必要な処理回路数が、 $n^2 \rightarrow 2n$ 個にまで減少
➤ 1つの処理回路を複数ピクセルで共有することで
高い位置分解能（低い占有率）と複雑な回路機能を搭載可能

PIXORのBelle II SVD最内層導入へ向けて

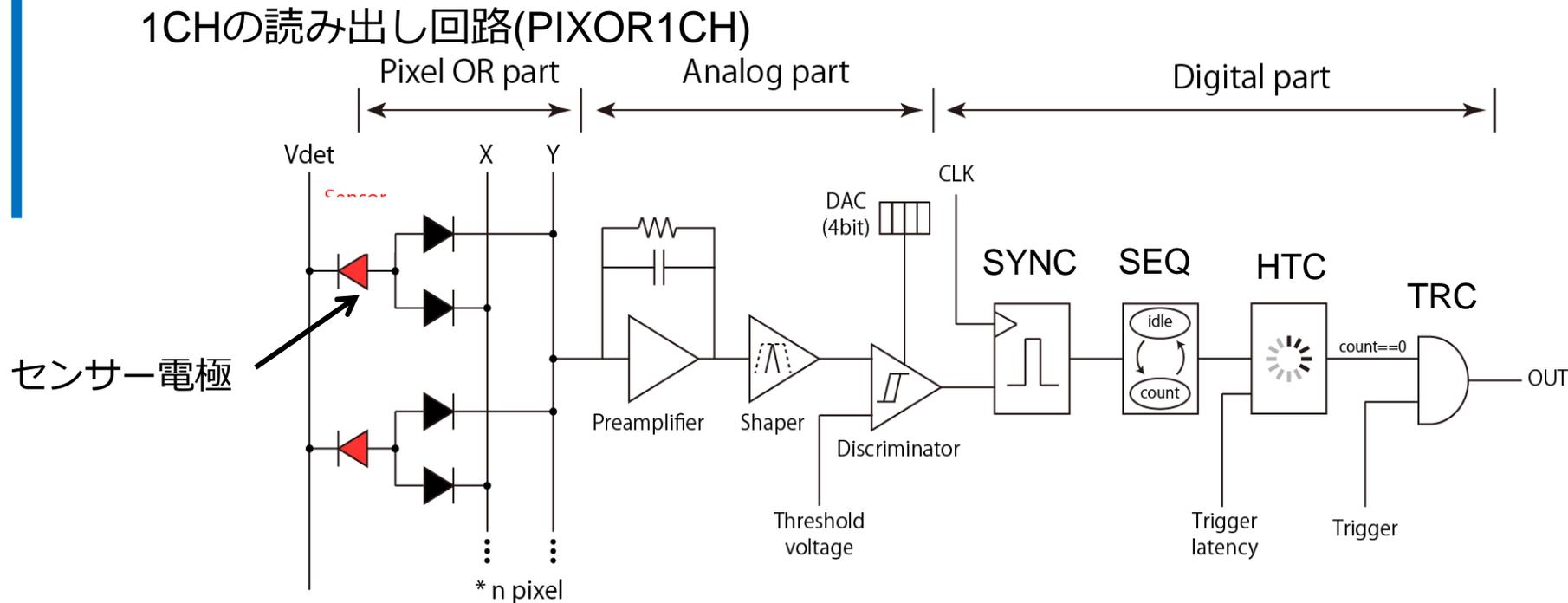
Belle IIのトリガー・DAQシステム

- 生じたイベントと外部から発行されるトリガー信号との比較を行い、物理データの取得を行う
- イベント選別を行うトリガー信号は外部の演算装置にて、イベントの~5 μ s(Trigger Latency)後に発行される@ Trigger rate 30kHz

Belle II SVD最内層にPIXORを導入した際のパラメータ

	DSSD + APV25	PIXOR
センサータイプ	DSSD	PIXOR(16OR)
ピッチ	ϕ :50, z:160 (μ m)	ϕ :35, z:70 (μ m)
センサー厚	320 μ m	50 ~ 100 μ m ☺
動作CLK	31.8 or 42.4 MHz	42.4 MHz
Max Trigger Latency	5 μ s (@31.8MHz)	12 μ s(@42.4MHz)
位置分解能	ϕ :~12, z:~25 (μ m)	ϕ :10.1, z:20.2 (μ m)☺
占有率	6.7 %	0.035 % ☺

読み出し回路構成



• アナログ回路部

- Pre-Amp + Shaperによる信号の増幅・整形、DiscriminatorによるHit信号のバイナリ化

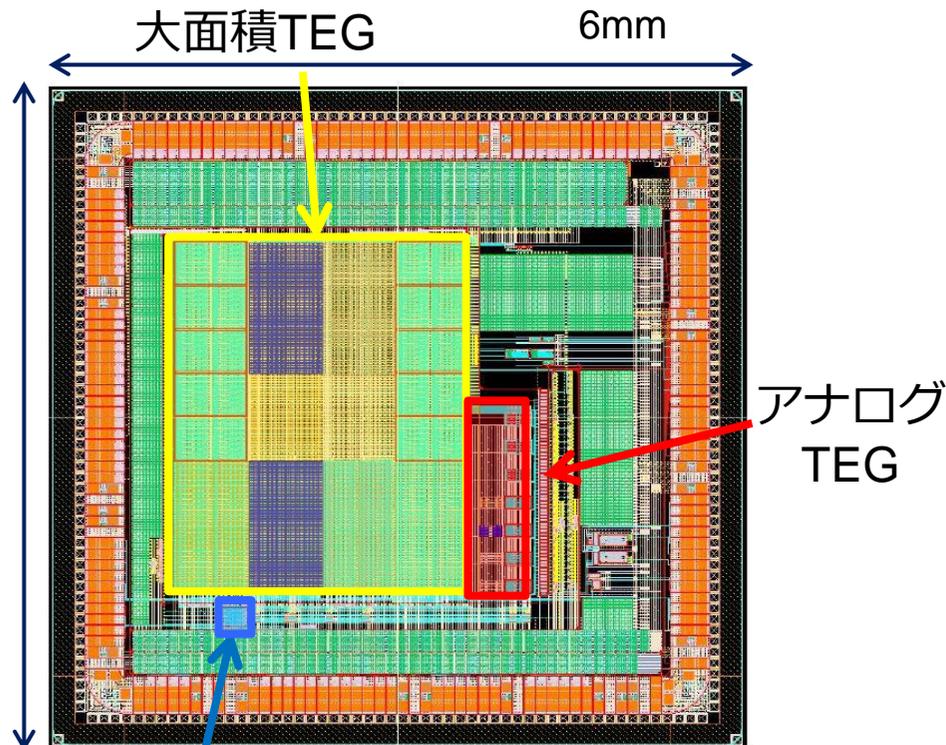
• デジタル回路部

- SYNC → Discriminatorからの信号をPIXOR内部のCLKに同期 + 1CLKに整形
- SEQ → 使用するカウンターの制御
- HTC → Trigger Latency時間の間、データを保持する
- TRC → 外部トリガーとの比較を行い、デジタル値としてHit信号を出力

試作機PIXOR1性能評価

- PIXOR1概要
- 測定の設定アップ
- Discriminator評価試験
- Double SOI PIXOR1評価試験

試作機PIXOR1

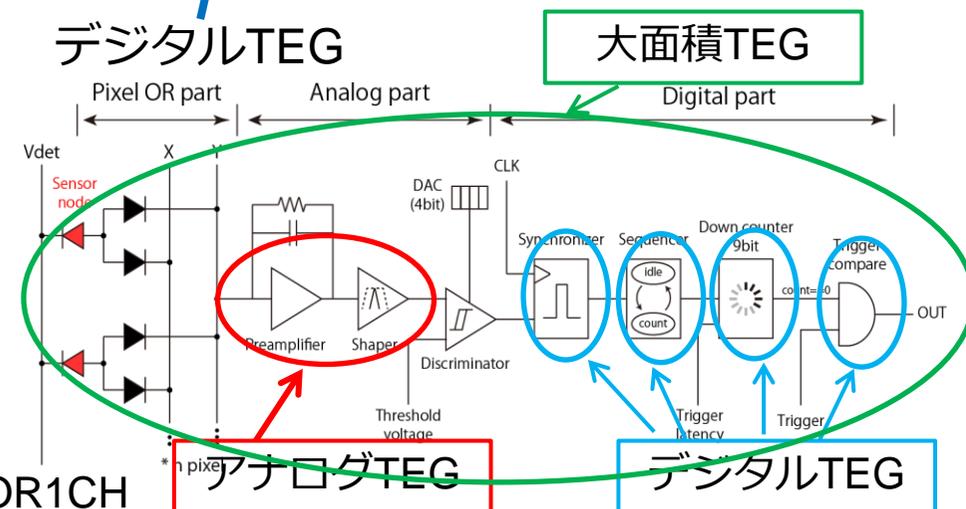


基本情報

- 0.2 μm 全空乏化型 SOI CMOSプロセス
- チップサイズ 6mm²
(有感領域 4.5mm²)
- ピクセルサイズ 25 $\mu\text{m}(\phi) \times 40\mu\text{m}(z)$
- センサー厚 260 μm

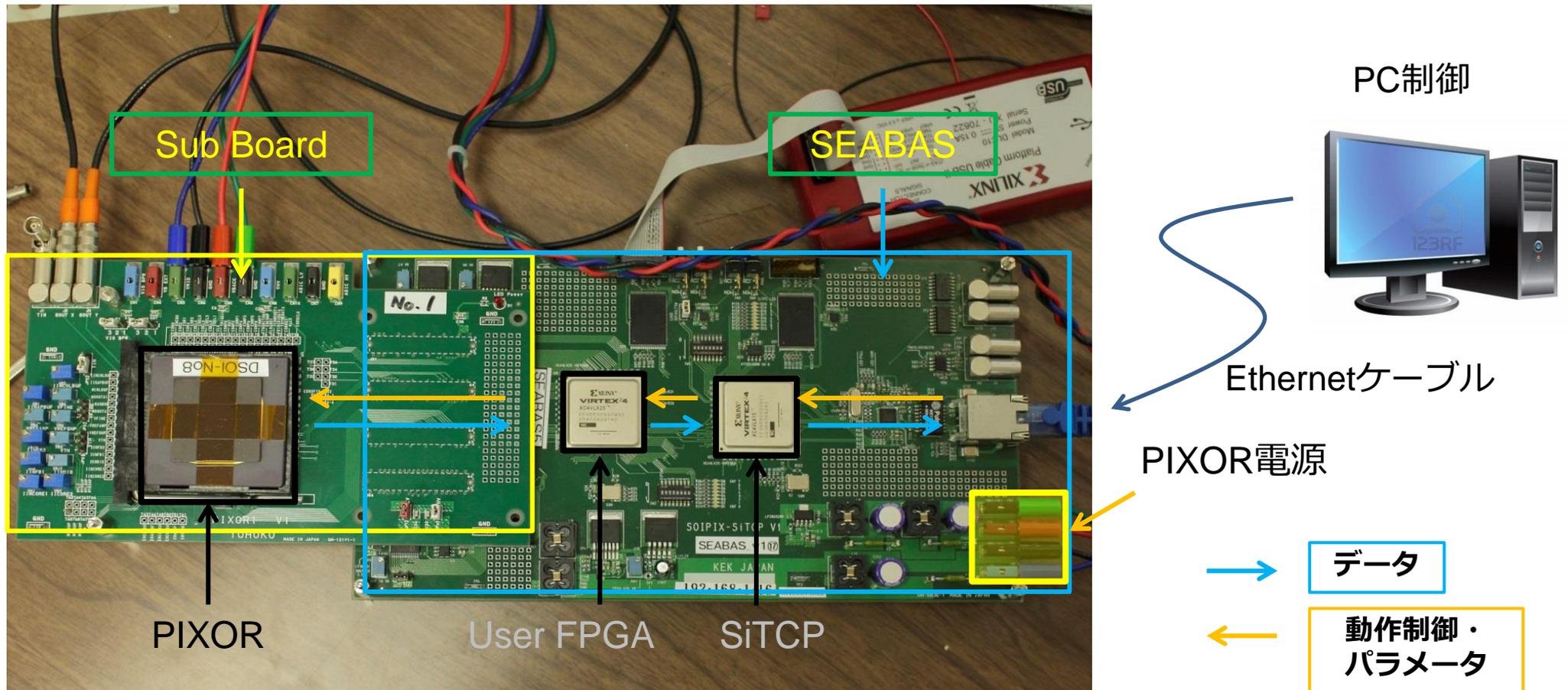
搭載TEG(Test Element Group)

- **アナログTEG**(4 \times 4ピクセル:4OR構造)
PIXOR処理後のShaper出力確認
- **デジタルTEG**
各デジタル回路の動作確認
- **大面積TEG**(16 \times 16ピクセル:16OR構造)
アナログ~デジタルー連の動作確認



性能評価試験セットアップ

専用評価ボード(Sub Board)と汎用読み出しボード(SEABAS)を用いた測定環境を構築



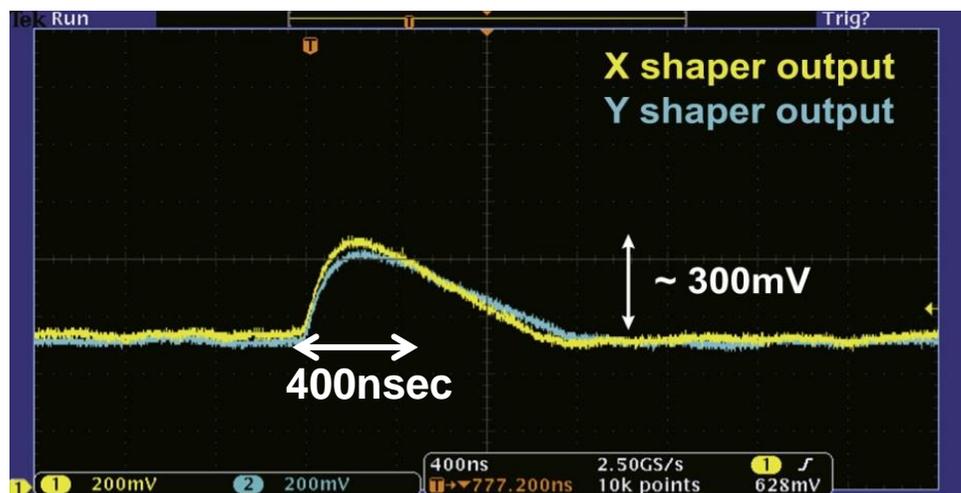
- PIXORのパラメータ設定（測定CHの選択など）はPCにて行う
- HDL(Verilog HDL, VHDL)を用いたUser FPGAへの制御ロジック書き込み

これまでのPIXOR1の研究結果

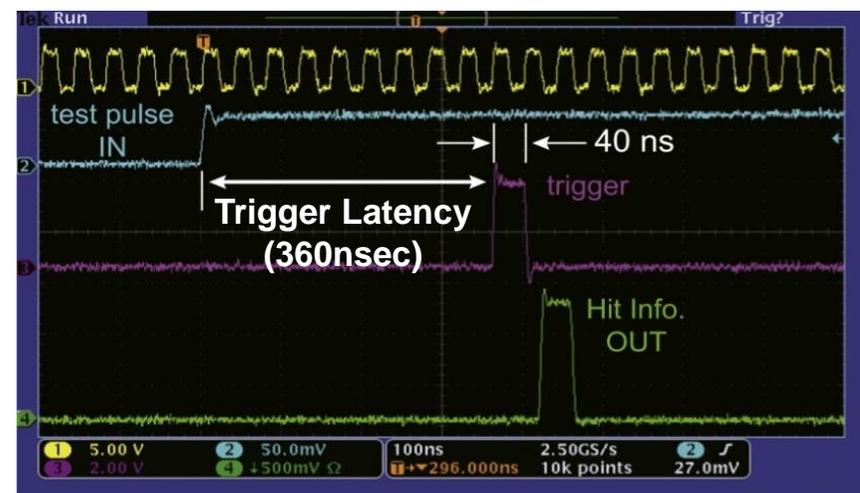
これまでPIXOR1の試験結果をここにまとめる。

- PIXOR構造動作試験
 - ^{109}Cd を用いた信号の2分割確認
 - X/Y方向でほぼ同じ信号波形を出力
 - PIXOR構造を含むアナログ回路部の正常動作を確認
- デジタル回路動作試験
 - 1CH読み出し回路のデジタル回路部における一連の動作試験
 - Trigger Latency後のトリガー生成、Hit信号出力を確認
 - デジタル回路部の正常動作を確認

^{109}Cd 線源による応答確認

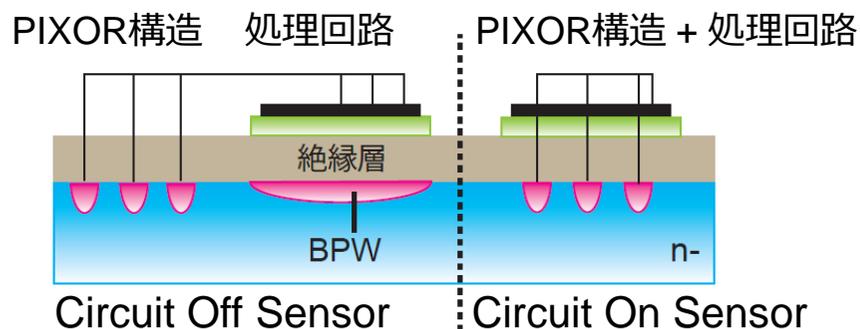


デジタル回路部動作結果



これまでの課題（アナログ回路編）

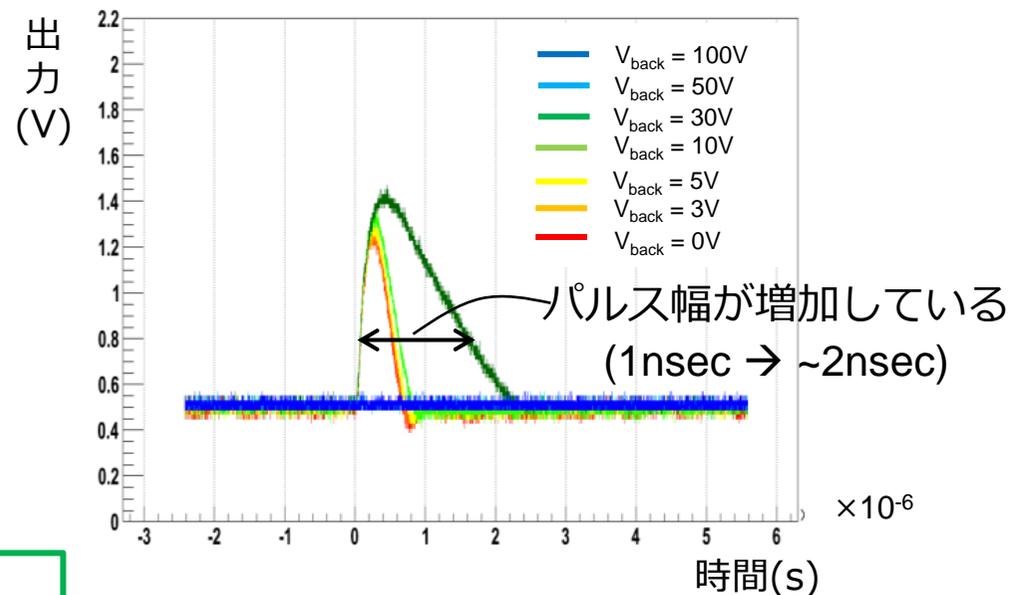
- Circuit On Sensorでの波形未確認
 - 回路面積を有効に使うためには、**Circuit On Sensor**が理想的



- しかし、PIXOR1では**On Sensorのテストパルス応答が見られなかった**
- Off Sensorでの応答波形の確認を行った

- 応答波形の V_{back} 依存
 - 高いセンサバイアス(V_{back})において、Shaper出力の**パルス幅の拡がり**が見られた
 - 不感時間を招くため対策が必要

テストパルス応答波形

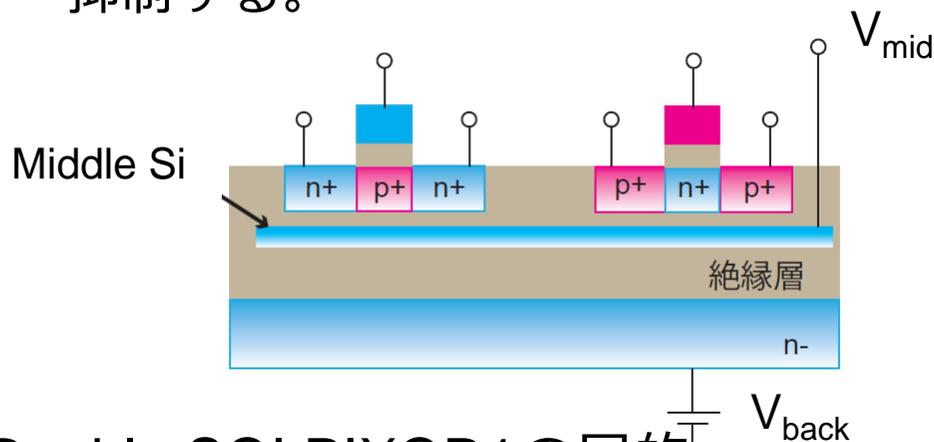


これらの解決を**Double SOI構造**、を新たに導入することにより目指しました。

Double SOI構造とその導入目的

- Double SOIとは

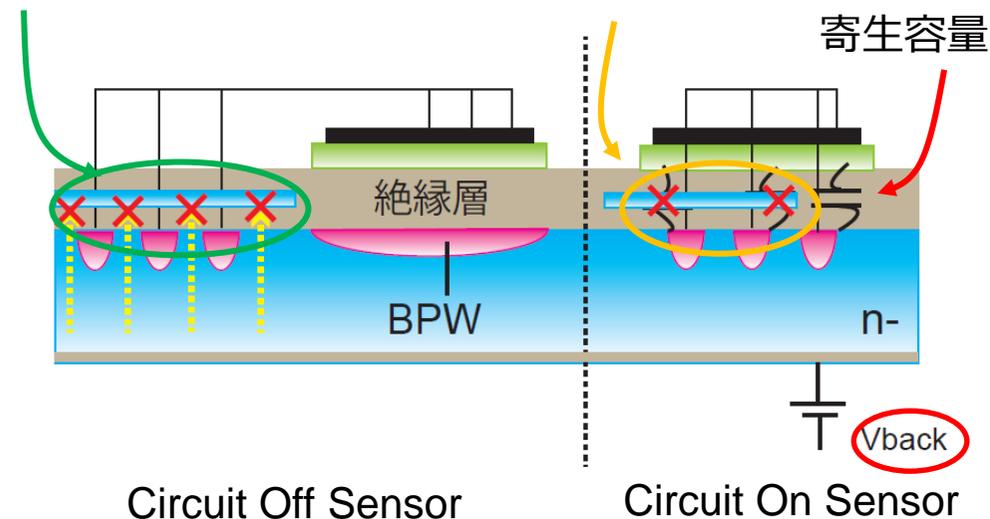
- SOIの絶縁層に新たにSi層(Middle Si)を導入した構造。一定の電圧を印加することでTID(Total Ionizing Dose)効果やクロストークを抑制する。



- Double SOI PIXOR1の目的

- I. 高いセンサバイアスによるダイオードへの影響を遮蔽
 - 応答波形の V_{back} 依存性解消
- II. Circuit On Sensor構造でのセンサー・回路間の電氣的干渉（クロストーク）を防ぐ
 - 応答波形の観測が可能に

- I. ダイオードの保護
- II. 寄生容量による電氣的干渉を抑制

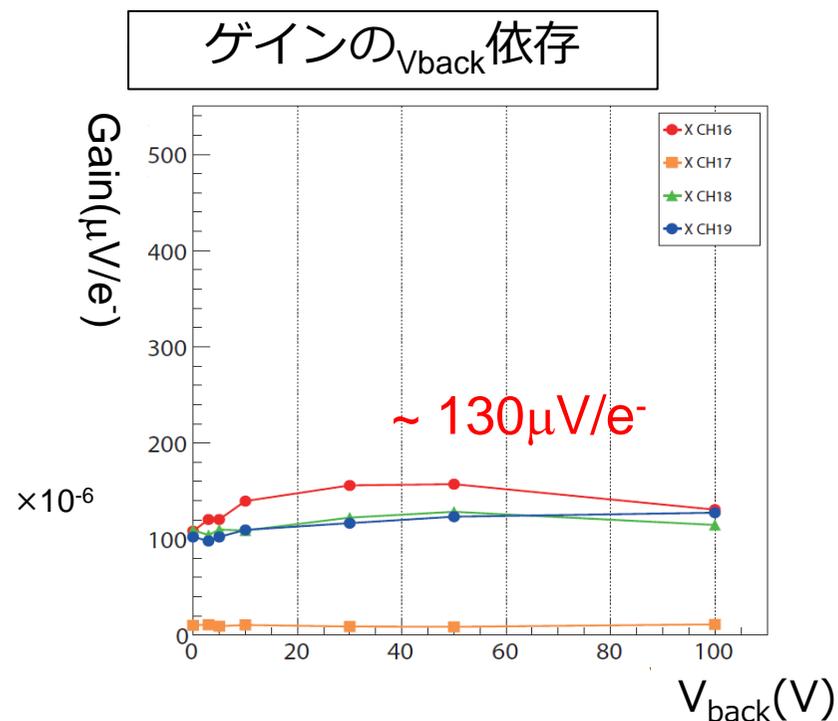
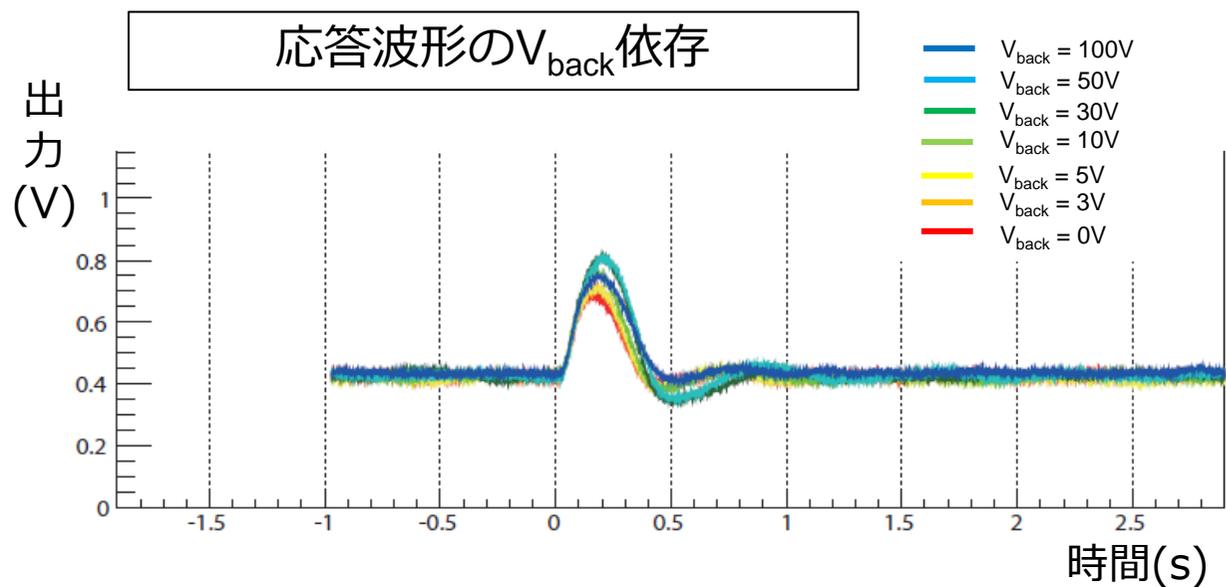


Double SOIを用いた V_{back} 依存性測定

- 測定条件

- 入力電圧 $T_{IN} = 100\text{mV}(2,500e^-)$,
- センサーバイアス $V_{back} = 0\text{V}, 3\text{V}, 5\text{V}, 10\text{V}, 30\text{V}, 50\text{V}, 100\text{V}$

➤ $V_{back} = 100\text{V}$ においても応答波形、ゲインは安定している

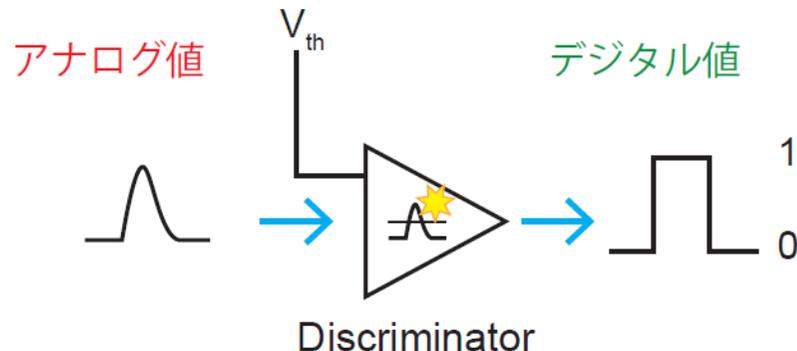


V_{back} 依存、クロストークを解決

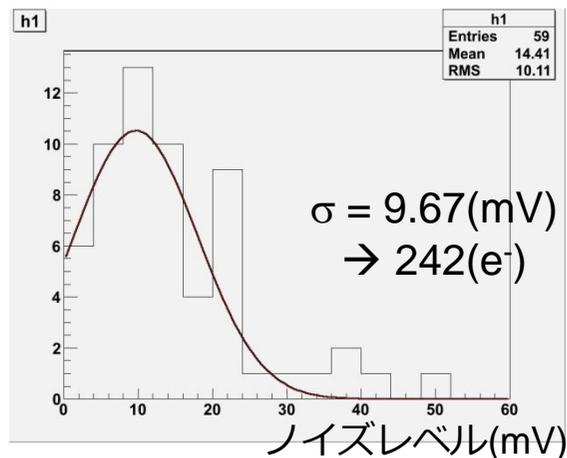
➔ Double SOIによるCircuit On Sensor構造の安定動作を実証

これまでの課題（大面積TEG）

- 大面積TEGの目的
 - 各CHのノイズレベルを測定し、適切な閾値を設定することでMIPシグナルの観測を行う



正常なCHにおけるノイズレベル分布



- Discriminatorの異常な振る舞い
 - 各CHのノイズレベルを評価する際にDiscriminatorの異常な振る舞いを確認
 - MIP検出に適切な閾値を設定出来ない
 - その原因特定を行った

ノイズレベル評価試験

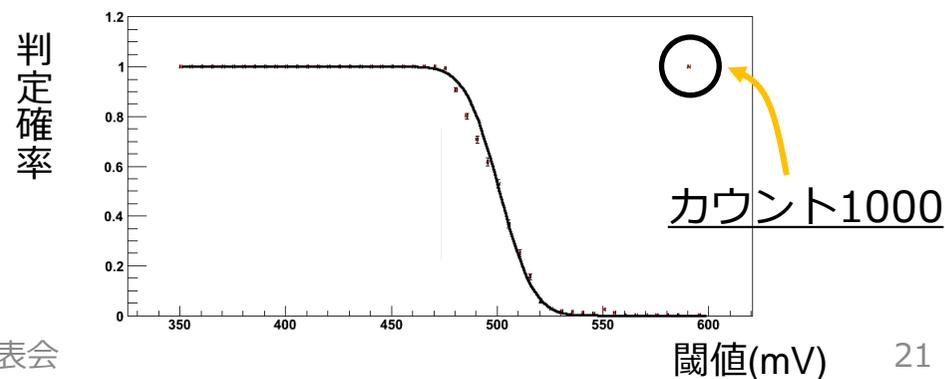
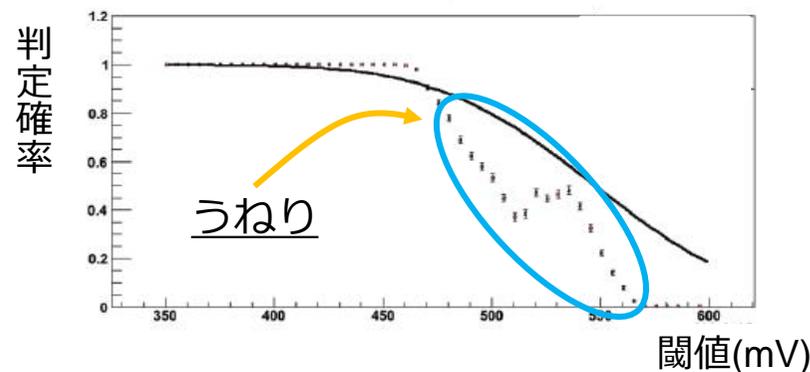
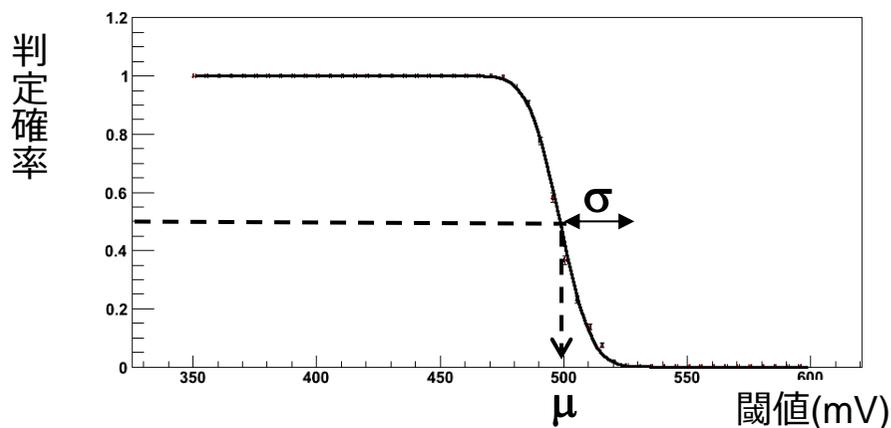
- 入力電圧を入れずに、各閾値に対し1000回のDiscriminator応答を測定
→DiscriminatorがHitと判定した割合を評価した
 - 相補誤差関数Erfc(x)を用いた評価を行い、ペDESTAL値 μ とノイズ σ を測定する

$$1 - \text{Erfc}(x) = 1 - \frac{2}{\sqrt{\pi}} \int_x^{\infty} \exp^{-t^2} dt$$

x : 入力閾値
 $t = \frac{x - \mu}{\sqrt{2} \sigma}$

- 一部異常な分布を示すCHが存在→問題解決に取り組んだ

理想的なノイズ判定確率分布

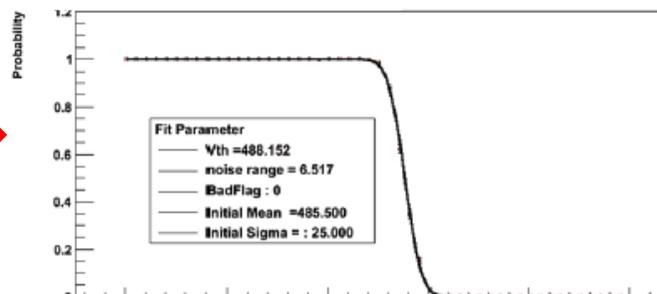
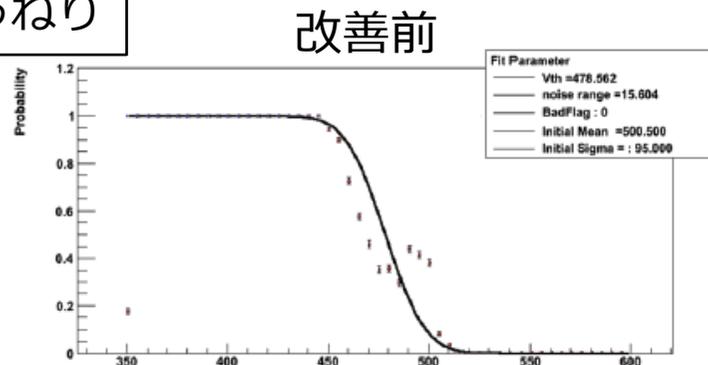


ノイズレベル評価試験

- 対策1：他CHのDiscriminatorからの干渉
 - 対象CHのみを動作させる設定に変更

	うねりの割合	カウント1000
全てのCHを動作	32.3%	1%
1CHのみ動作	7%	20%

うねり

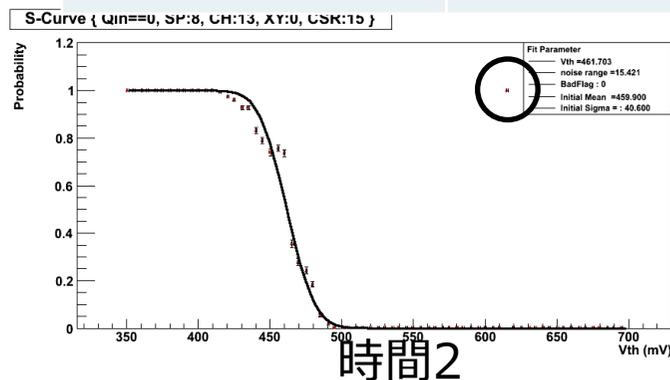
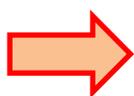
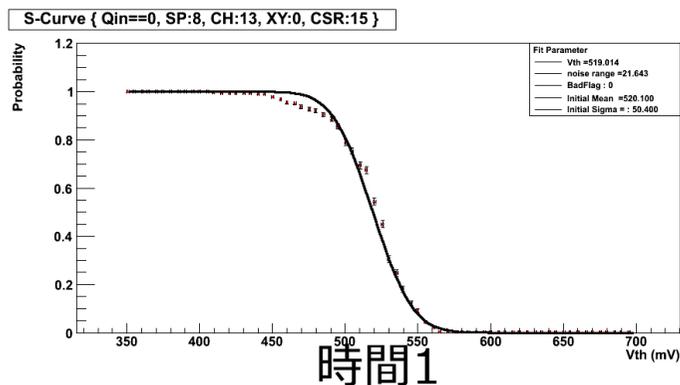


再現性アリ

- 対策2：電源が共通であることの影響
 - アナログとデジタルで電源を分離

	うねりの割合	カウント1000
電源共通	12.5%	14.6%
電源の分離	1.5%	9.4%

カウント1000



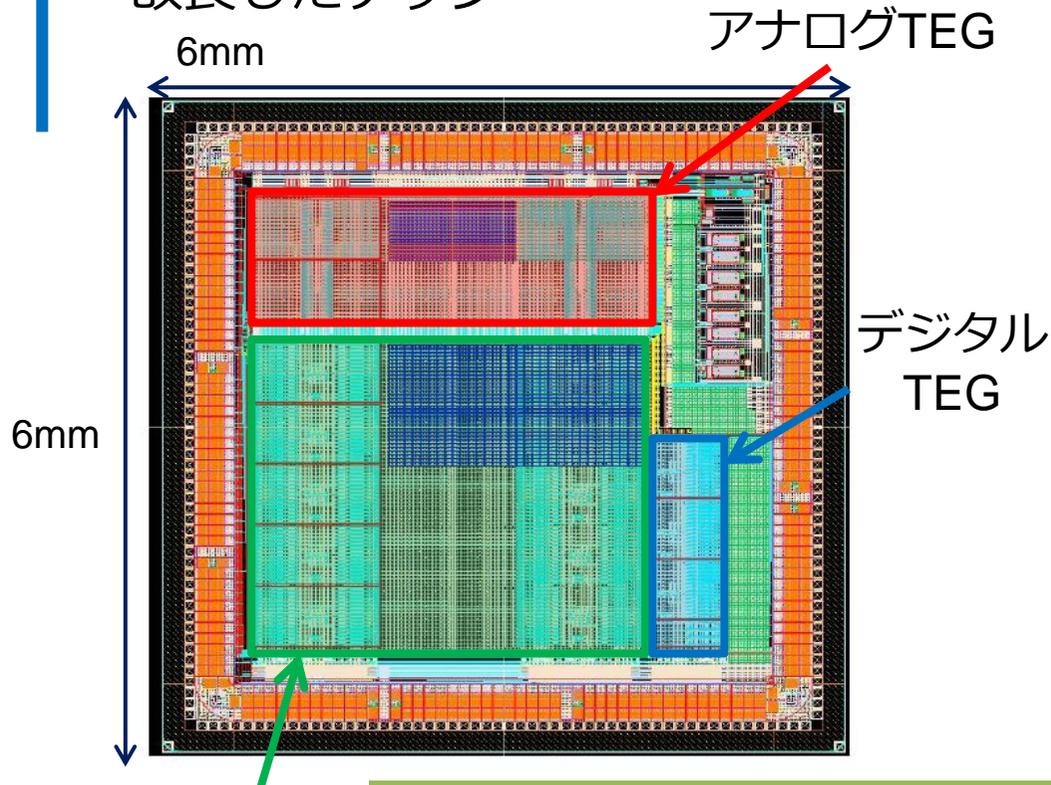
再現性ナシ

試作機PIXOR2性能評価

- PIXOR2概要
- アナログ回路評価試験
- デジタル回路評価試験

試作機PIXOR2

PIXOR2はPIXOR1のデジタル回路機能、ピクセル構成をより実機仕様に改良したチップ



基本情報(PIXOR1からの変更点)

- ピクセルサイズ $35\mu\text{m}(\phi) \times 70\mu\text{m}(z)$

搭載TEG

- **アナログTEG**(16×16 ピクセル:16OR)
Pre-Amp, Discriminatorもモニター可
- **デジタルTEG**
PIXOR1CHをまとめる機能(PIXORSP)を搭載
- **大面積TEG**
アナログ ~ デジタル一連の動作を確認

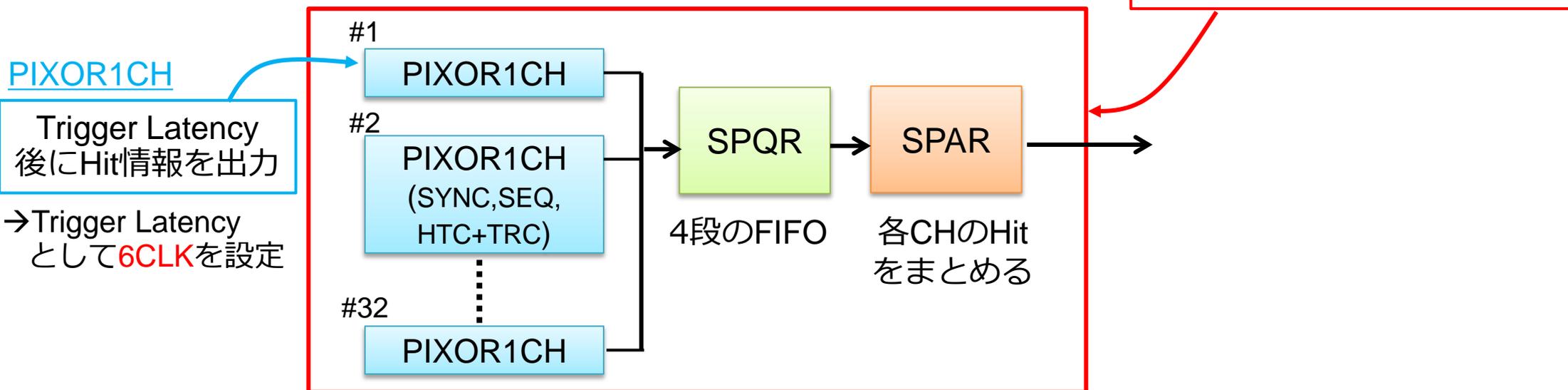
大面積TEG

変更点	PIXOR1	PIXOR2
ピクセル数	$25\mu\text{m}(\phi) \times 40\mu\text{m}(z)$	$35\mu\text{m}(\phi) \times 70\mu\text{m}(z)$
OR数	4OR (4×4ピクセル)	16OR (16×16ピクセル)
アナログ回路モニタ端子	Shaper	Pre-amp, Shaper, Discriminator
デジタル回路試験対象	PIXOR1CHのみ	Super Pixel単位で試験

デジタル回路評価

- 実機仕様に向けた7つの回路機能を搭載
 - トリガーに一致したHitの検出
SYNC, SEQ, HTC (カウンタ×2 New) + TRC, PIXOR1CH
 - 各CHで検出したHitをSuper Pixel内でまとめる機能(New)
SPQR(Queue Register), SPAR(ARbiter), **PIXORSP**

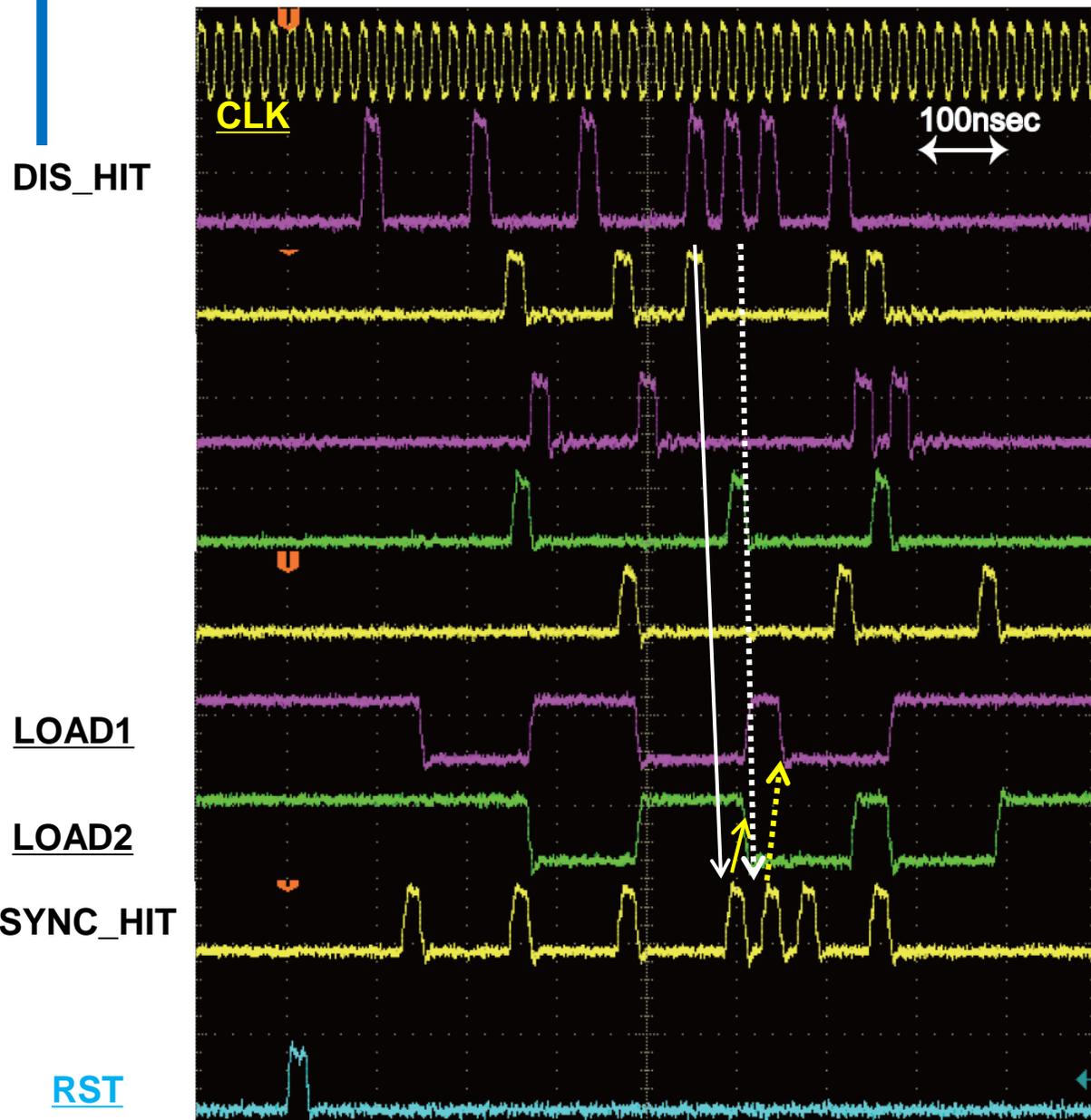
- PIXOR2デジタル回路構成



50MHzの動作CLKで正常動作を行うか動作試験を行った
(Belle II実験での要求CLKは42.4MHz)

デジタル回路評価 (PIXOR1CH)

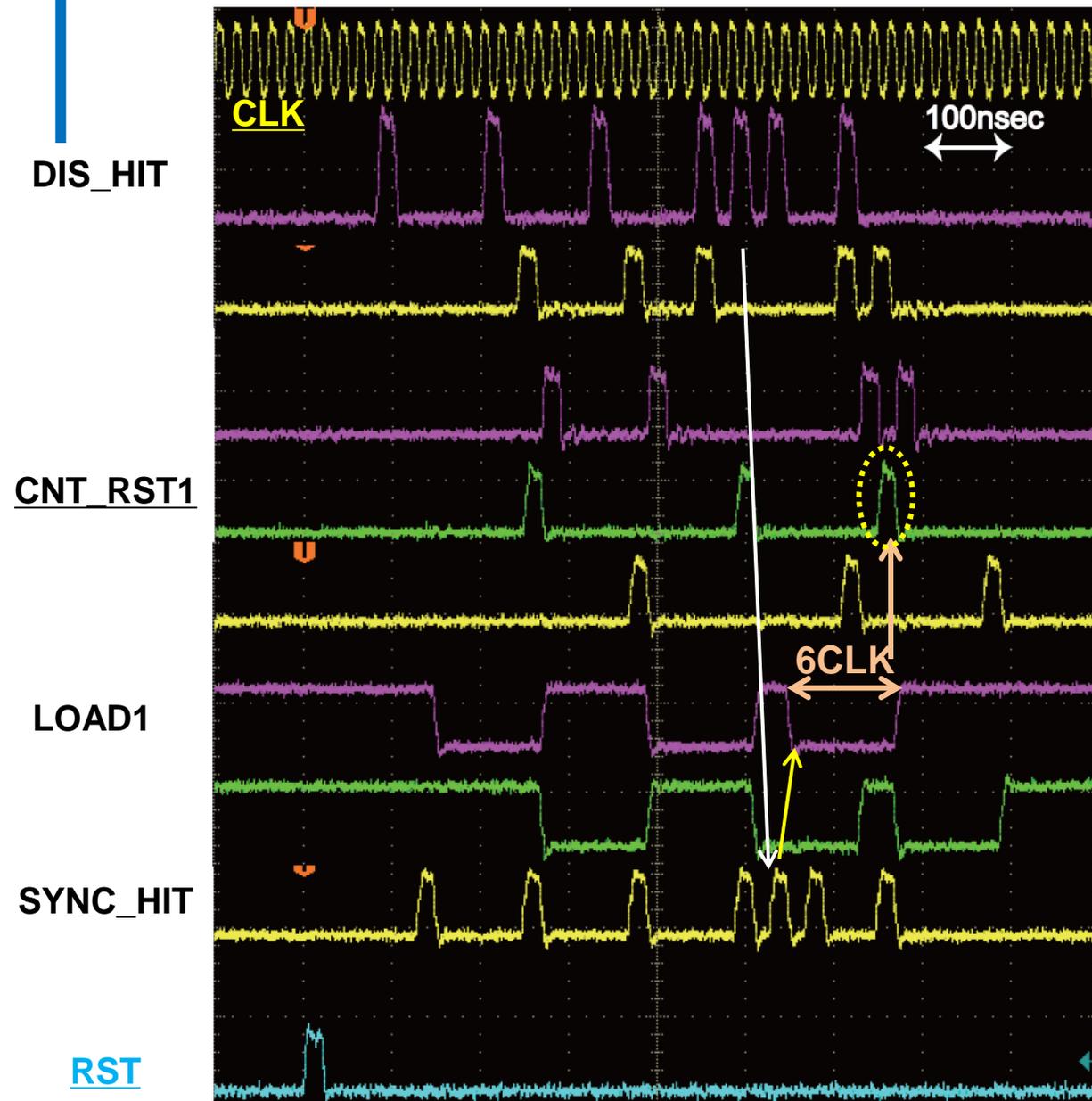
測定結果@50MHz



1. DIS_HITの入力により対応するカウンタがTrigger Latency時間をカウントダウン開始する
 - カウンタが2個ついているため、連続Hitにも対応 😊

デジタル回路評価 (PIXOR1CH)

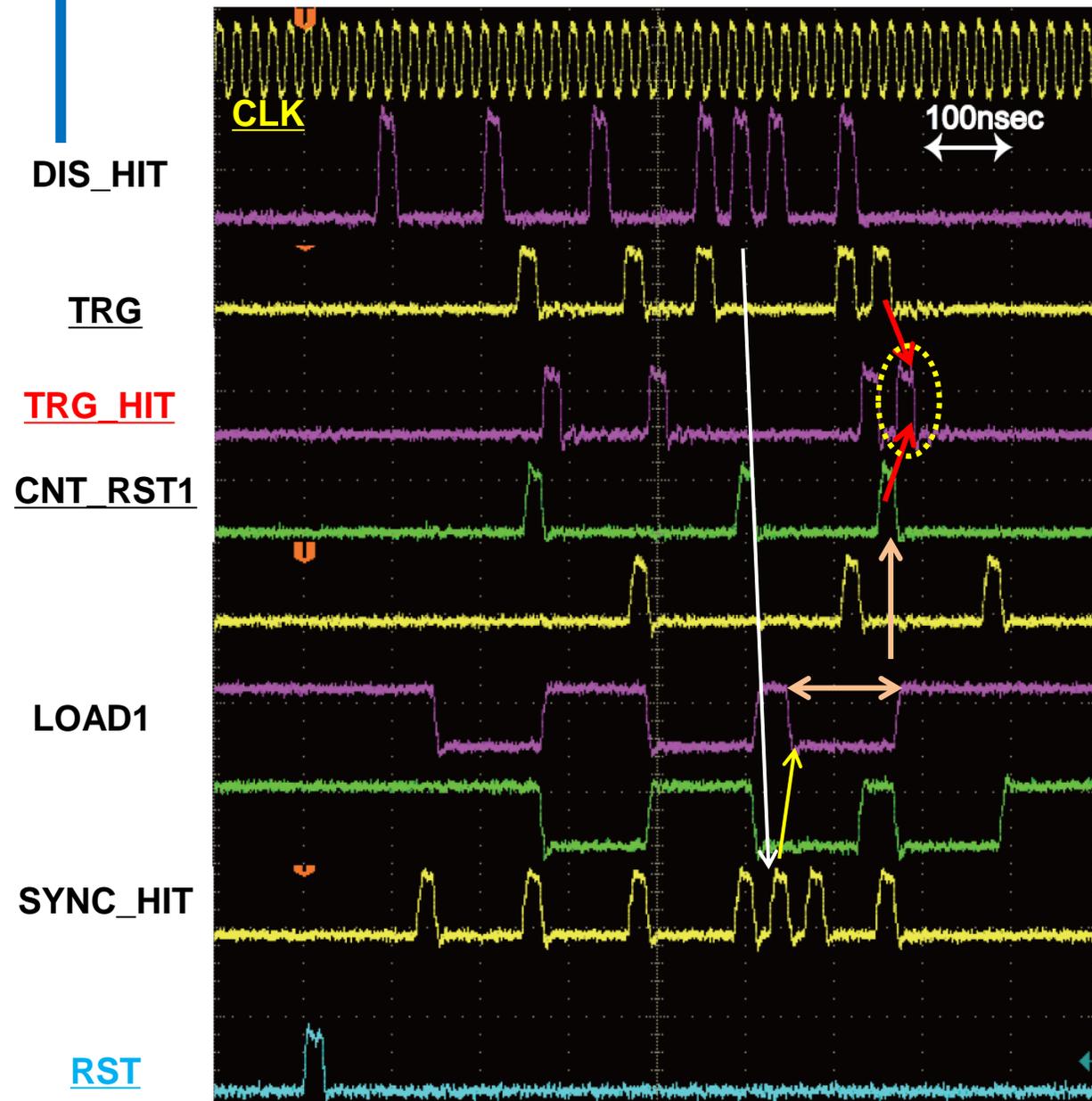
測定結果@50MHz



1. SYNC_HITの入力により対応するカウンタがTrigger Latency時間をカウントダウン開始
2. Trigger Latency時間をカウントするカウンタ値が1になるとリセット信号(CNT_RST)がHighになる

デジタル回路評価 (PIXOR1CH)

測定結果@50MHz



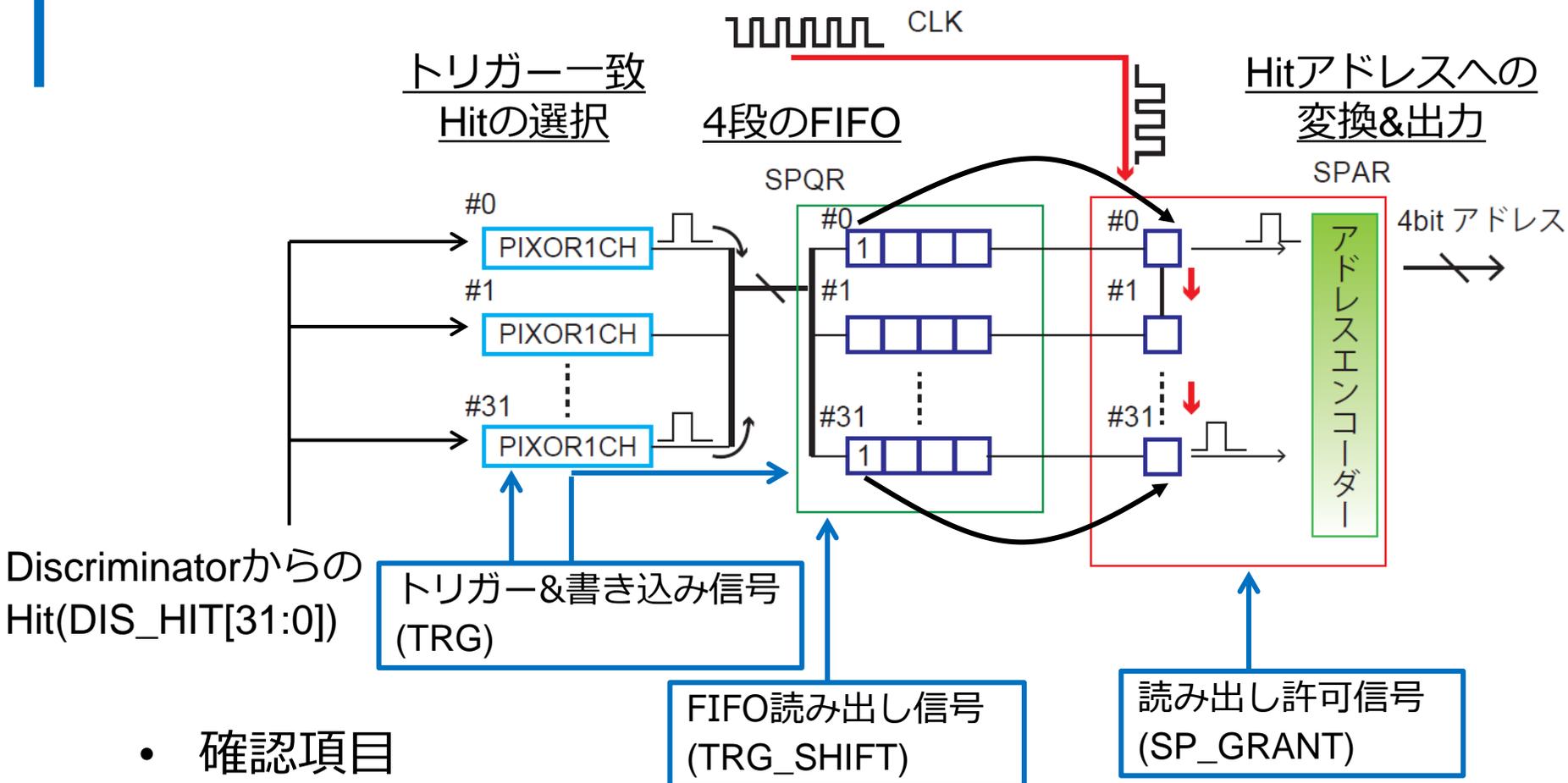
1. SYNC_HITの入力により対応するカウンタがTrigger Latency時間をカウントダウン開始
 2. Trigger Latency時間をカウントするカウンタ値が1になるとリセット信号(CNT_RST)がHighになる
 3. TRGとCNT_RST信号が一致した時のみ、PIXOR1CHの出力であるTRG_HITがHighになる
(カウンタ値が0でHit信号が出力)
- 50MHzにおけるPIXOR1CHの正常動作を確認

デジタル回路評価 (PIXORSP)

データの流れ

→ データの流れ

→ CLKの流れ



- 確認項目

- Hitアドレスの1CLK毎の出力
- FIFOがFULLでのHit情報を受け付けない

デジタル回路評価 (PIXORSP)

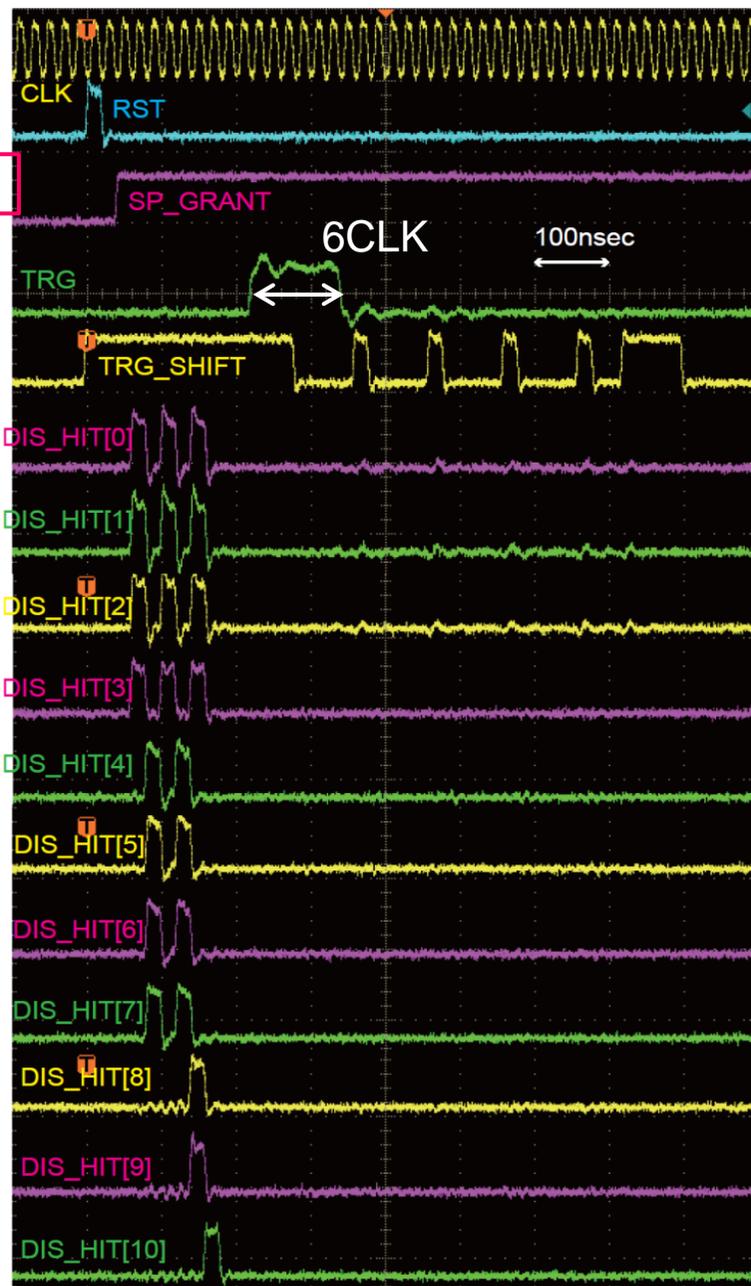
入力信号

リセット信号

読み出し許可信号

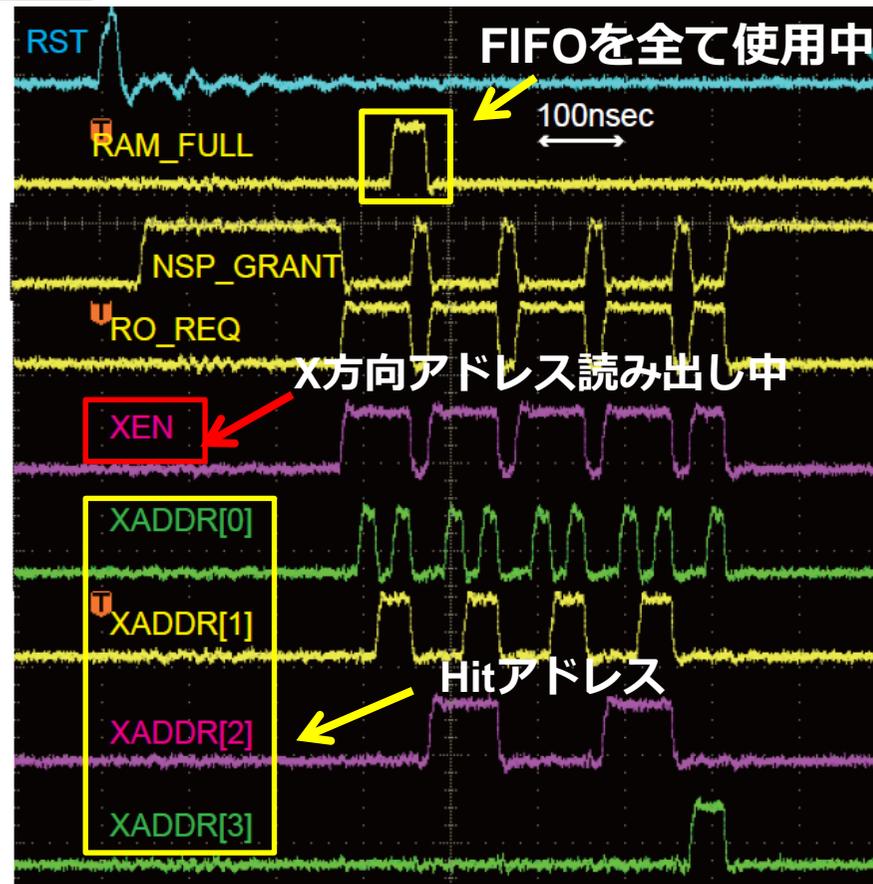
トリガー信号

FIFOからの読み出し信号



Discriminatorからの出力

出力信号



動作CLK : 50MHz

デジタル回路評価 (PIXORSP)

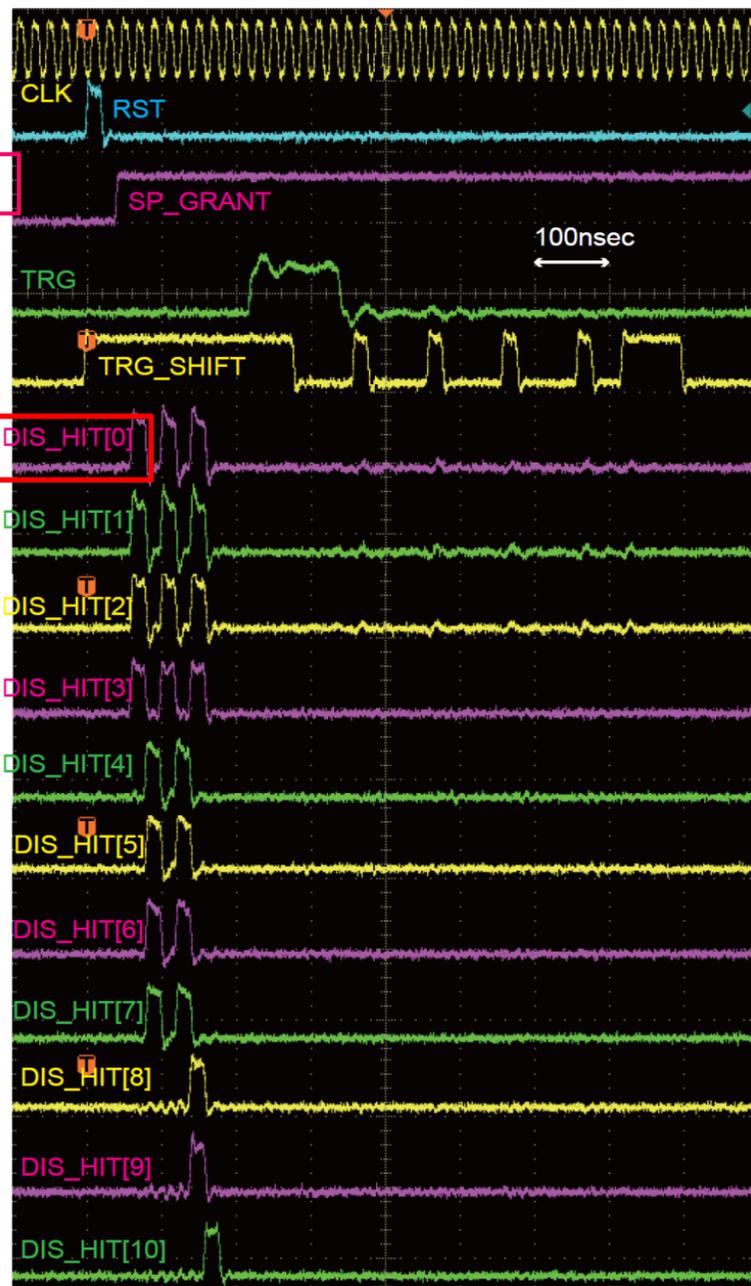
入力信号

リセット信号

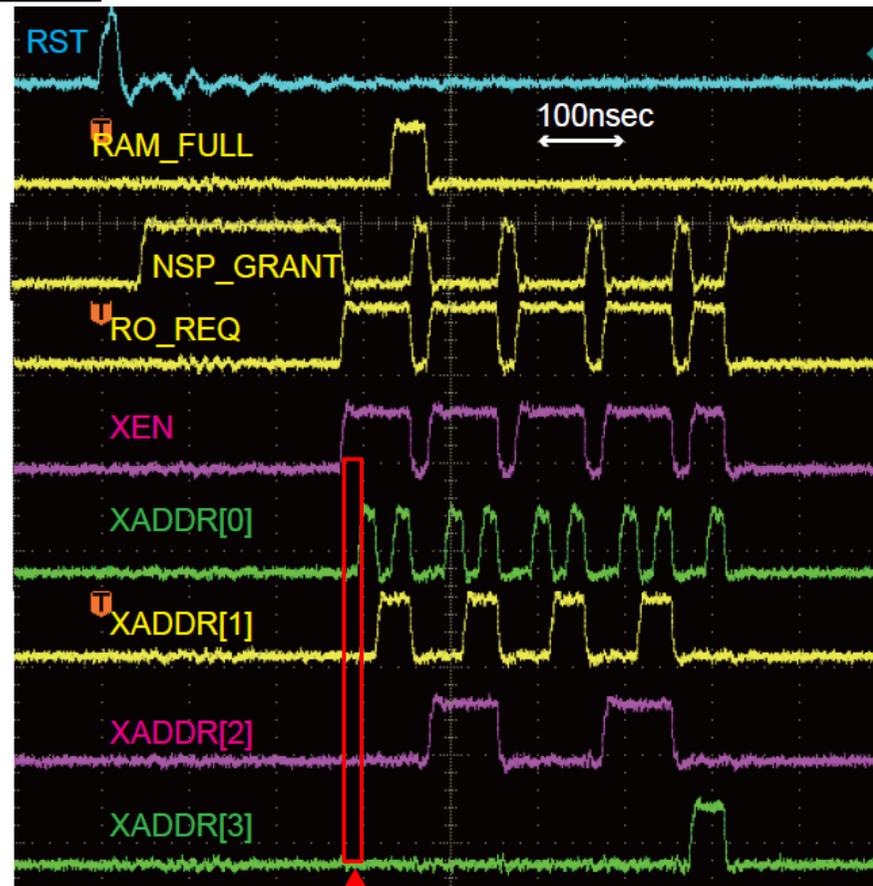
読み出し許可信号

トリガー信号

FIFOからの
読み出し信号



出力信号



Hitアドレス : 0

デジタル回路評価 (PIXORSP)

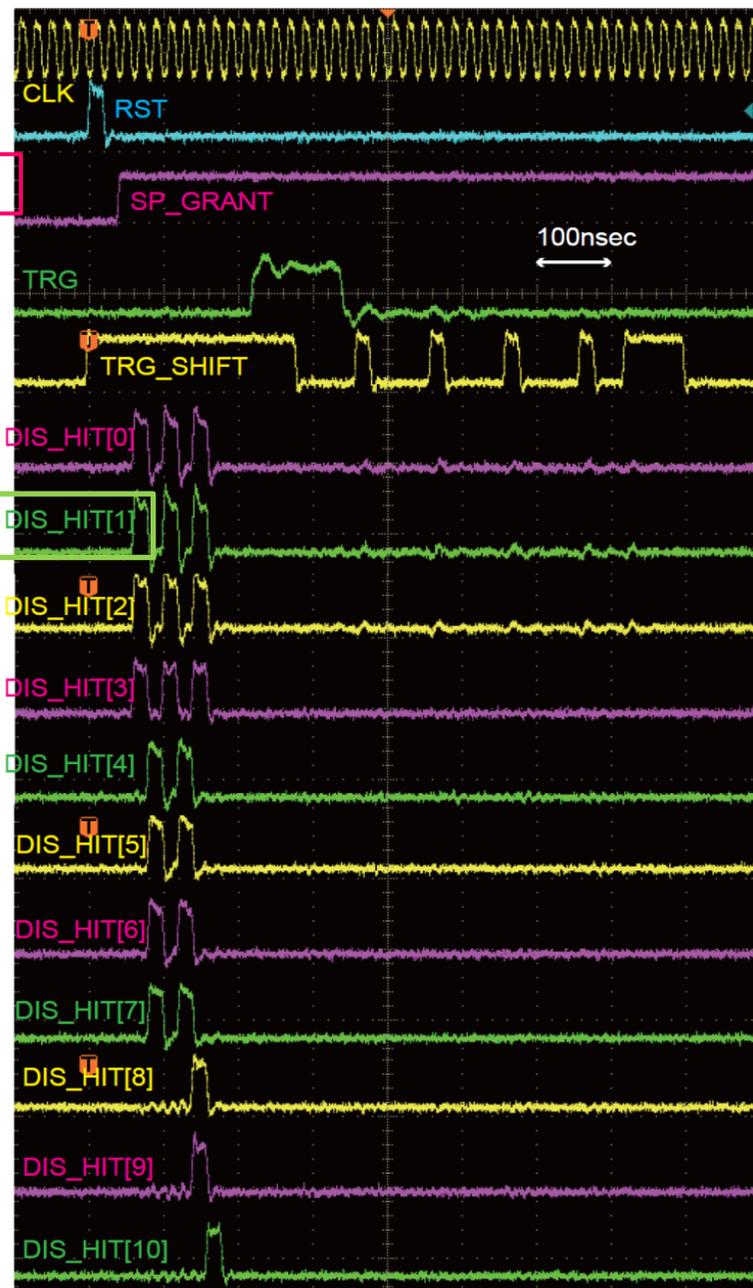
入力信号

リセット信号

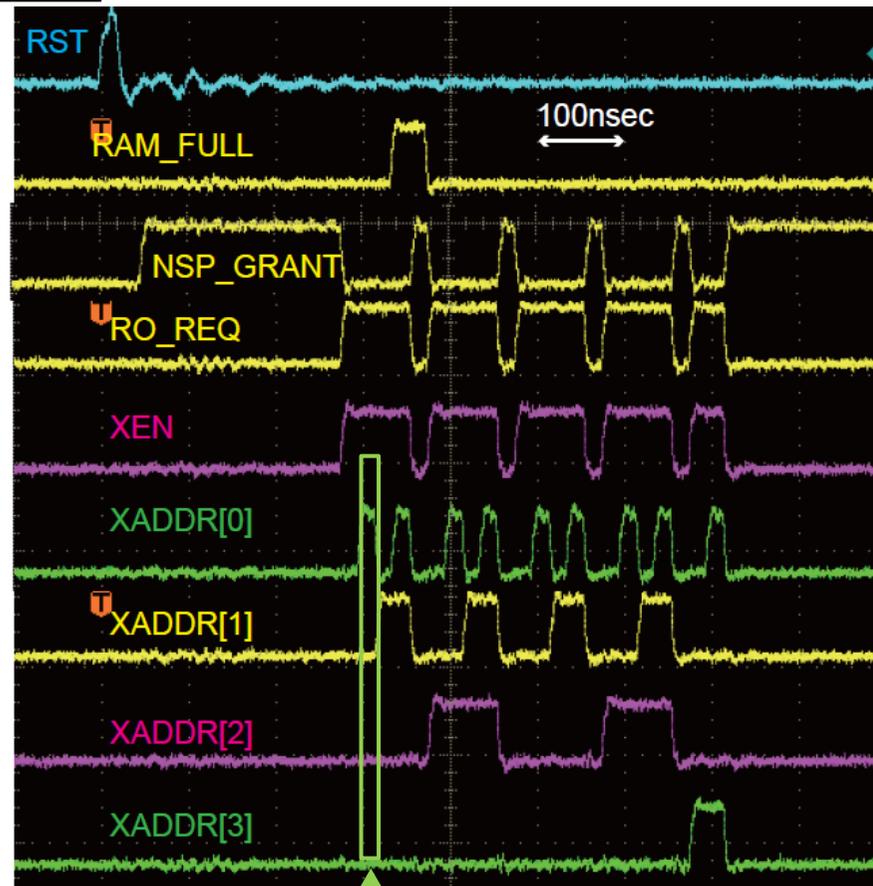
読み出し許可信号

トリガー信号

FIFOからの
読み出し信号



出力信号



Hitアドレス : 1

デジタル回路評価 (PIXORSP)

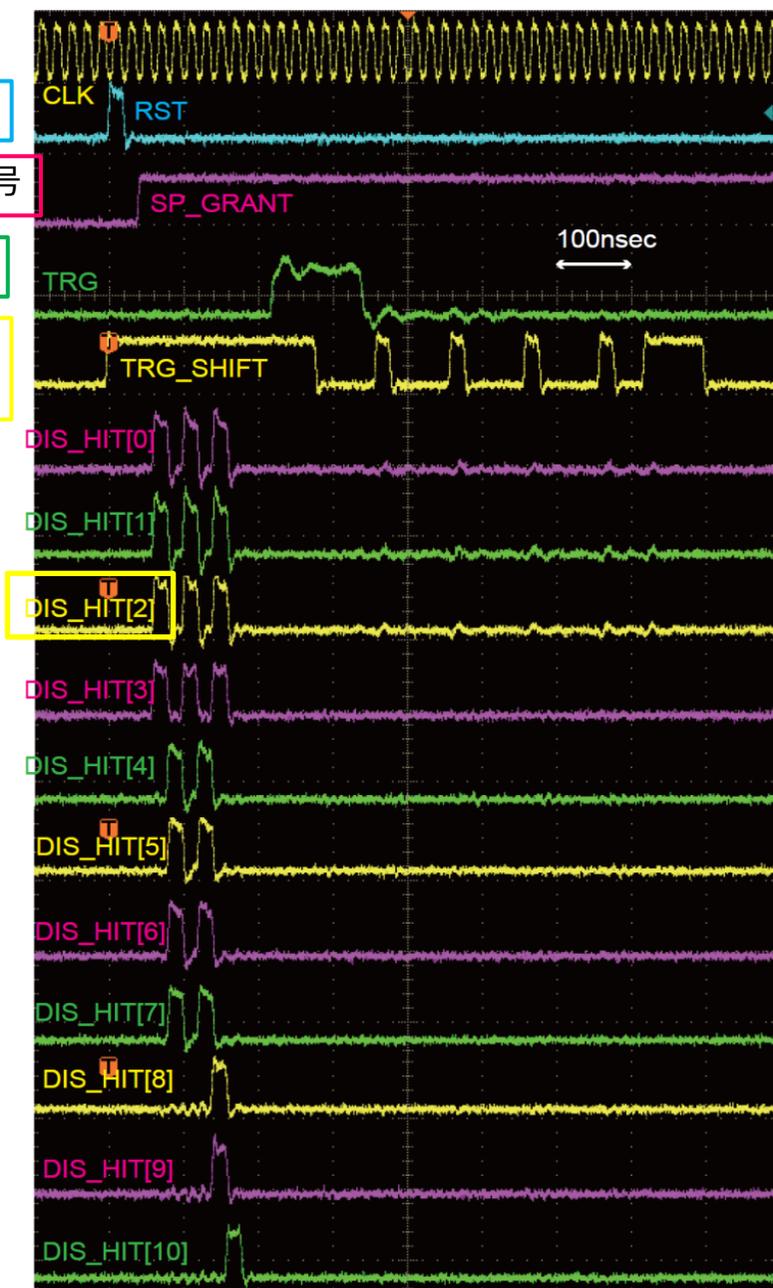
入力信号

リセット信号

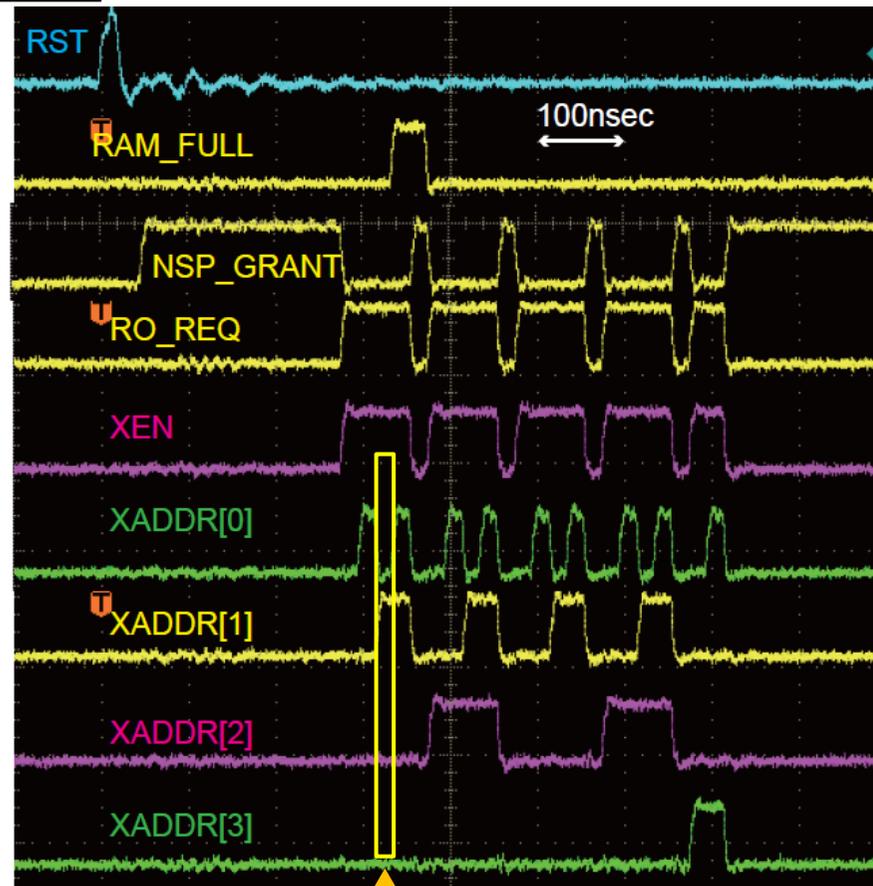
読み出し許可信号

トリガー信号

FIFOからの
読み出し信号



出力信号



Hitアドレス : 2

デジタル回路評価 (PIXORSP)

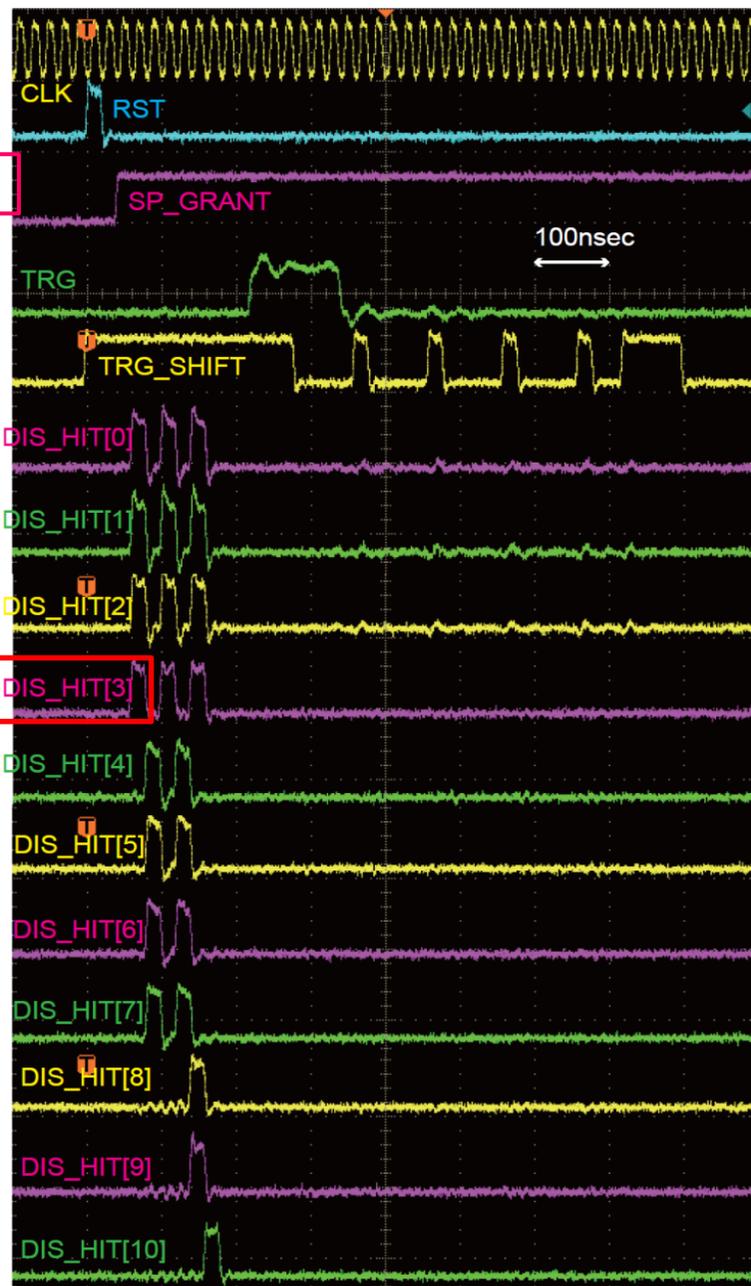
入力信号

リセット信号

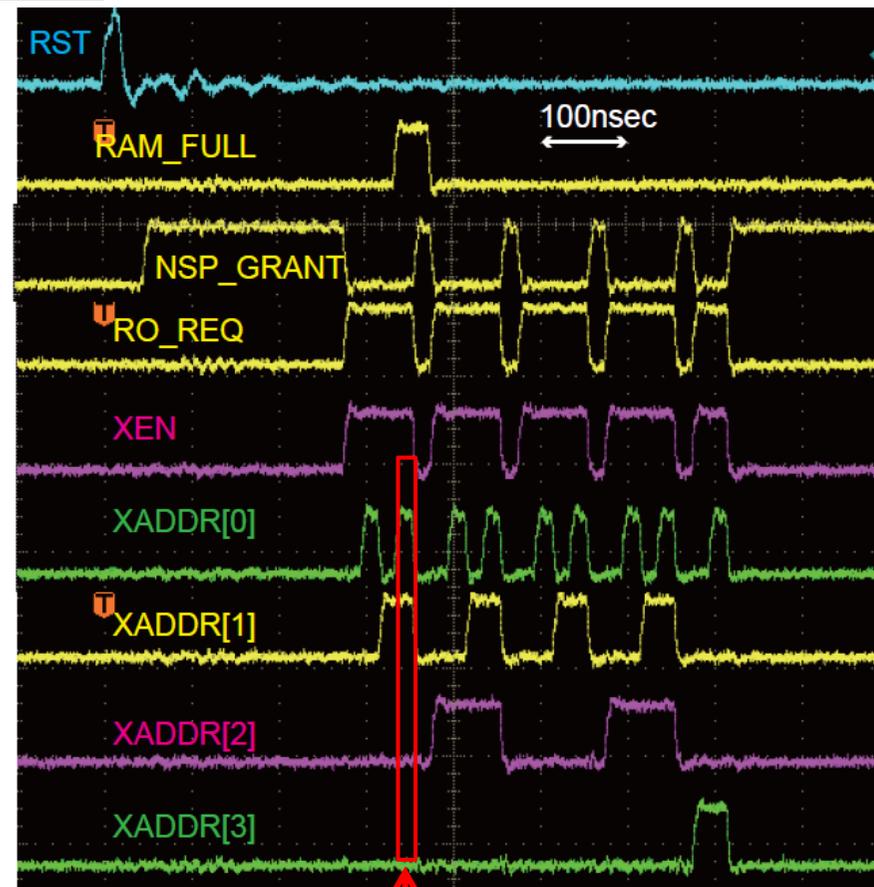
読み出し許可信号

トリガー信号

FIFOからの
読み出し信号



出力信号



Hitアドレス : 3

デジタル回路評価 (PIXORSP)

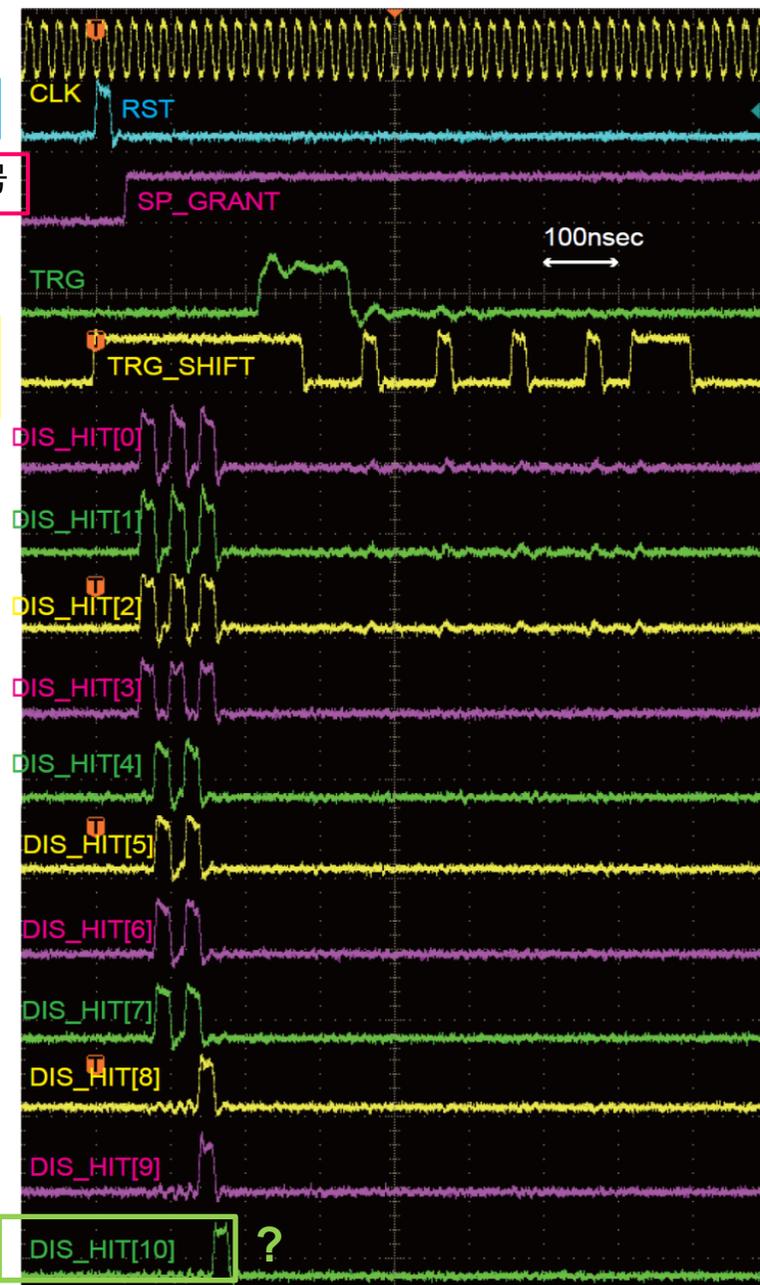
入力信号

リセット信号

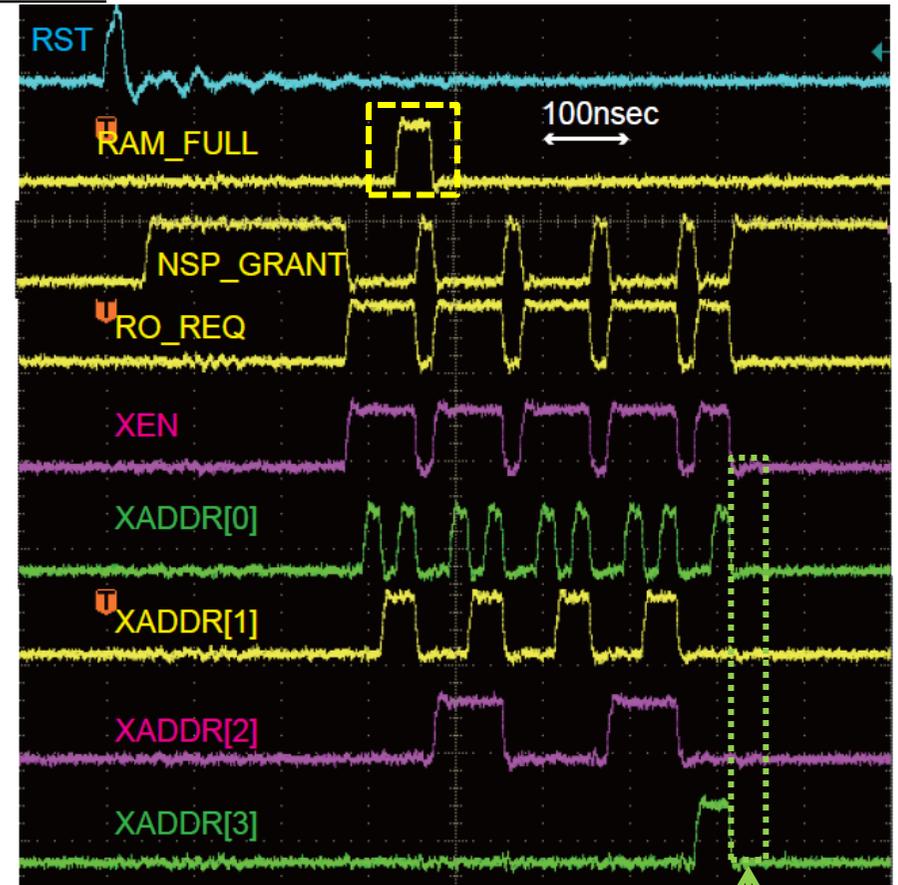
読み出し許可信号

トリガー信号

FIFOからの
読み出し信号



出力信号



最後のイベント(DIS_HIT[10])を
取り込むとFIFOが満杯になってしまう
→ Hit情報は捨てられるため出力されない

デジタル回路評価 (PIXORSP)

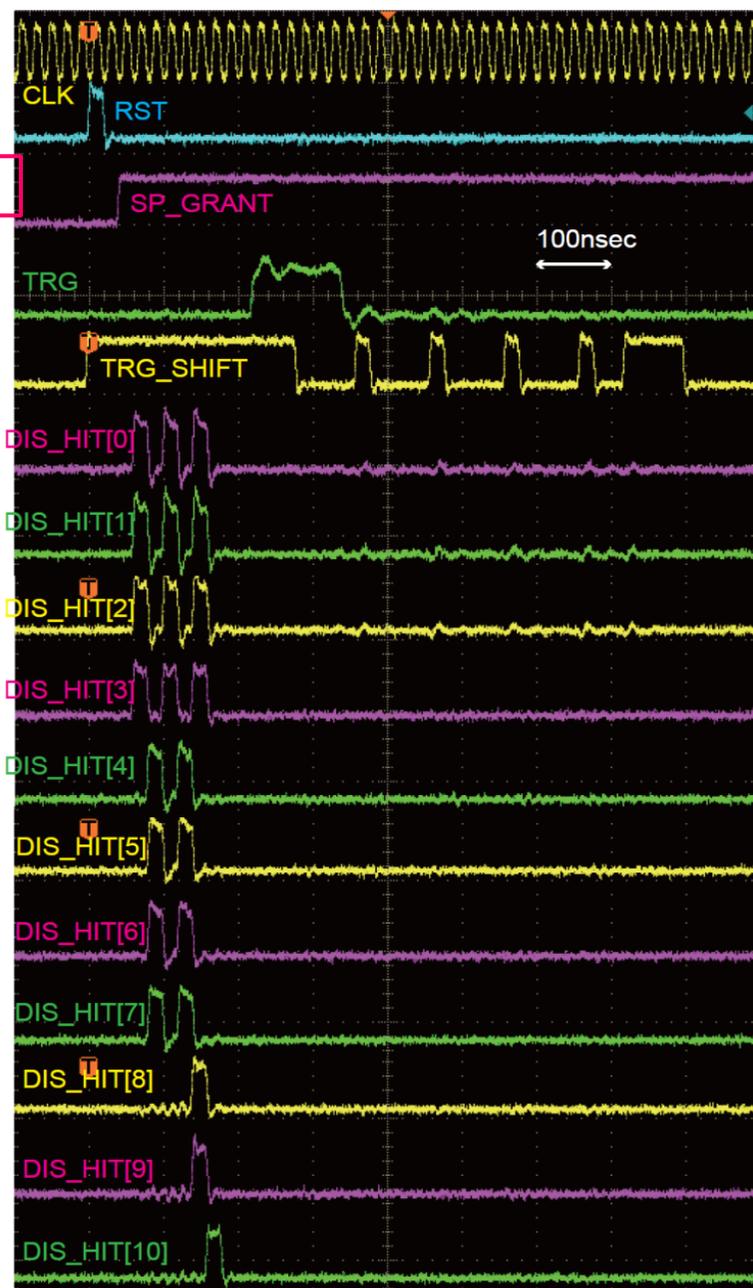
入力信号

リセット信号

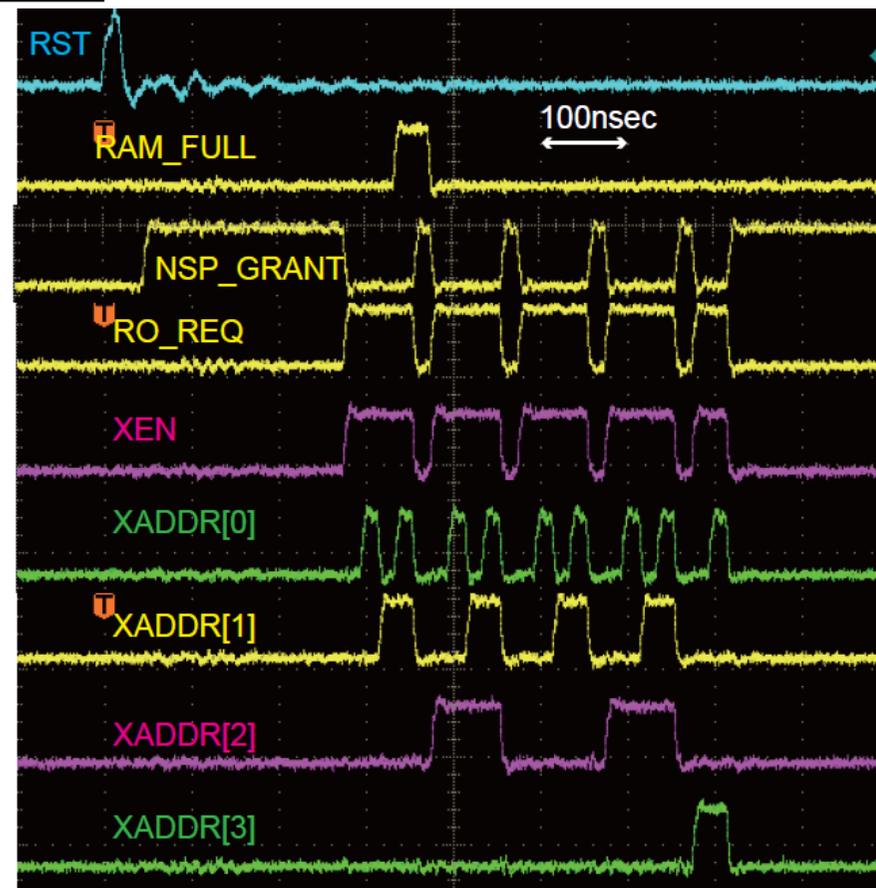
読み出し許可信号

トリガー信号

FIFOからの
読み出し信号



出力信号



➤ 50MHzにおけるPIXORSPの
正常動作を確認

まとめ

Belle II実験の崩壊点検出器導入を目指すSOI検出器:PIXORの性能評価を行った

- PIXOR1

- ノイズレベル測定で異常な現象を見つけ、その一部には対処出来たが高い閾値でのノイズが発生する課題に対してはまだ完全に解決されていない
- Double SOIを用いたCircuit On Sensor構造の安定動作を確認

- PIXOR2

- 16OR構造では寄生容量増加によるゲインの低下を確認した
- 実機仕様に近いデジタル回路は50MHzでの正常動作を確認

➤ Belle II実験でも動作することを実証 ☺

[PIXORロードマップ](#)

[Belle II崩壊点検出器 PXD+SVD](#)

[SVDの物理](#)

[TID効果](#)

[Double SOI PIXOR1の測定結果](#)

[Discriminator](#)

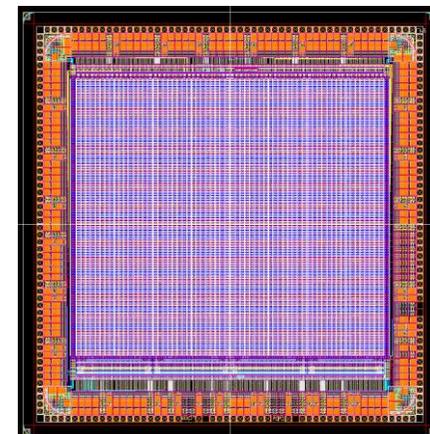
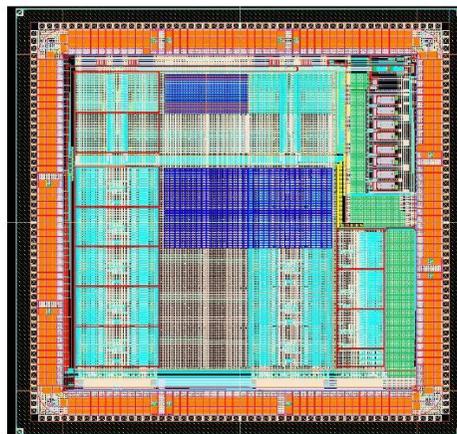
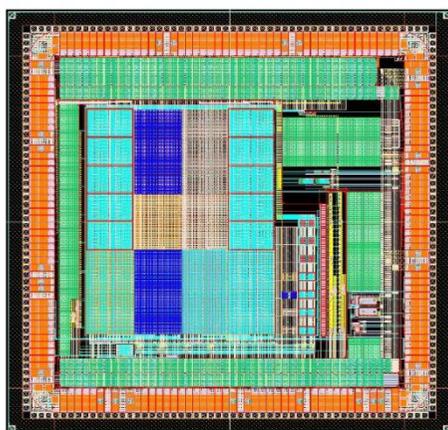
[PIXOR2アナログ回路試験](#)

[PIXOR2デジタル回路動作結果](#)

バックアップ

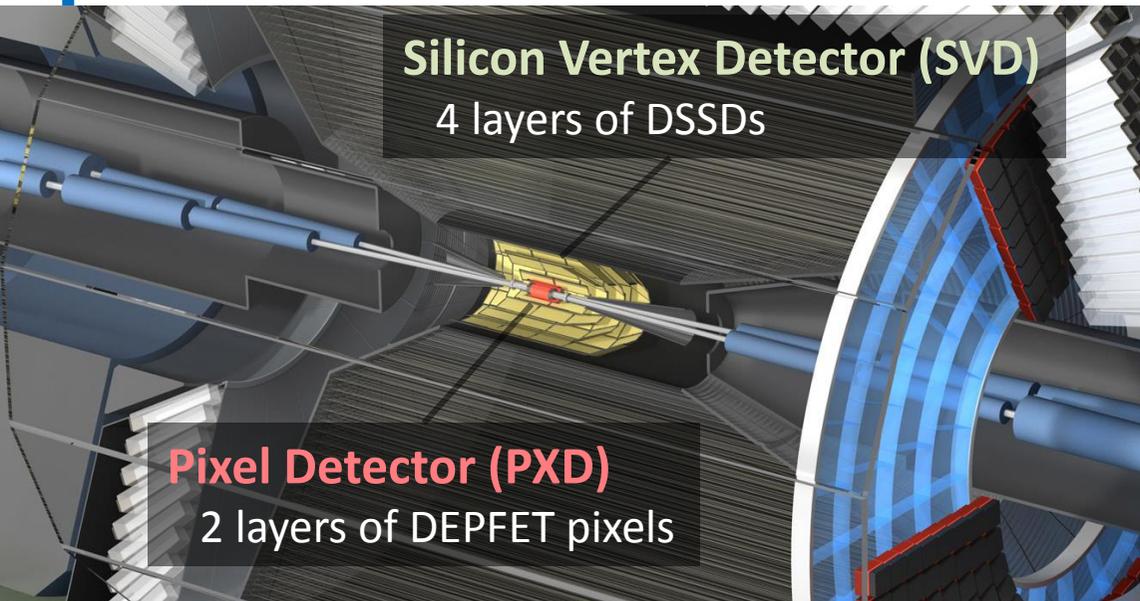
PIXORロードマップ

- 2014年2月時点でPIXOR3まで存在している。



	PIXOR1	PIXOR2	PIXOR3
ピクセルサイズ	25 $\mu\text{m}(\phi)\times 40\mu\text{m}(z)$	35 $\mu\text{m}(\phi)\times 70\mu\text{m}(z)$	35 $\mu\text{m}(\phi)\times 70\mu\text{m}(z)$
チップサイズ	6mm	6mm	6mm
搭載TEG	アナログ、デジタル、 大面積TEG	アナログ、デジタル、 大面積TEG	大面積TEGのみ
総ピクセル数			2,688(=16 ² \times 4 \times 7)
その他		デジタル回路機能が より増強	p型Double SOI基板対応

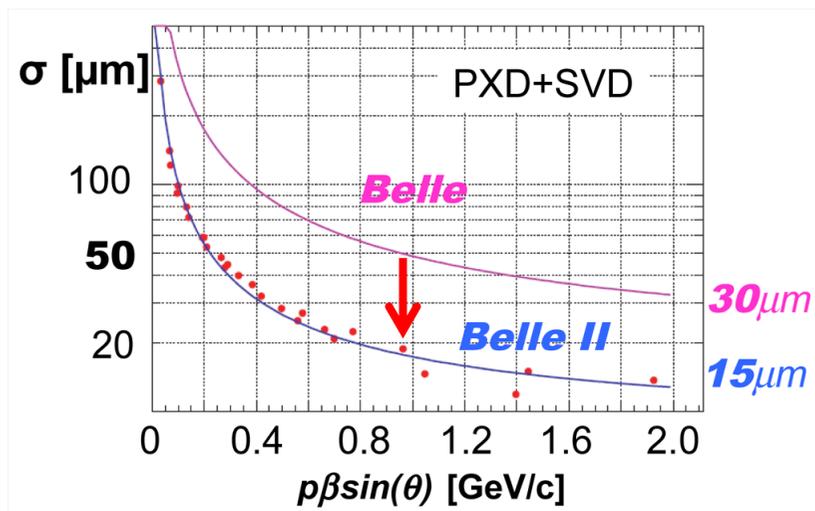
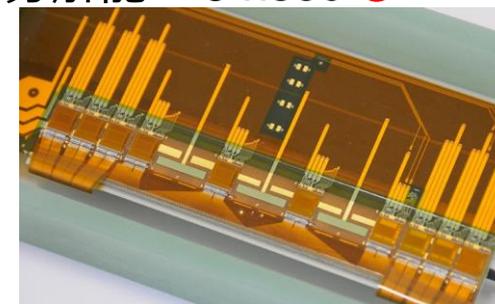
Belle II崩壊点検出器 PXD + SVD



- Pixel Detector
 - 8×10^6 pixels
 - 位置分解能※ $\sim 15 \mu\text{m}$
 - 時間分解能 $\sim 20 \mu\text{sec}$ 😞



- Silicon Vertex Detector
 - 22×10^4 strips
 - 位置分解能 ※ $\sim 12 / 25 \mu\text{m}$
 - 時間分解能 $\sim 3 \text{ nsec}$ 😊



- PXDとSVDの組み合わせにより、崩壊点検出器として優れた性能を発揮する

※VCI 2013 スライドより

SVDの物理

- SVDは K_s などの比較的寿命の長い粒子の崩壊点を測定する
- $b \rightarrow s \gamma$ 遷移や、 $B \rightarrow K_s \eta \gamma$ の再構成など、 K_s は**新物理の探索**に有効である

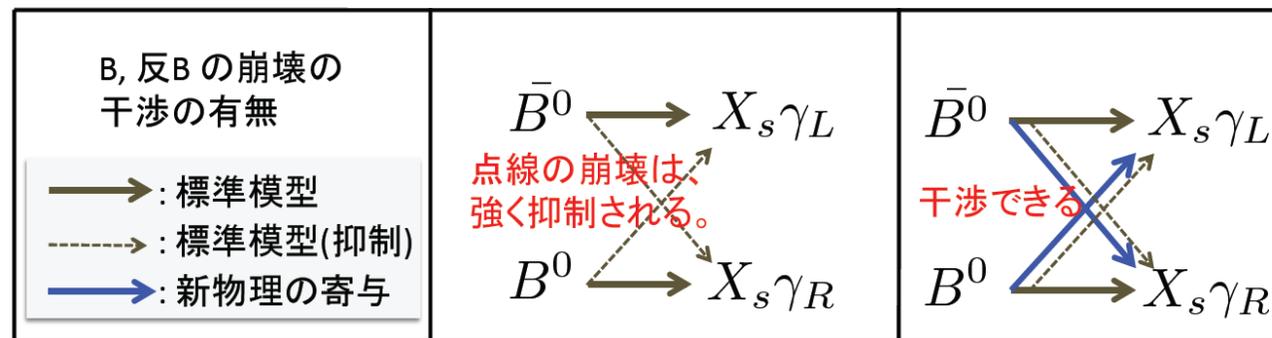
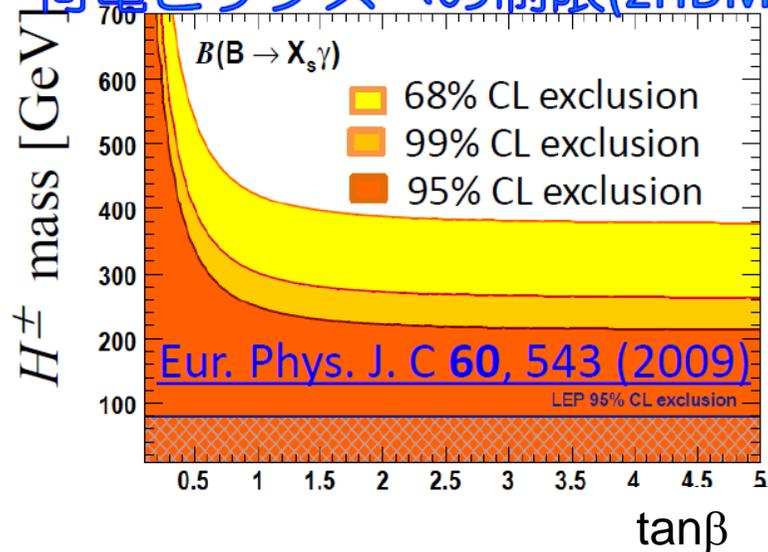
- $b \rightarrow s \gamma$ 遷移

- ループを回る思い新粒子探索に有用
- **新物理モデルに強い制限を与える**

- $B \rightarrow K_s \eta \gamma$ 崩壊

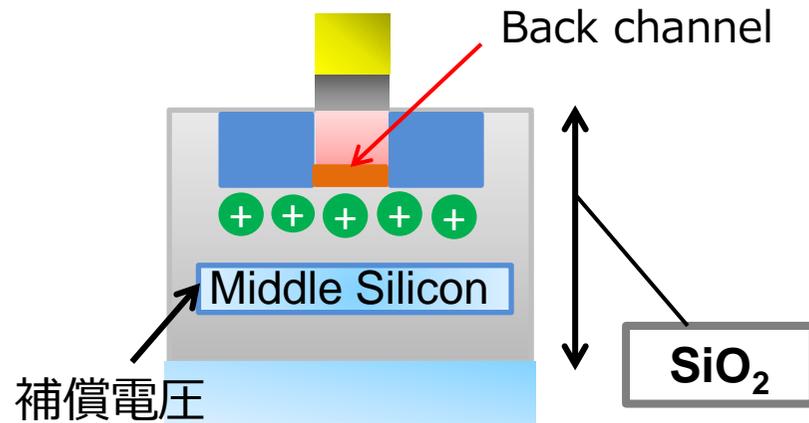
- 標準模型で抑制されているB・反B中間子の干渉を探索することで新物理を探索する

荷電ヒッグスへの制限(2HDM)



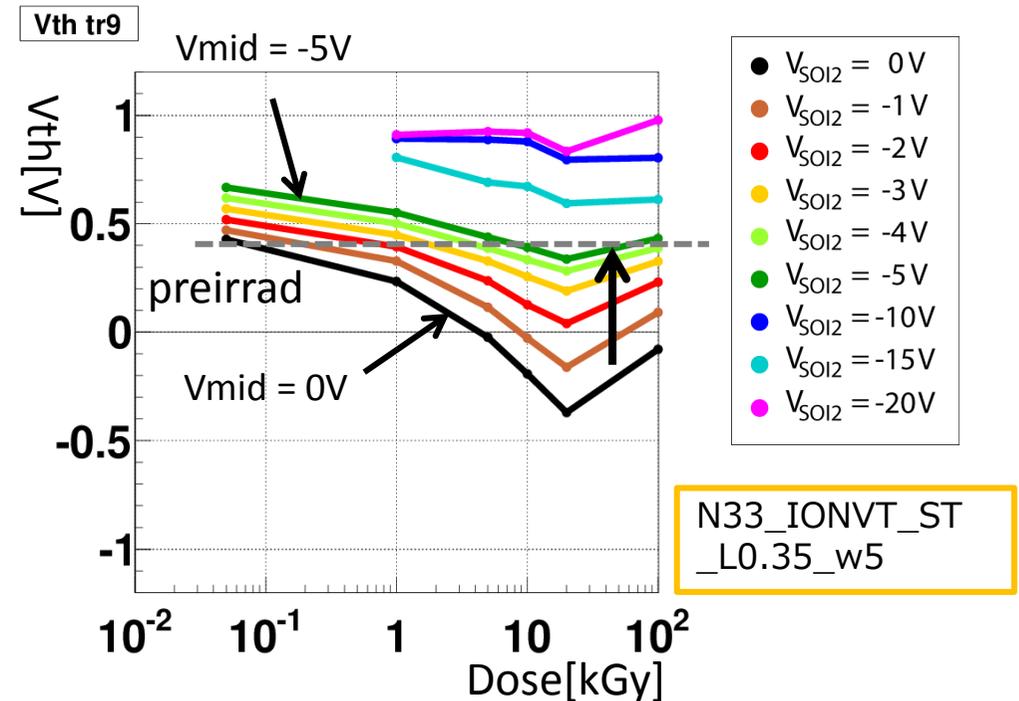
Total Ionizing Dose(TID)効果

◆ Total Ionizing Dose(TID) 効果



BOX層に蓄積したホールを、Middle Siに補償電圧を印加することで影響を抑える
(back channelの形成を抑える)

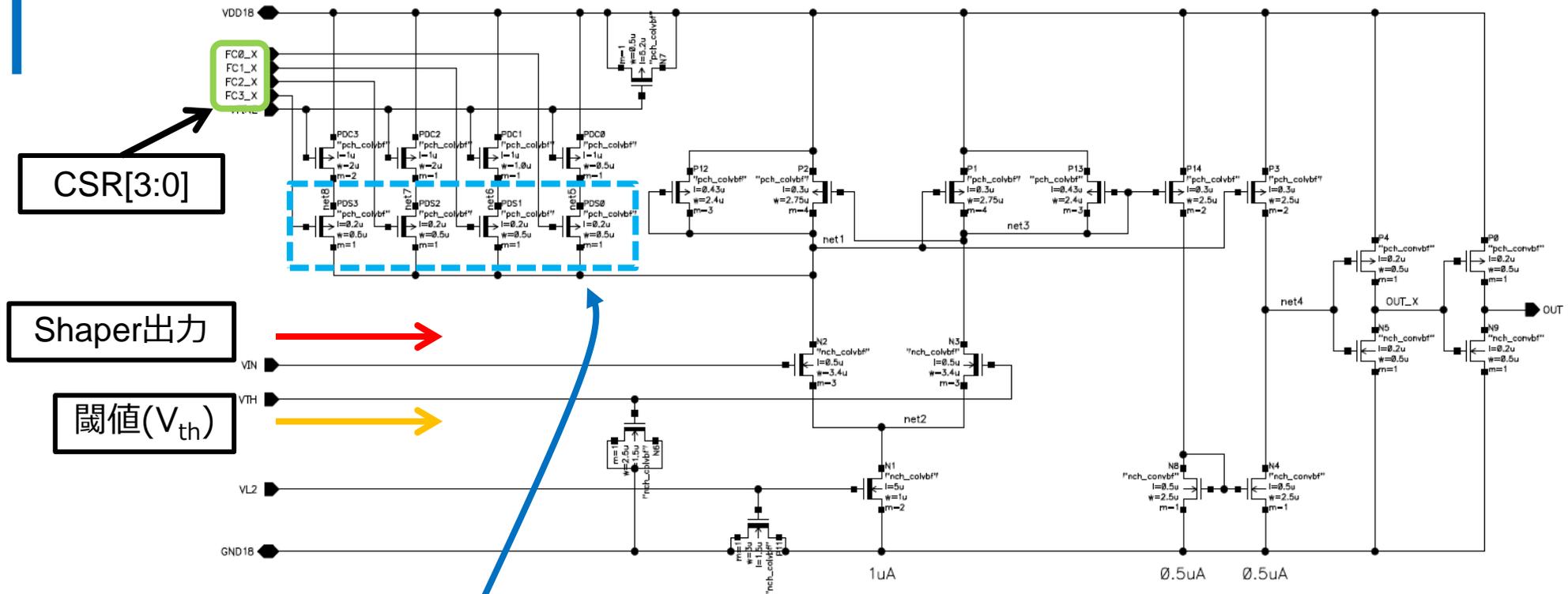
◆ 閾値シフトの補償



ホールトラップによる閾値変動が負電圧を印加することで、未照射時にほぼ等しくなっている

Discriminator回路

Discriminator回路図



CSR[3:0]

Shaper出力

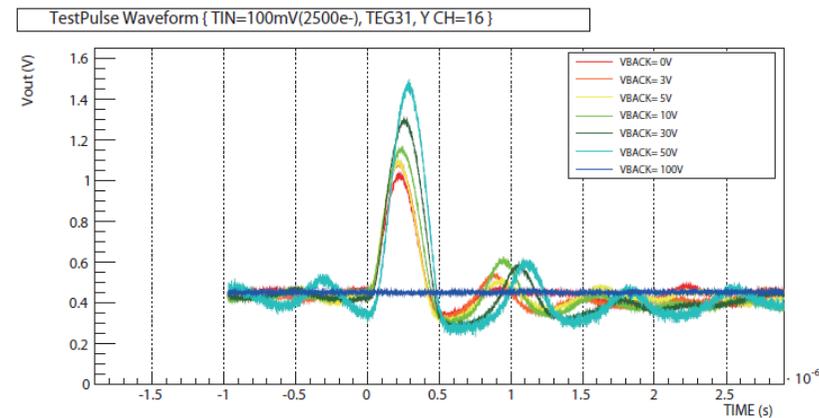
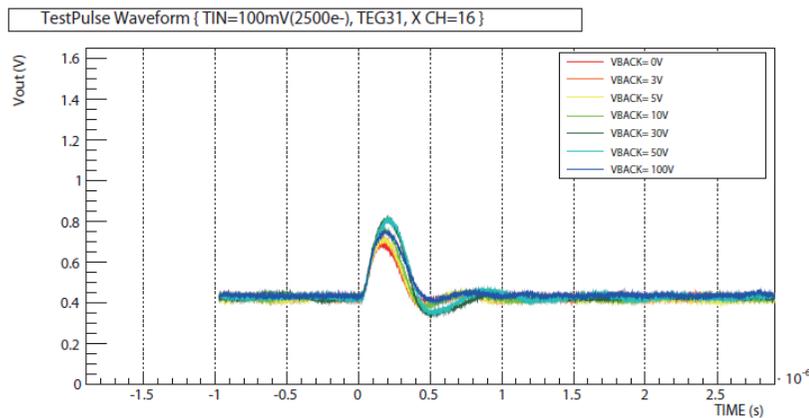
閾値(V_{th})

CSR[3:0]によって電流量を調節するPMOSトランジスタ

CELL NAME: ARIDISCRS_13E
 (<-ARIDISCRS_13C)
 ~ Clamped push-pull output comparator with hysteresys ~
 ~ Add INV intof output ~
 ~ Add the bit of DAC for calibrating ~
 ~ PMOS Pass Con size changed: W/L=2.3u/1.5u -> 0.5u/5.2u ~
 ~ NOMS bypass cap widths changed: W=3u,3.5u -> 2.5u,3.0u ~

Double SOIの V_{back} 依存性測定

- Middle Siに0.2Vを印加し、 V_{back} に対する応答波形の変化を測定した。
 - 印加電圧： $V_{back} = 0, 3, 5, 10, 30, 50, 100V$
 - 入力電圧： $T_{IN} = 100mV$ (2,500e⁻に相当)



Single SOI時に見られたパルス幅の増加は確認されなかった。

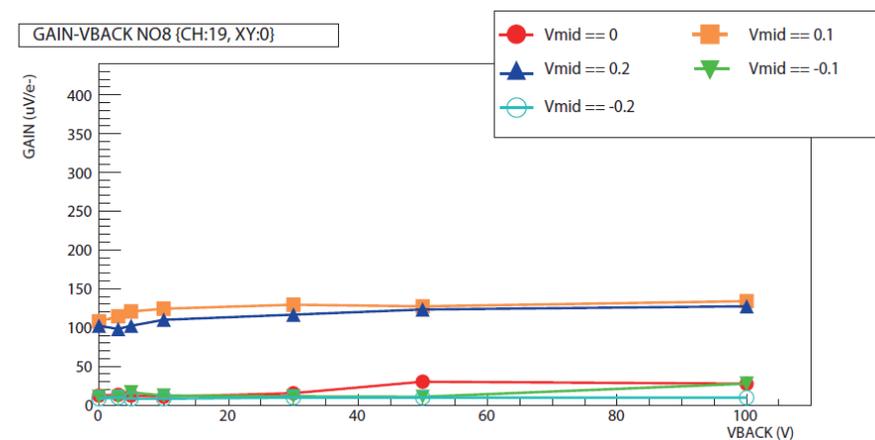
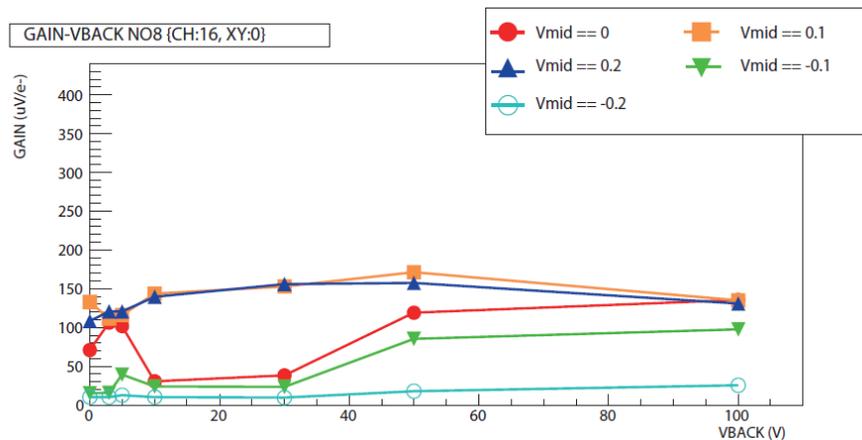
➤ **Double SOIにより解決出来た。**

しかし、一部CHに振動を確認

→ 適切なバイアス電流値には個体差があると考えられる。

Middle Siへの印加電圧依存測定

- Middle Siに印加する電圧を変化させ、 V_{back} に対するゲインの変化を測定した。
 - 印加電圧： $V_{back} = 0, 3, 5, 10, 30, 50, 100V$
： $V_{mid} = -0.2, -0.1, 0, 0.1, 0.2V$



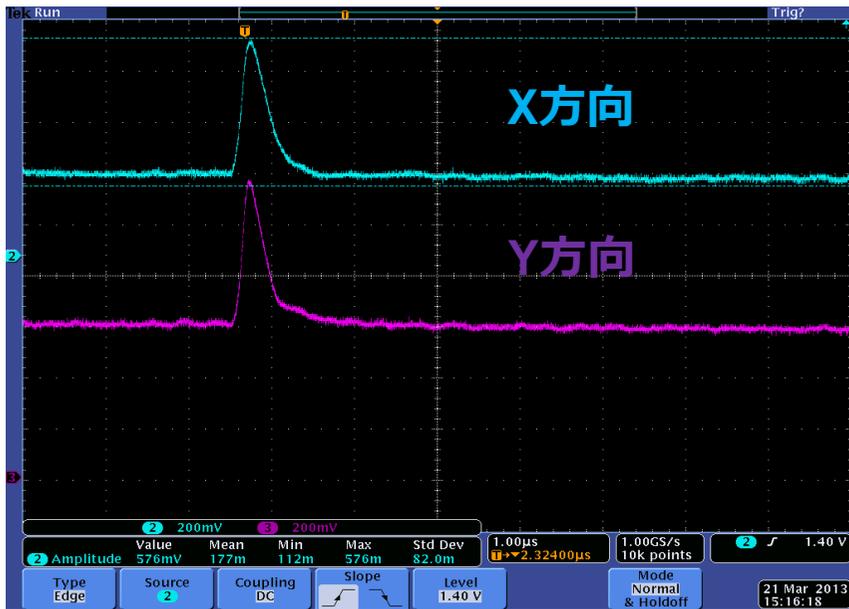
V_{mid} を正に振った時の方がゲインは安定していることが分かる。

➤ ダイオードが閾値を超え、安定して電流を流すようになったと考えられる。

Double SOIによる ^{90}Sr 線源応答結果

^{90}Sr による応答波形

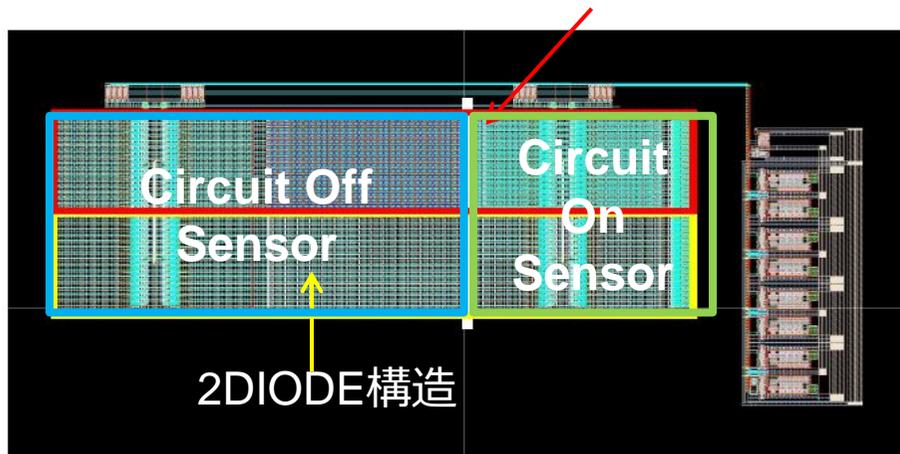
- Double SOI構造でCircuit On Sensor構造である、計数型SOI検出器での線源応答確認は初である。



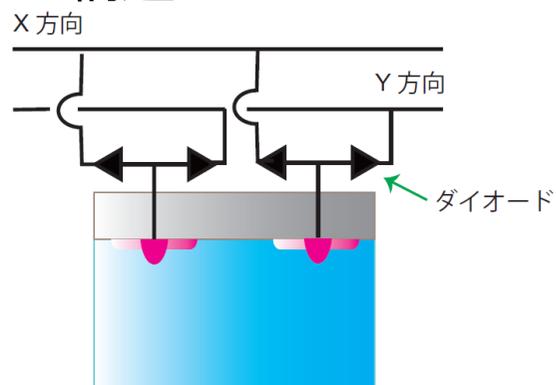
PIXOR2アナログ回路概要

アナログTEG構造

2PREAMP構造



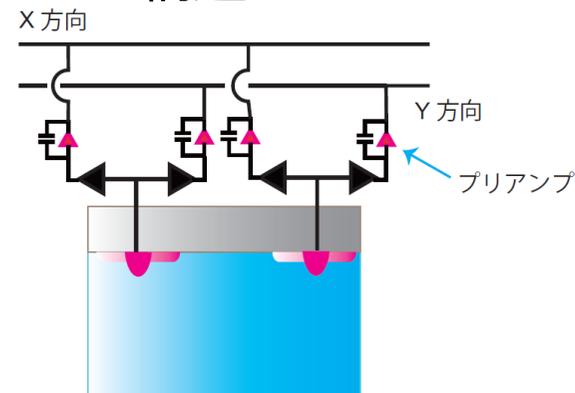
• 2DIODE構造



PIXOR1にて、その正常動作を確認された構造。

- PIXOR2では小型のダイオードを使用 (ピクセルサイズを稼ぐため)

• 2PREAMP構造

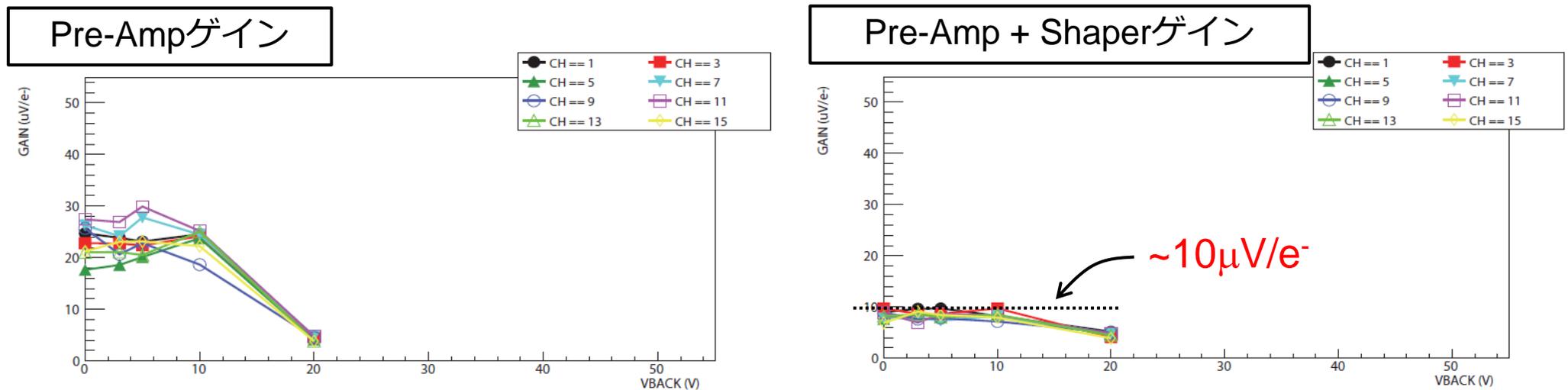


PIXOR構造により、信号電荷が減少するのを懸念したために導入した構造

- 2分割後、各方向(X/Y)にPre-Ampを設置

PIXOR2 アナログ回路評価

- アナログ回路部ゲインの V_{back} 依存性を測定した
 - 入力電圧 $T_{IN} = 200mV$
 - センサーバイアス $V_{back} = 0V, 3V, 5V, 10V, 20V$
 - 高い V_{back} におけるゲインの低下、アナログブロックゲインが非常に小さいことが判明 (PIXOR1の1/10以下に)

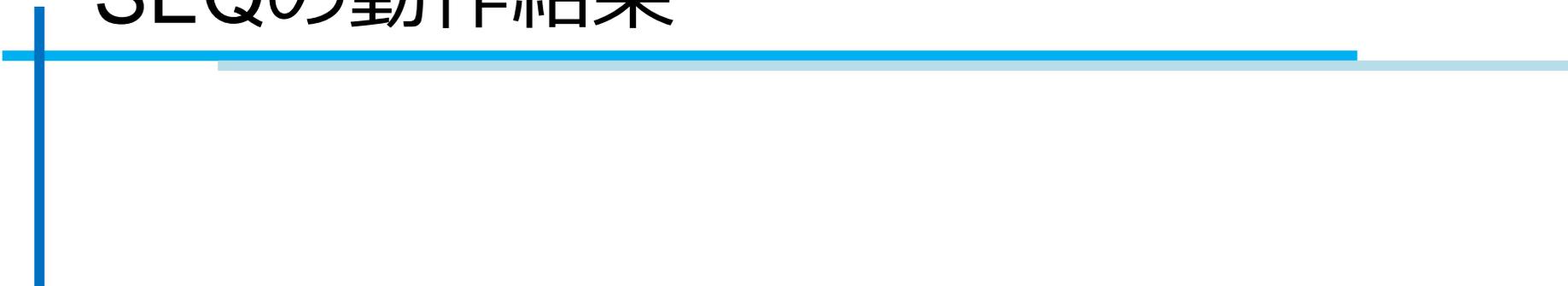


- Pre-Ampゲインの V_{back} 依存 → 高電界によるダイオードへの影響
- Pre-Amp + Shaperゲインの低下 → 配線長増加(4OR→16OR)による寄生容量の増加
 - Circuit On Sensor + Double SOI構造を用いての、 V_{back} 依存の解決とゲインの回復確認が必須

SYNCの動作結果



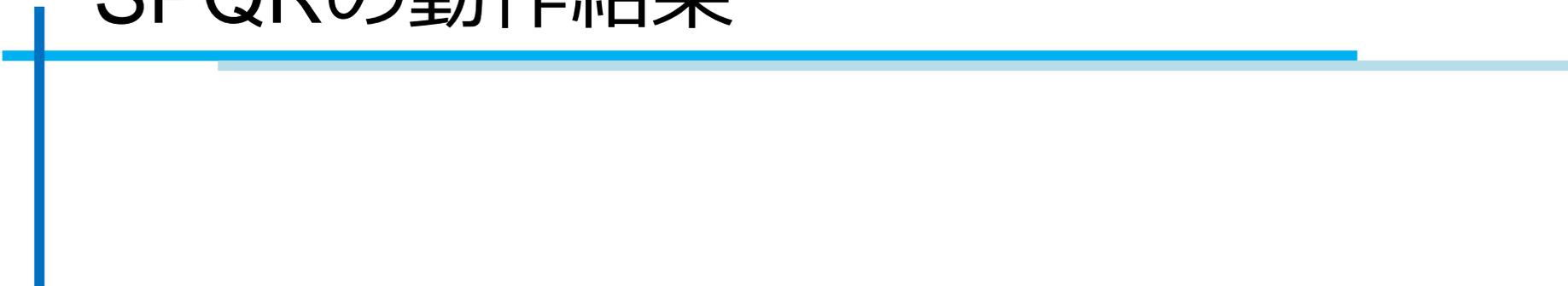
SEQの動作結果



HTC + TRCの動作結果



SPQRの動作結果



SPARの動作結果

