

# SOI検出器における X線損傷TID効果の軽減に関する研究

SOI  
(Silicon-On-Insulator)

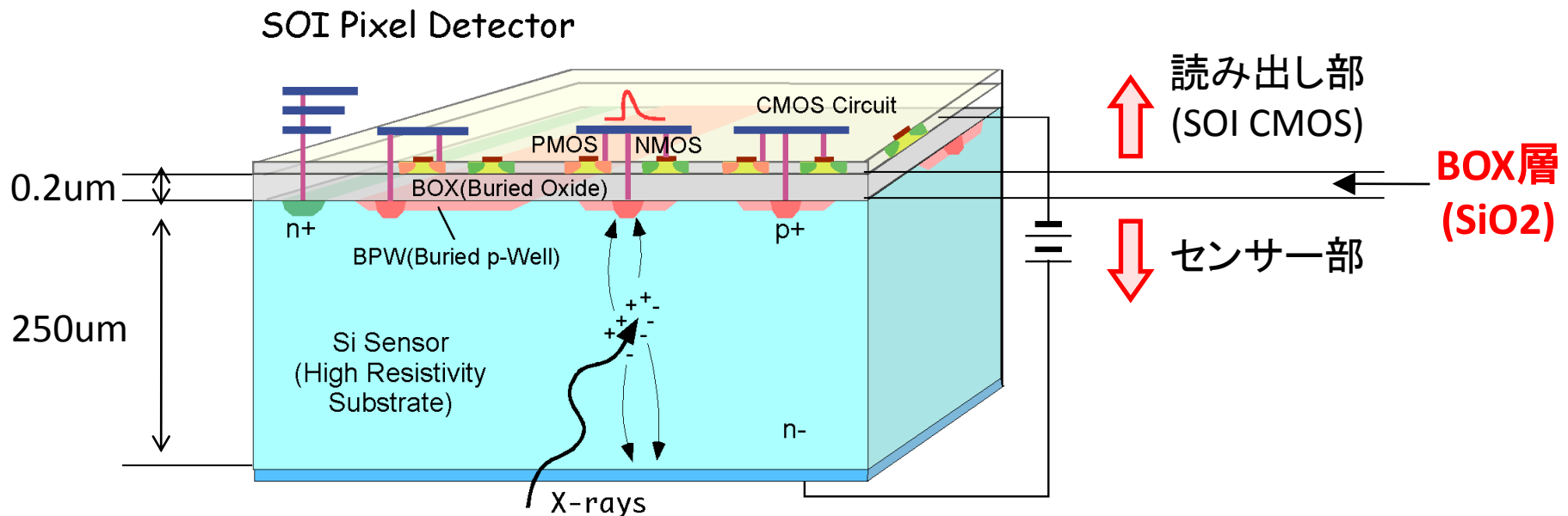


東北大学 大学院 素粒子実験研究室 M1

小野善将

# SOI検出器とは

- SOI検出器とは、センサー部と読み出し部を絶縁層BOX(Buried OXide)で区切ったモノリシック型半導体検出器です。  
(一体型)



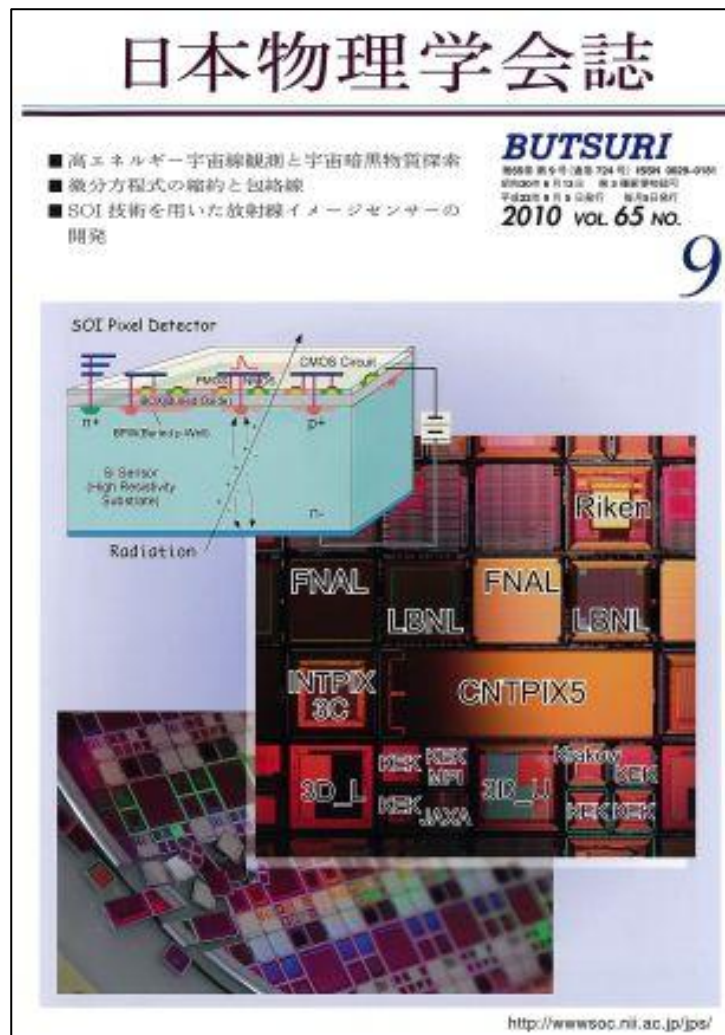
- 金属バンプ不要 ⇒ 容量低下、高集積性 ...
- SOI CMOS ⇒ ラッチアップ耐性、容量低下 ...



半導体検出器  
の  
理想形

# おめでとうございます

- 物理学会誌9月号の表紙に選ばれました。



実は今日お話しするネタの一部が会誌に載っています

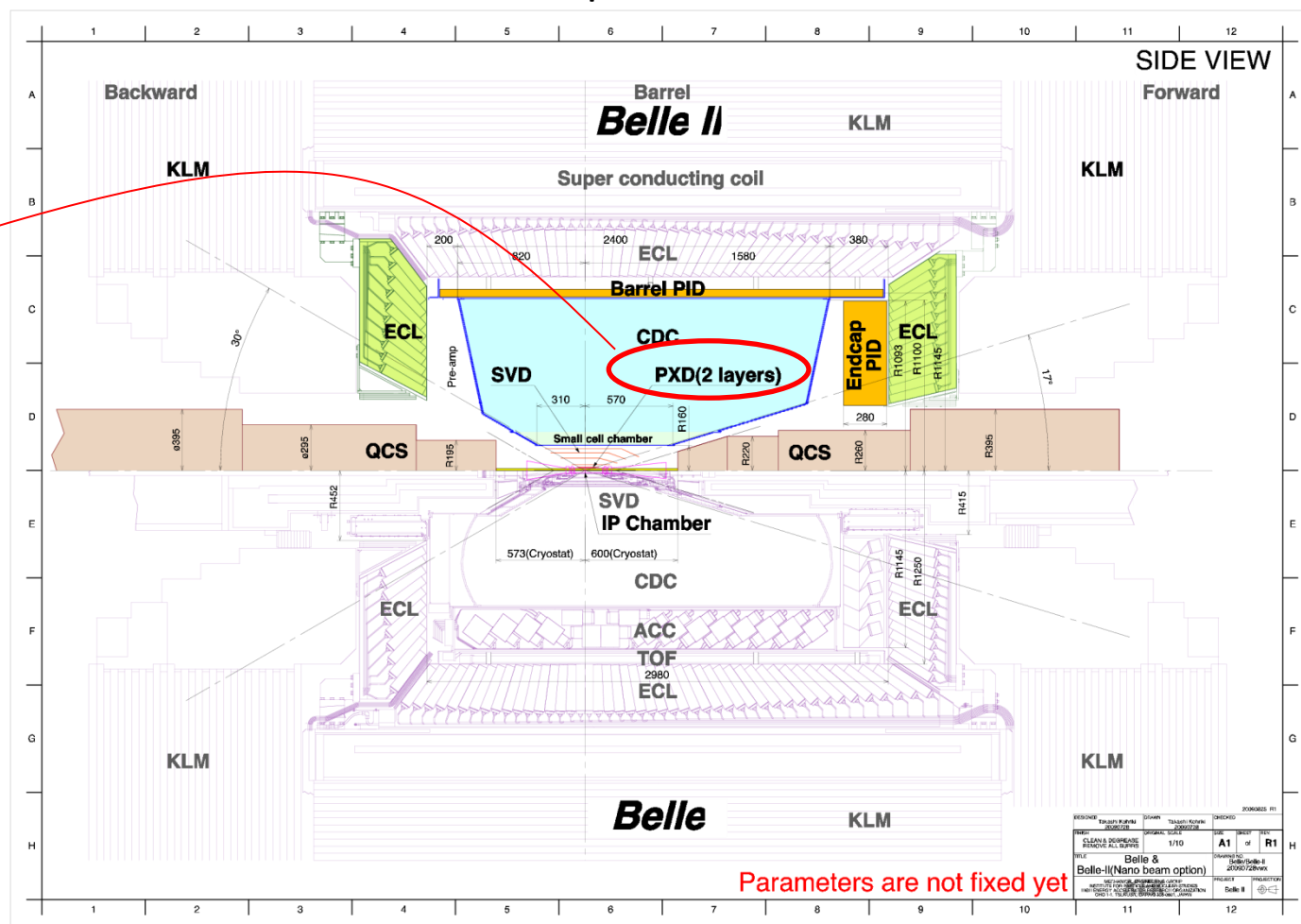
# Belle2における役割

- Belle2において、崩壊点検出器(PXD)のOptionになっています。

現在:DEPFET



2nd Upgradeで  
SOIにしたい



崩壊点検出器には**高いレベルの放射線耐性(>3Mrad/y)**が求められます。

# SOI検出器の課題

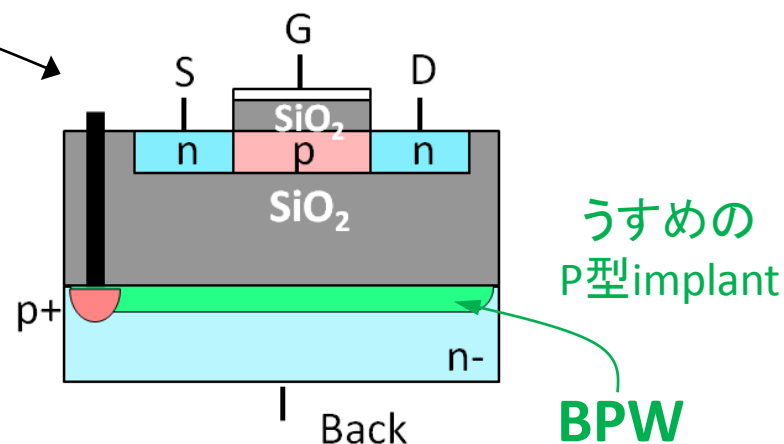
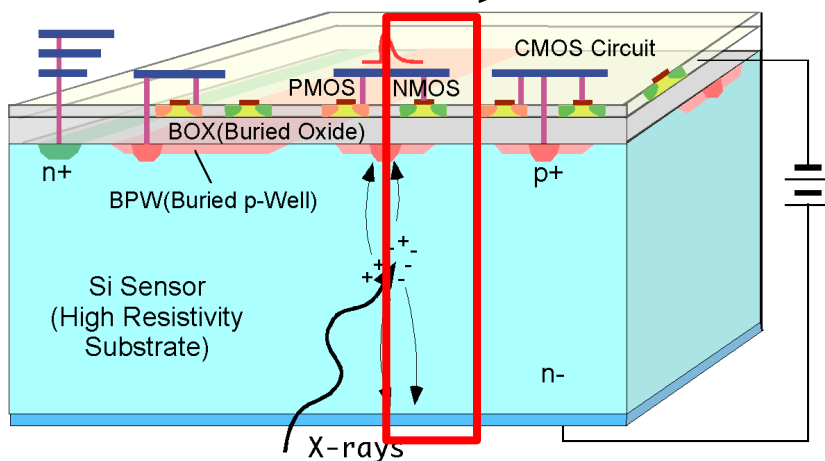
## ○解決済み

- ◆ Backgate効果  
⇒ BPW (Buried P Well) により解決!!
- ◆ Single event効果への放射線耐性  
⇒ SOIはラッチアップ耐性あり。

## ×未解決

- ◆ TID効果への放射線耐性  
(Total Ionizing Dose効果)  
⇒ Trの動作を変える  
今回の研究課題

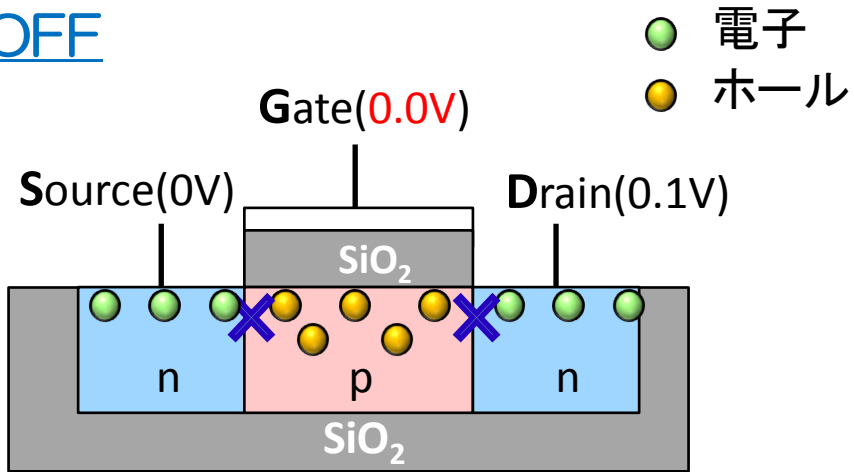
SOI Pixel Detector



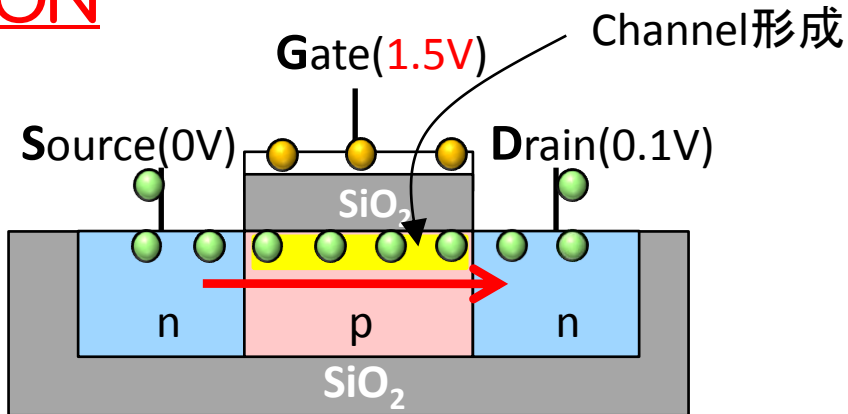
Trの動作に注目します。

# Trの動作 (NMOS)

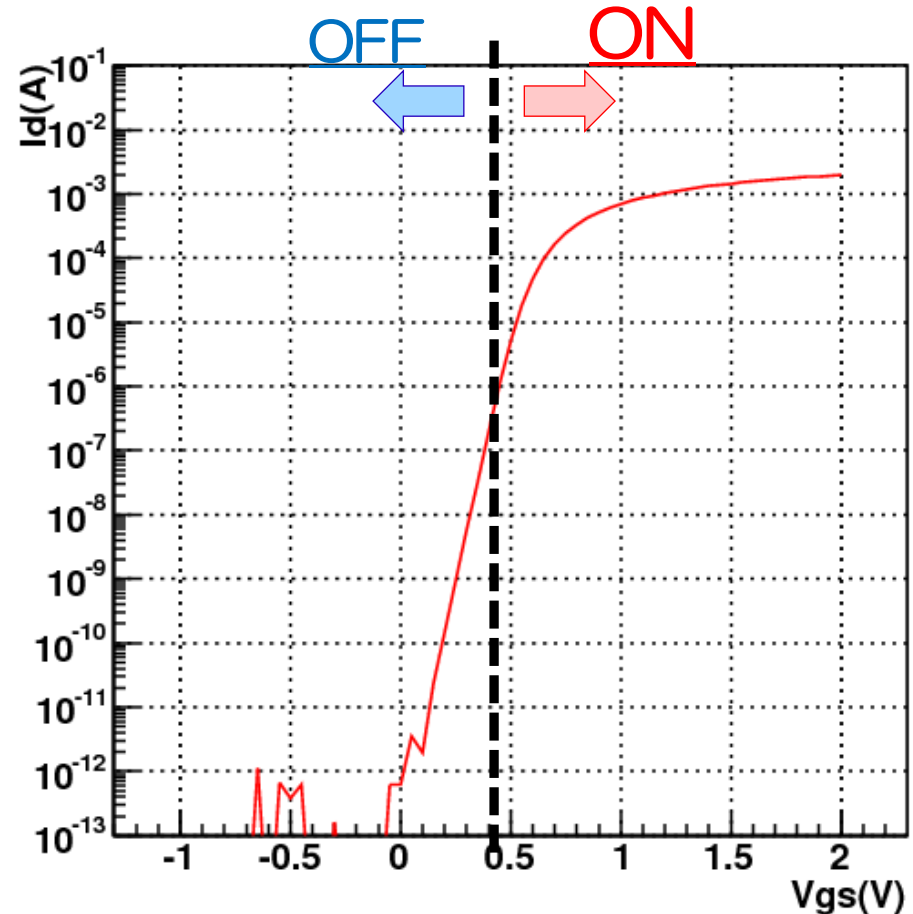
OFF



ON



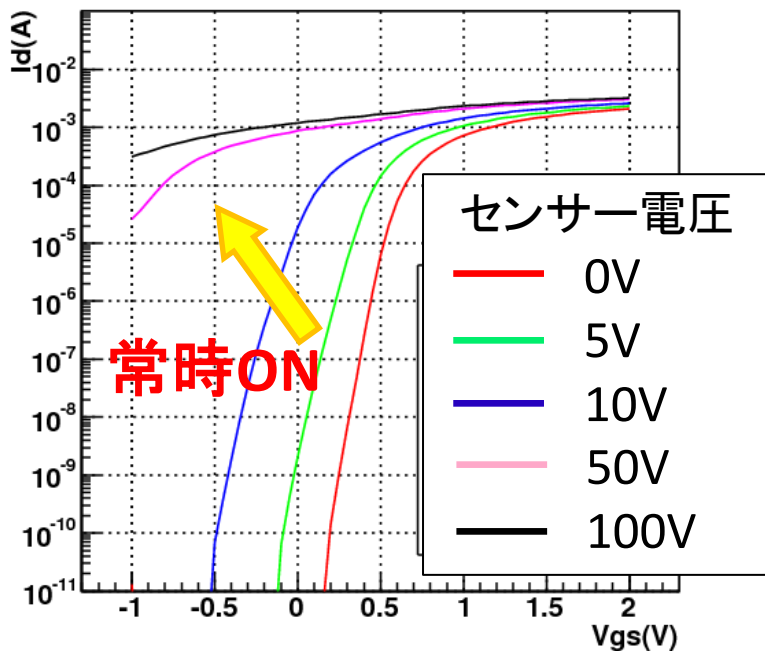
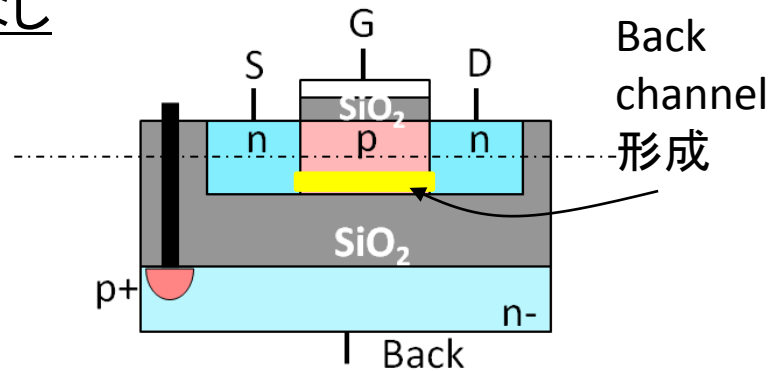
Id-Vgs特性 (NMOS)



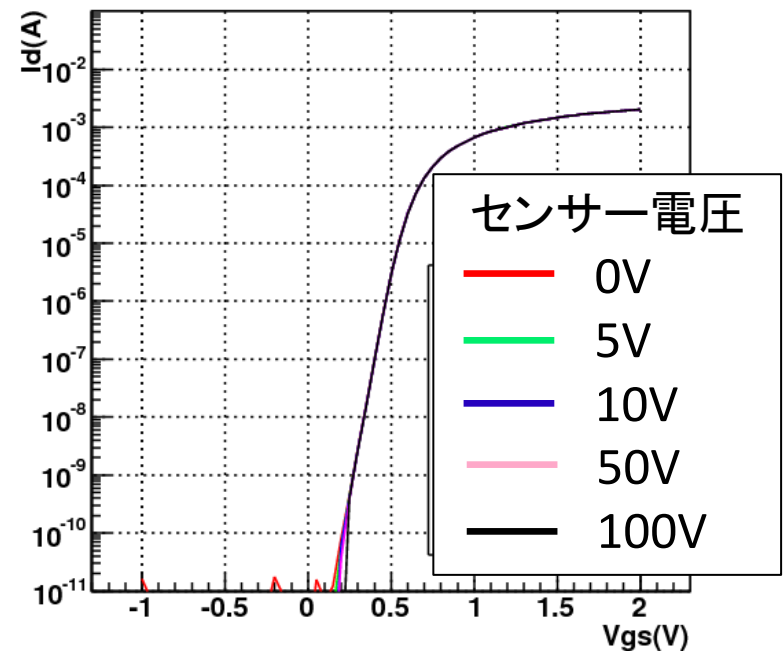
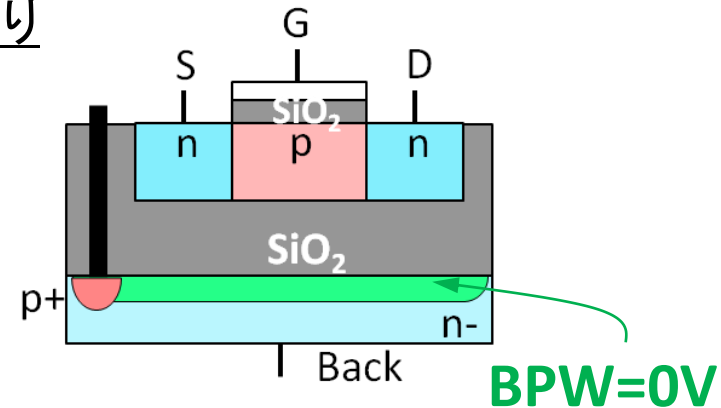
Gate電圧を上昇させていくと、あるところでTrのスイッチがONになります。

# Backgate効果とBPW

BPWなし



BPWあり



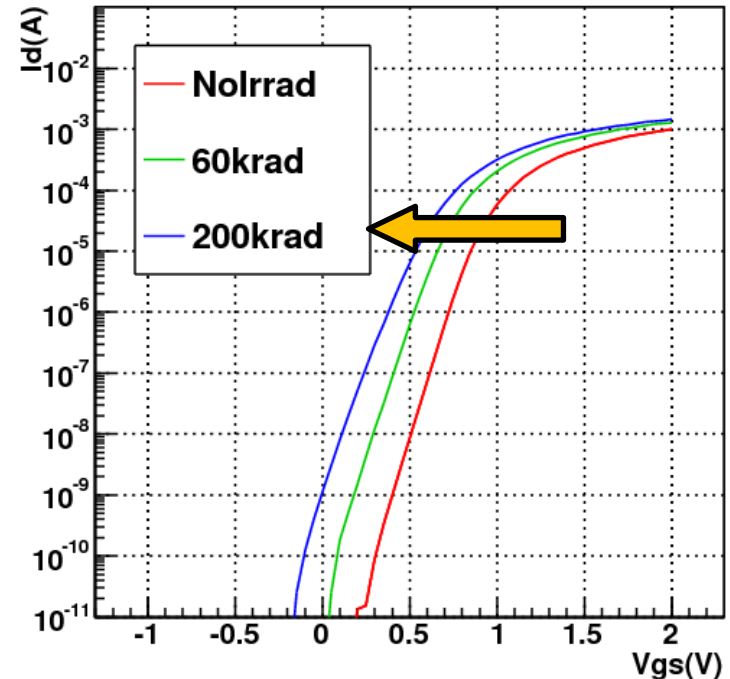
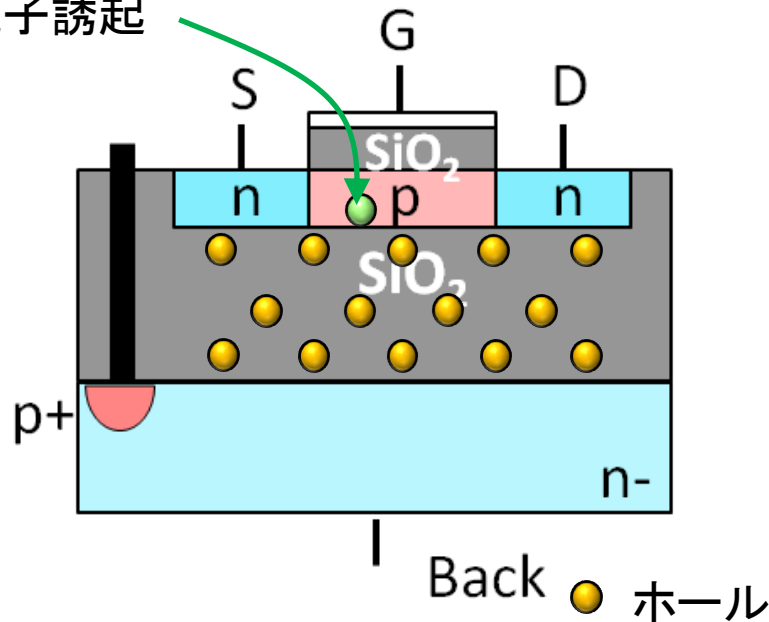
BPWによりBackgate効果が抑制されます。

# 放射線耐性TID効果

放射線損傷TID効果

- 酸化膜にホールがトラップ (Oxide Trap) 着目
- 界面 (Si/SiO<sub>2</sub>) に新しい準位形成 (Interface Trap)

トラップされたホール  
⇒ 電子誘起



SOI検出器におけるTID効果

トランジスタ特性が変化、  
正常動作しない。

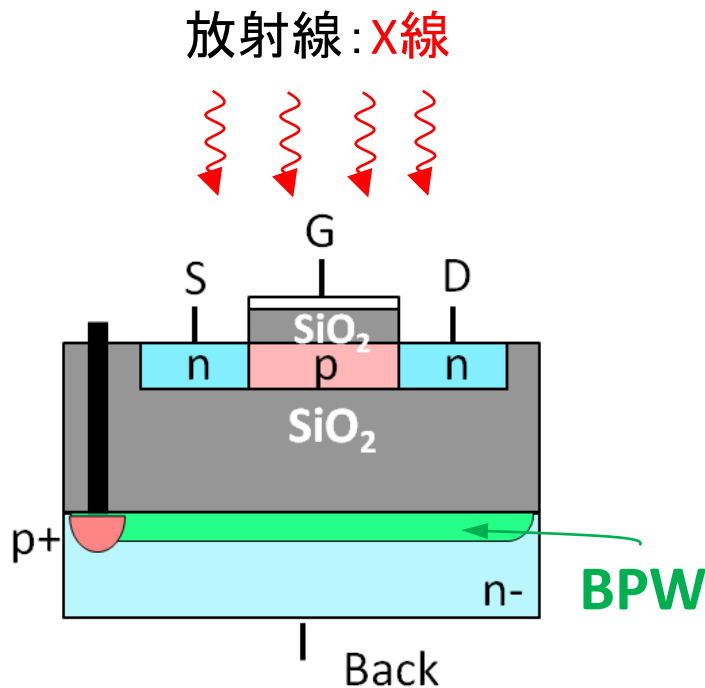


読み出し回路が正常動作しない。



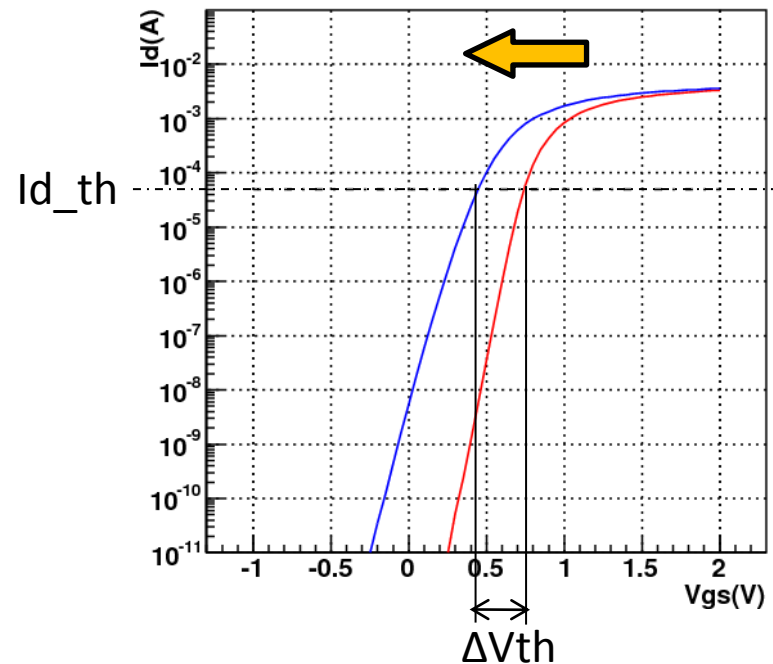
# 研究内容

- SOI検出器における(放射線損傷TID効果)=(Tr特性の変化)を調べました。



照射時にかかる電圧を変えて、  
放射線損傷の違いを見ました。

## 放射線損傷の定量的評価

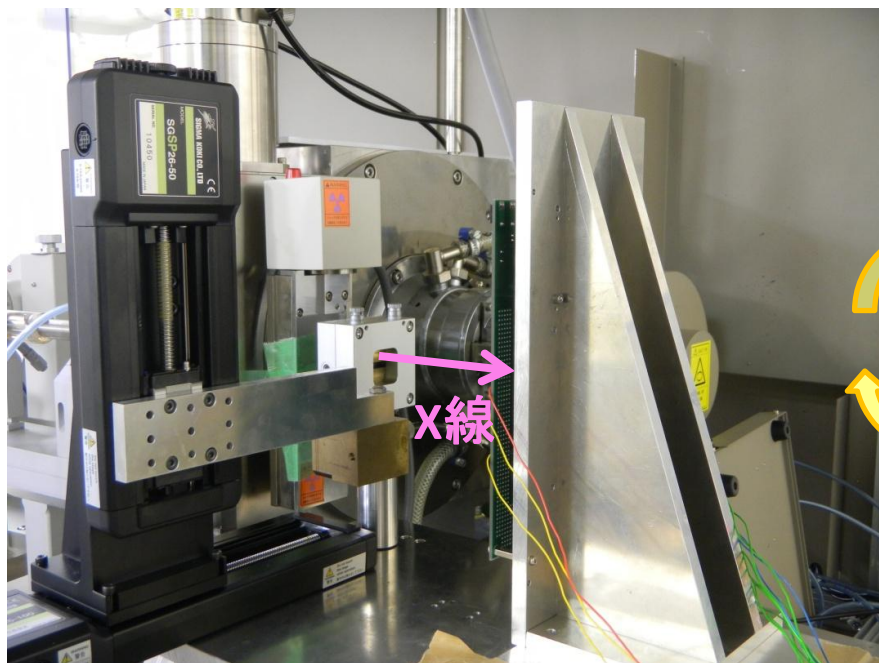


$$I_{d\_th} = 0.1 \times \frac{W}{L} (\mu A) \text{ となる } V_{gs} \text{ 値} \Rightarrow V_{th}$$

(放射線損傷の大きさ) =  $\Delta V_{th}$

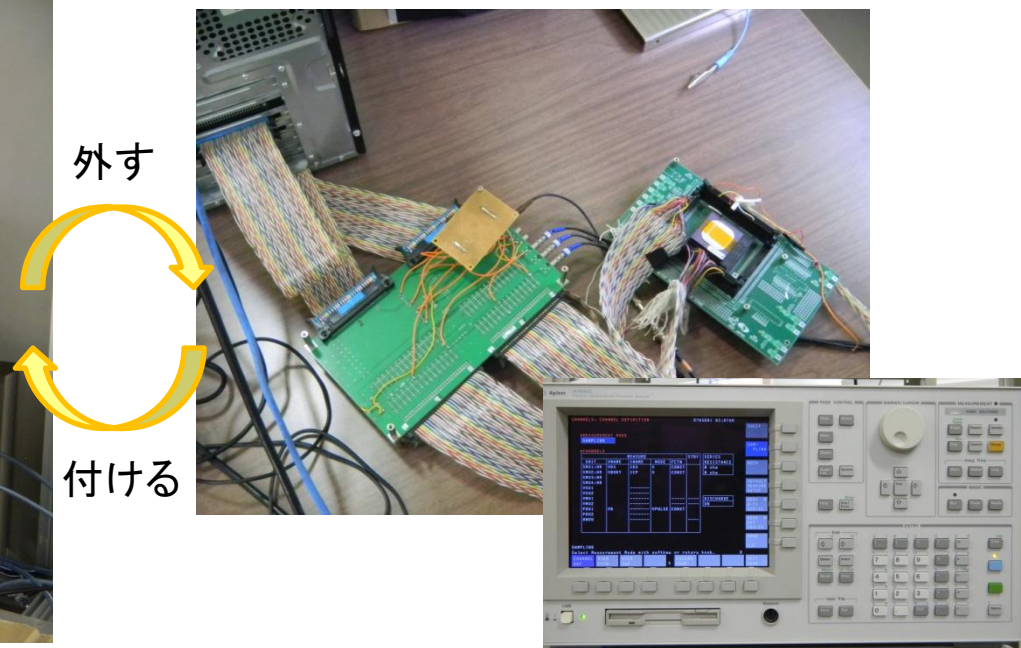
# 実験のセットアップ

## X線照射



X線照射装置 : FR-D (リガク社)  
X線 : CuK $\alpha$ 線 8keV @KEK

## Tr特性測定

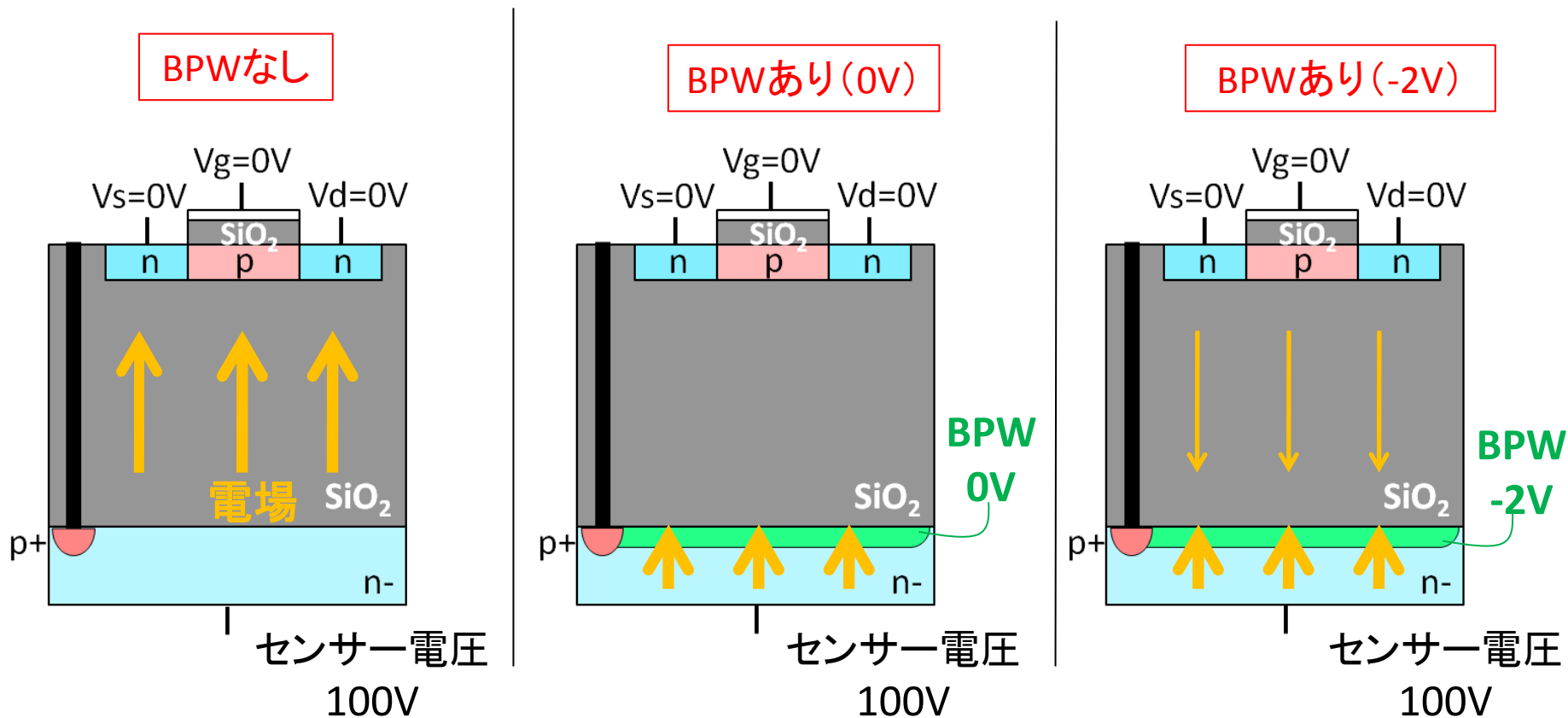


半導体パラメータアナライザ  
Agilent 4156A

- 設定した電圧状態でX線照射  $\Leftrightarrow$  Tr特性測定 を繰り返しました。

# 照射時の電圧設定

- 以下の3つの電圧設定でX線を照射しました。BOX層の電場を変えています。



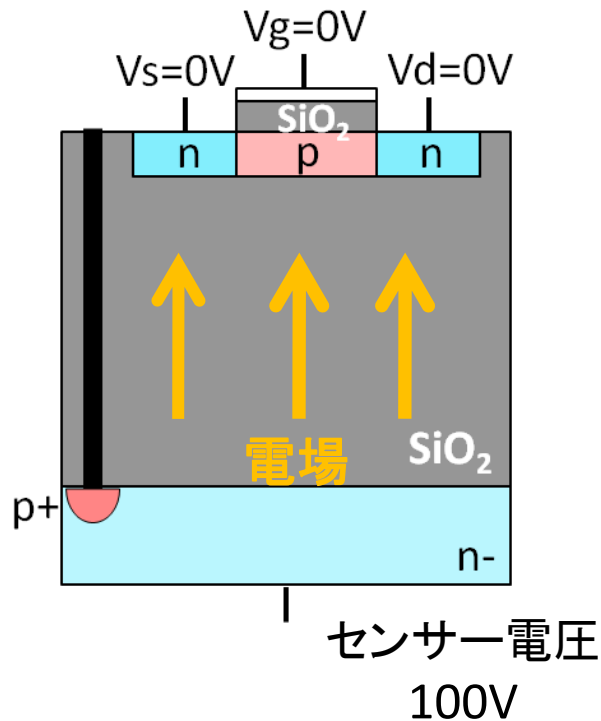
- BPWなし・BPWあり(0V)
- BPWあり(0V)・BPWあり(-2V)

2つずつ結果を比較していきます。

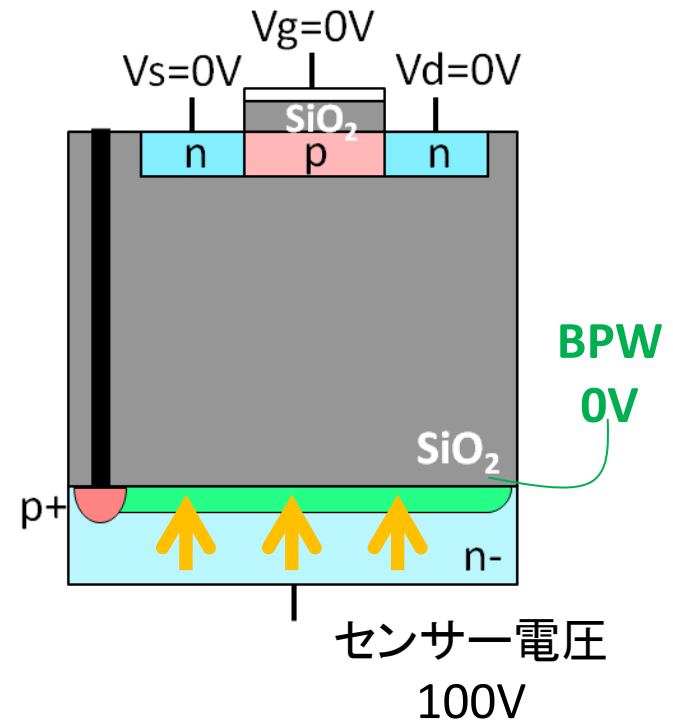
# BPWなし、BPWあり

## X線照射時の電圧設定

BPWなし



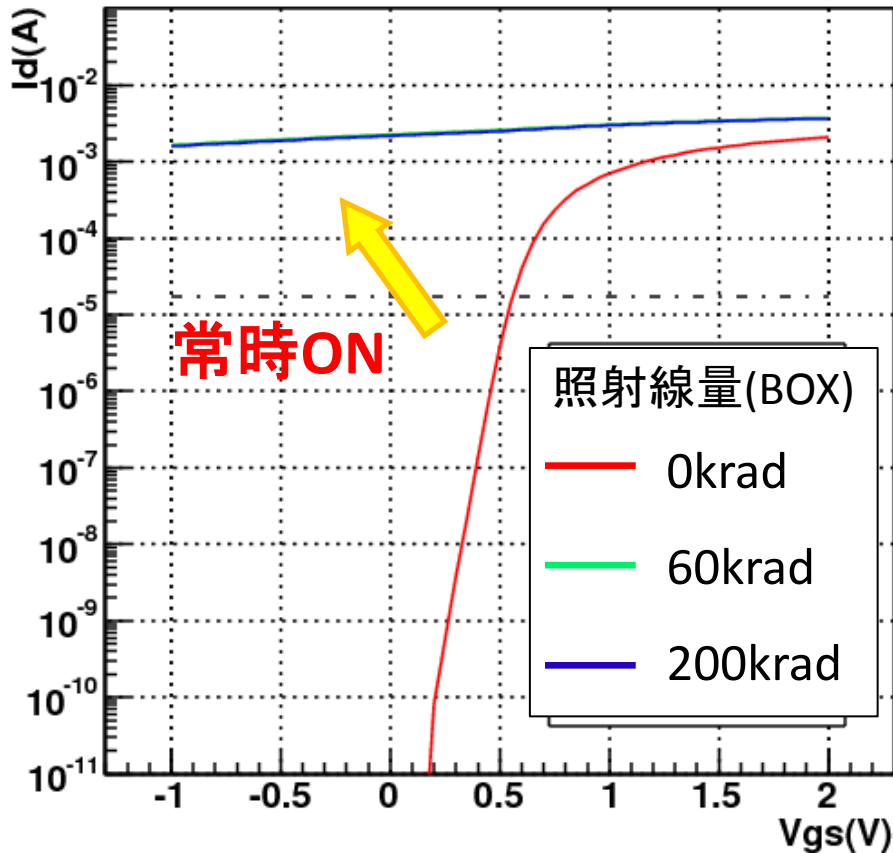
BPWあり(0V)



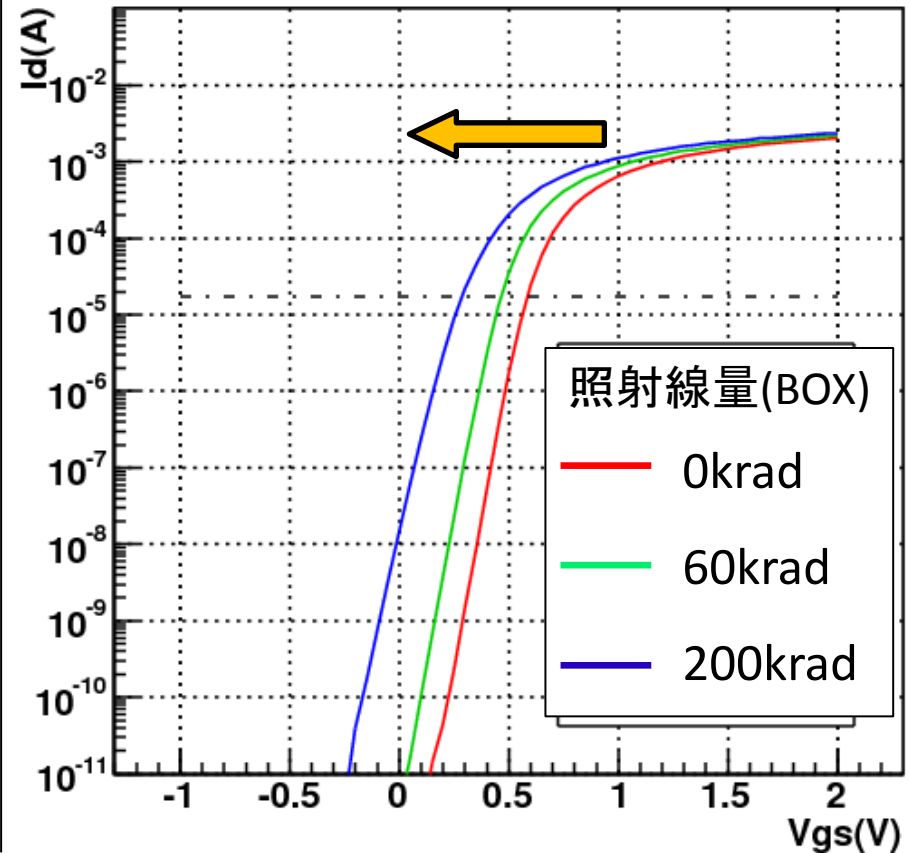
- BPWなしでは、BOX層にセンサー電圧100Vがかかります。

## BPWなし、BPWあり(結果)

BPWなし



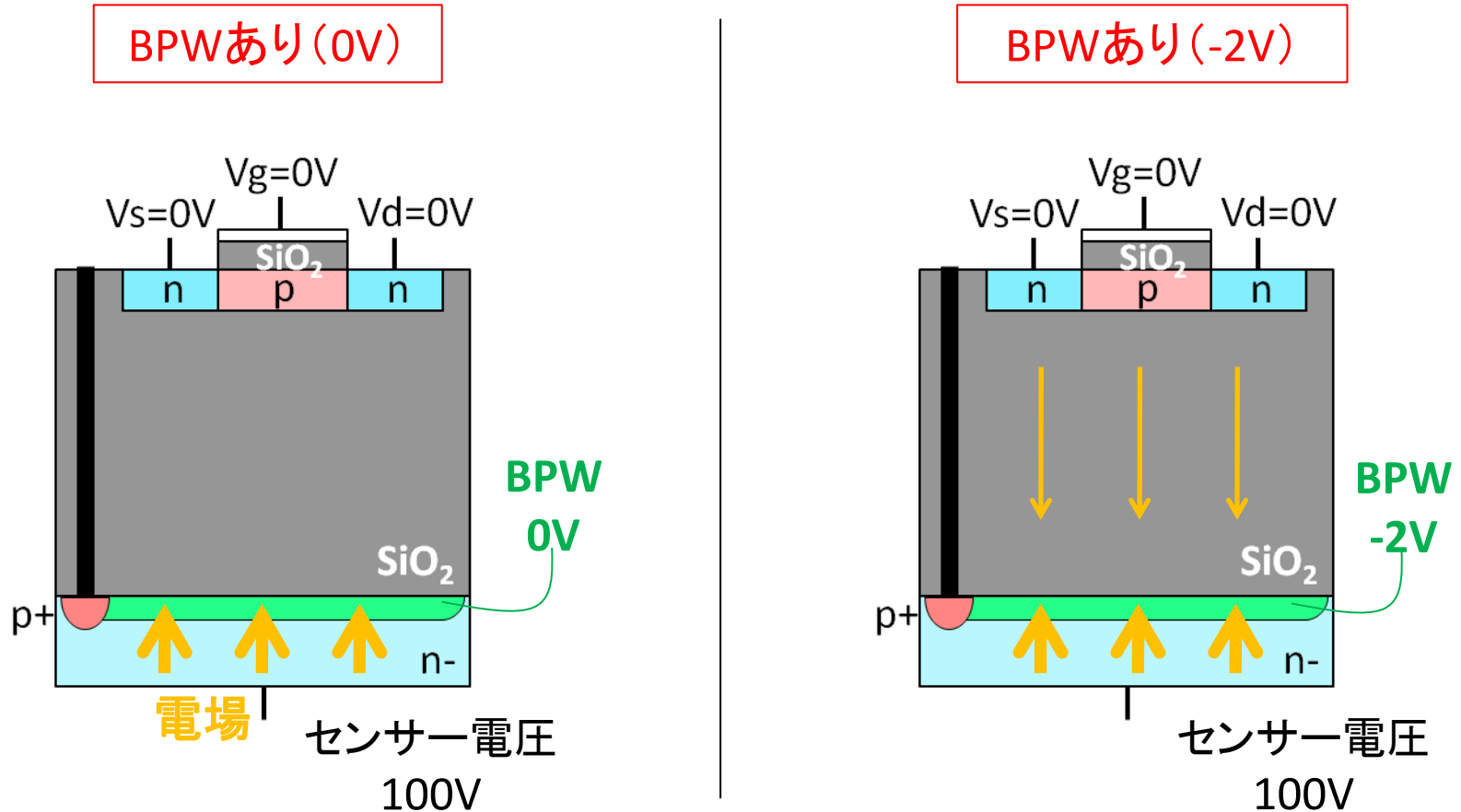
BPWあり(0V)



- BPWがあることで放射線ダメージが大幅に抑えられています。

# BPW電圧の変更

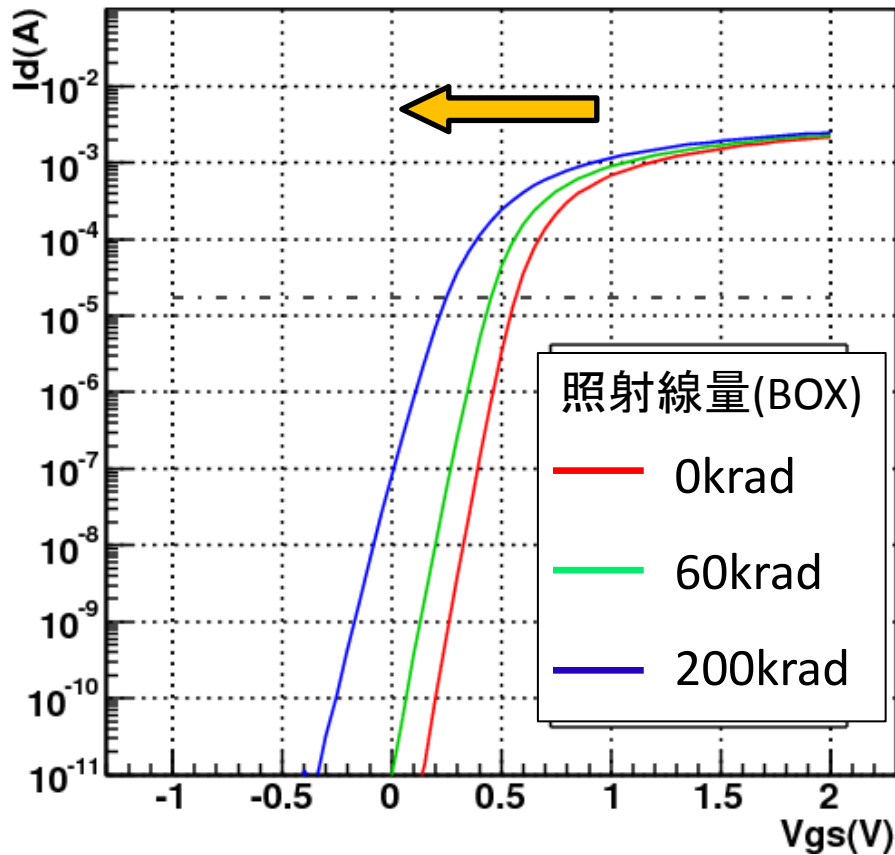
## X線照射時の電圧設定



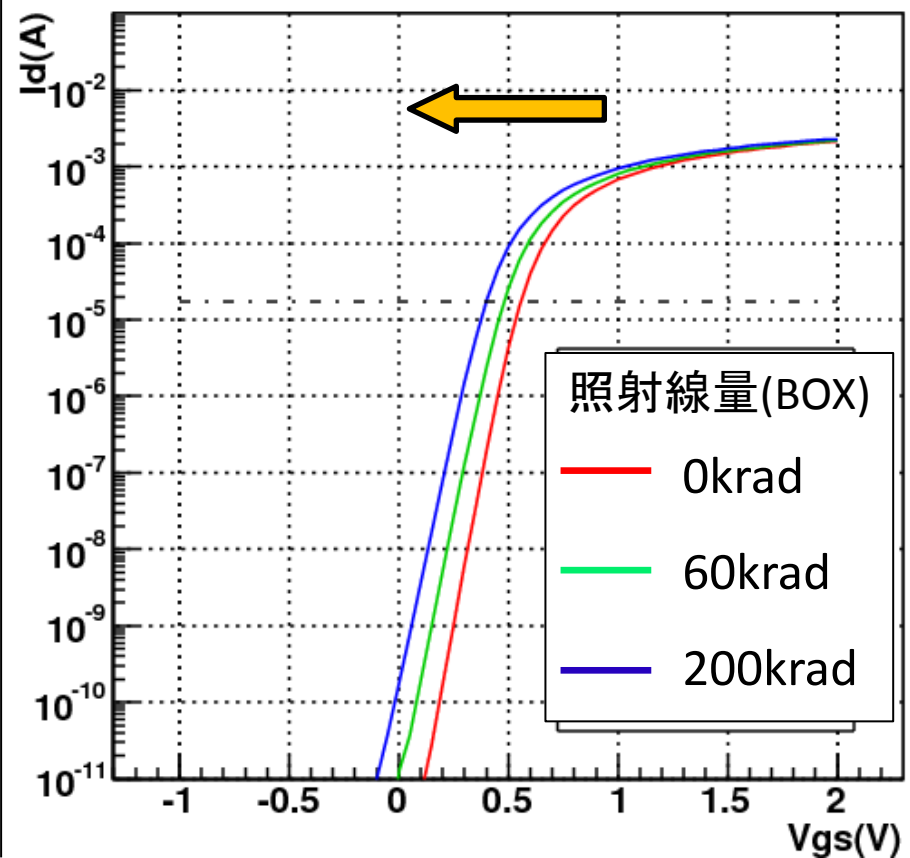
- BPWの電圧を変えて、BOXにかかる電圧を変えます。

# BPW電圧の変更(結果)

BPW=0V



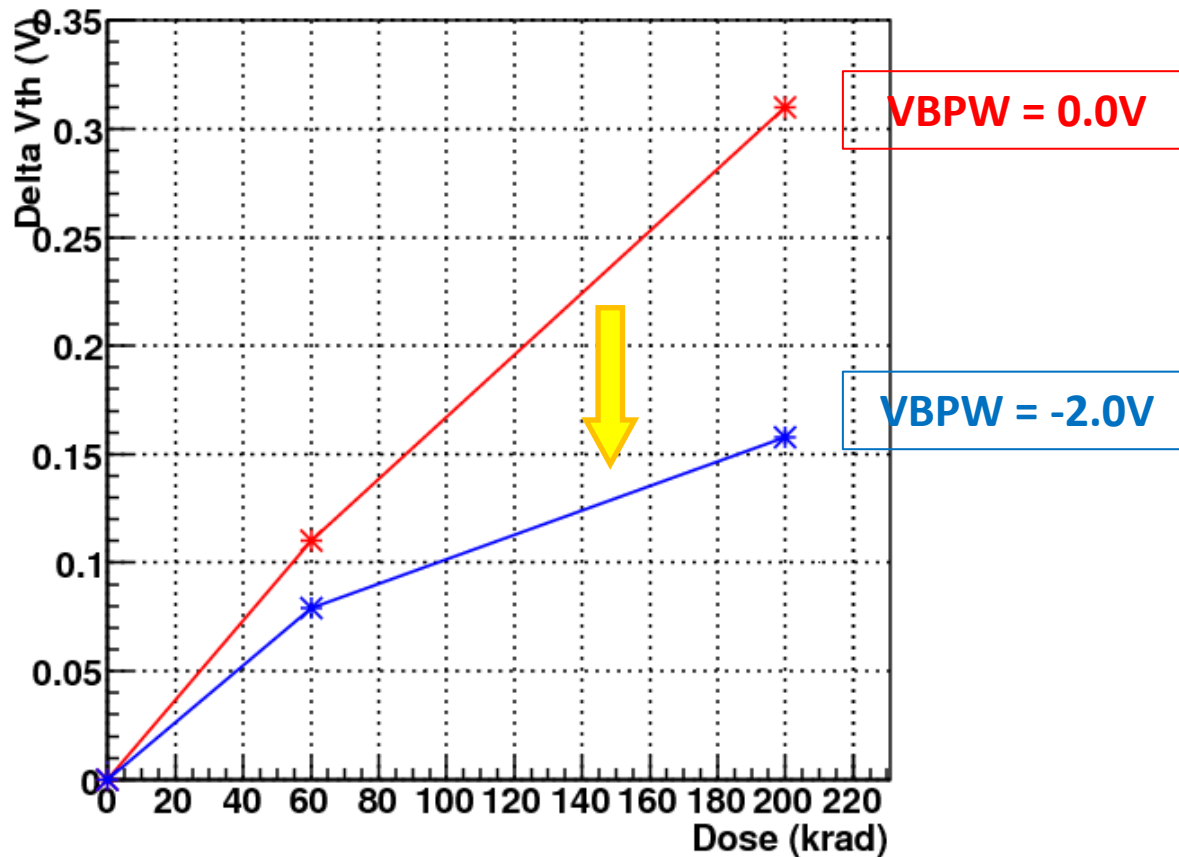
BPW=-2V



- X線照射時にBPW = -2Vとすることで放射線損傷が軽減が観測された。

# Tr特性のシフト量比較

Vthの変化です。BPWなしは常時ON。



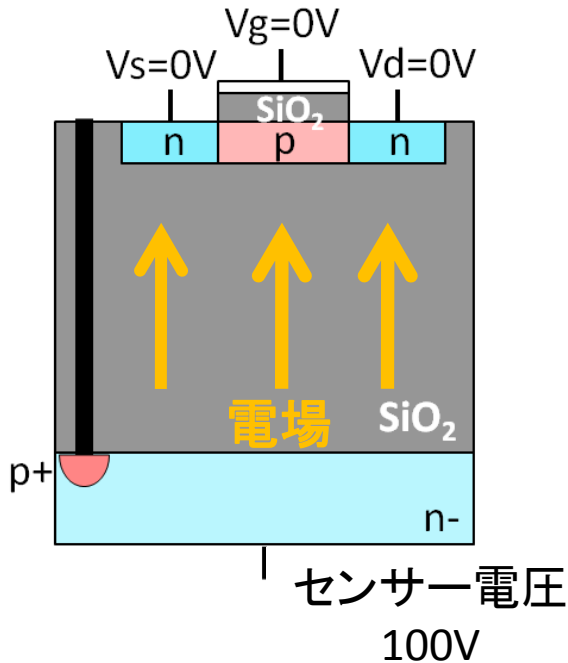
- X線照射時にBPW = -2VとすることでVthの変化が抑えられます。



# 結果の考察

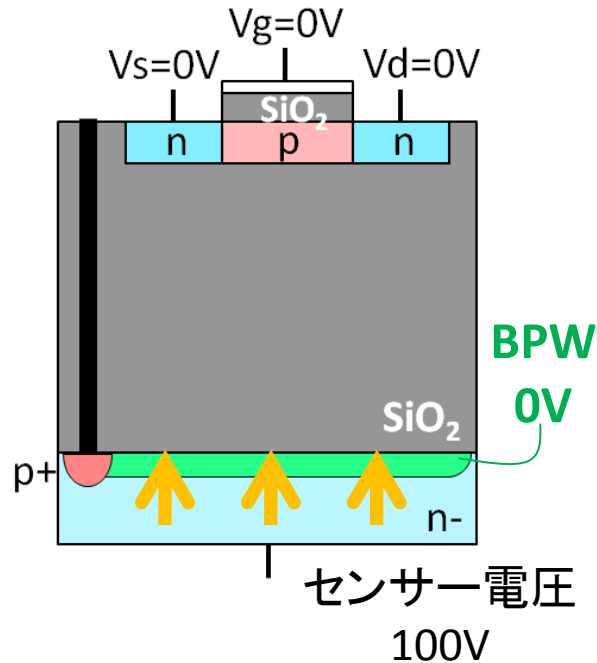
- 結果をまとめると

BPWなし



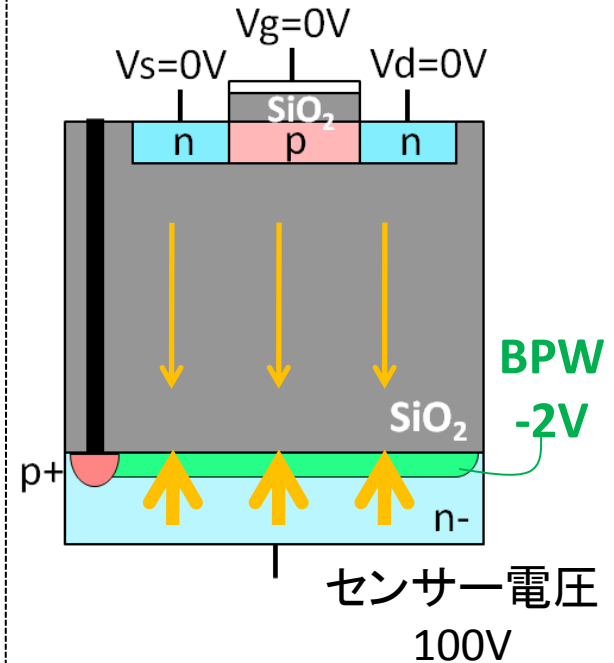
$$\Delta V_{th} > 1.5(V)$$

BPWあり(0V)



$$\Delta V_{th} = 0.33(V)$$

BPWあり(-2V)



$$\Delta V_{th} = 0.16(V)$$

3つの照射時電圧で変えているのは、BOX層での電場の向き

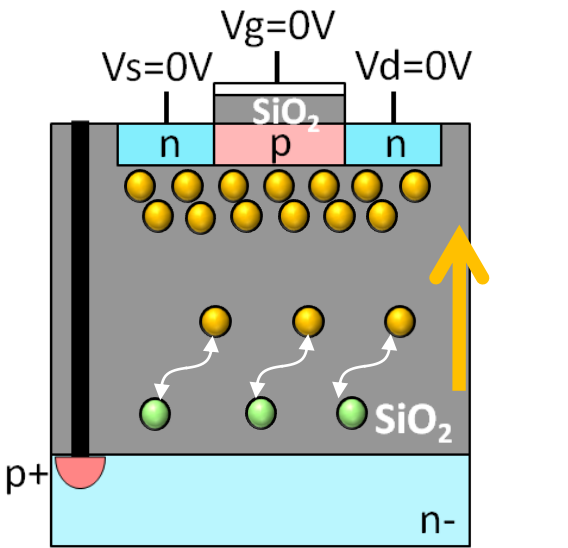
# 結果の考察

● 電子  
● ホール

ホール

- BOX層での電場により、ホールは以下のようにドリフト、トラップされる。

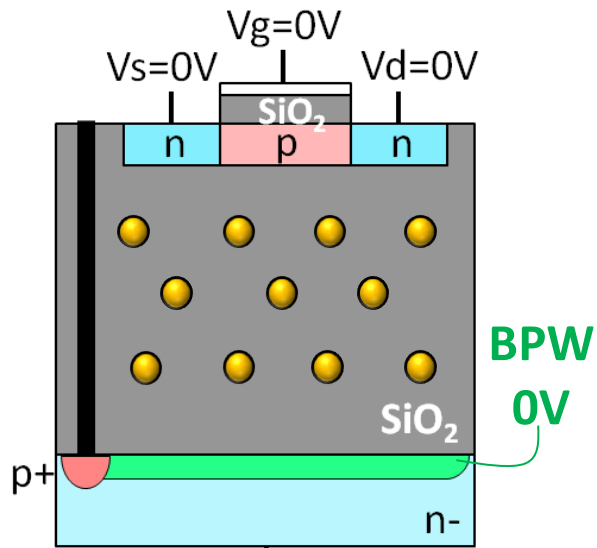
BPWなし



センサー電圧  
100V

Tr側の界面に集中  
再結合率の低下

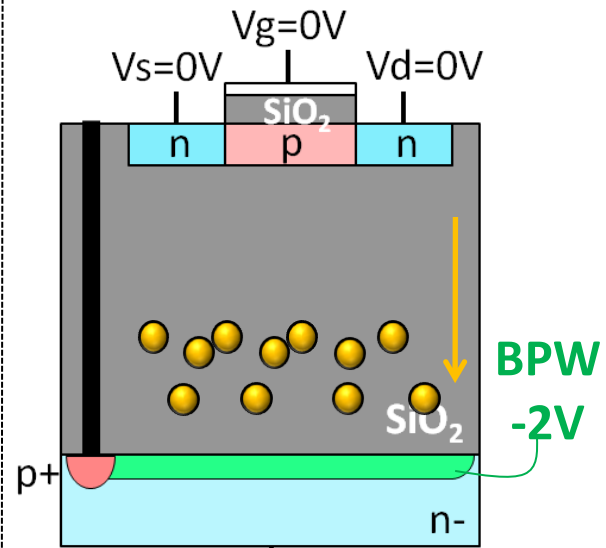
BPWあり(0V)



センサー電圧  
100V

一様分布

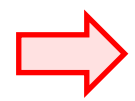
BPWあり(-2V)



センサー電圧  
100V

Tr側に行かなくなる

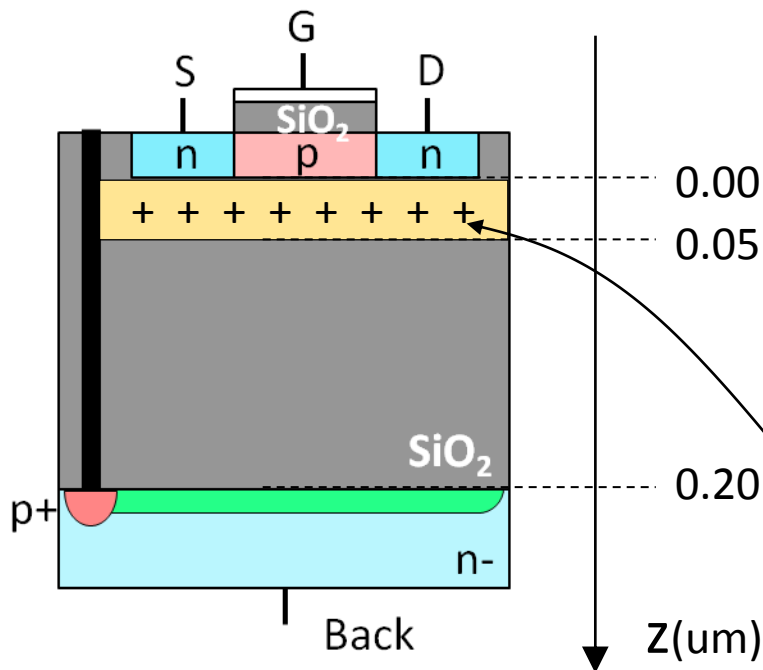
BOX層のホール分布の違い



放射線ダメージに違い

# TCADによる補足

- BOX層にトラップされたホール分布の違いが、Tr特性のシフトにどのように影響してくるのかを、半導体シミュレーションソフトTCAD(Technology CAD)を用いて計算しました。



BOX層に固定電荷を配置。  
(TID効果によるホールと仮定)



Tr特性の変化を見る。

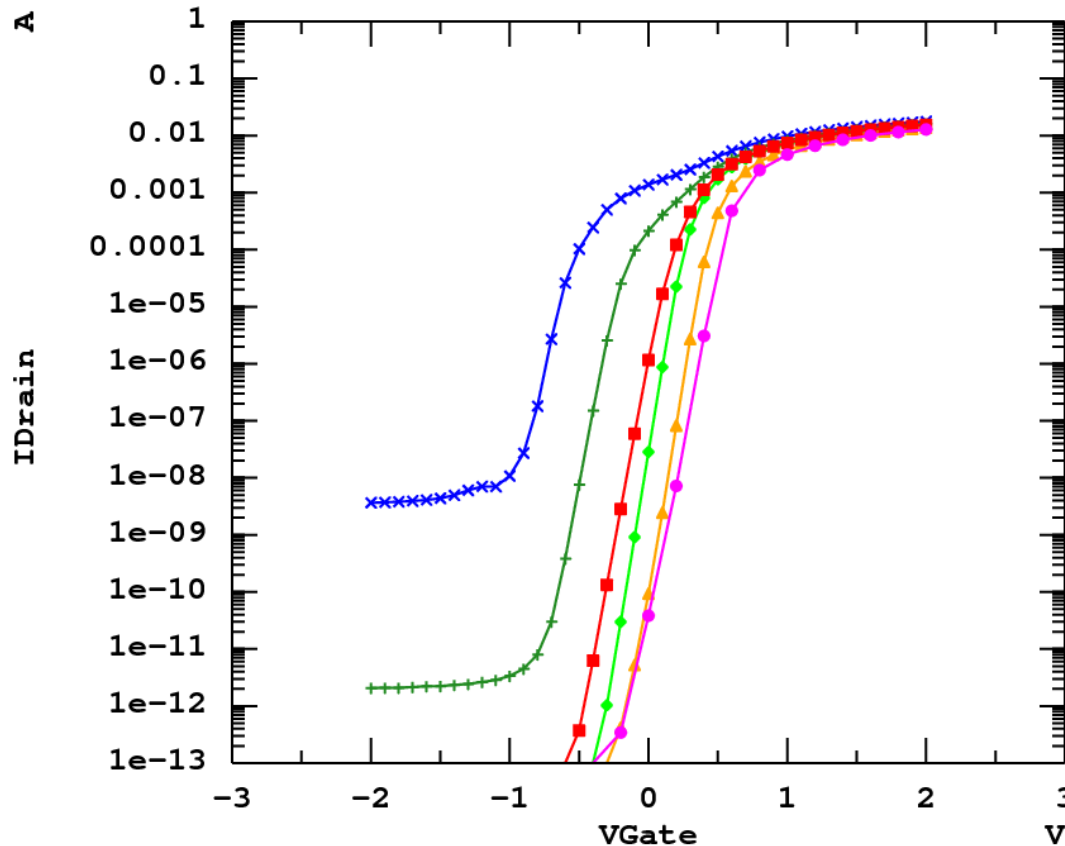
$z$  : Tr界面からの距離

例) Tr界面側に0.05umの幅でトラップ電荷を置いた場合

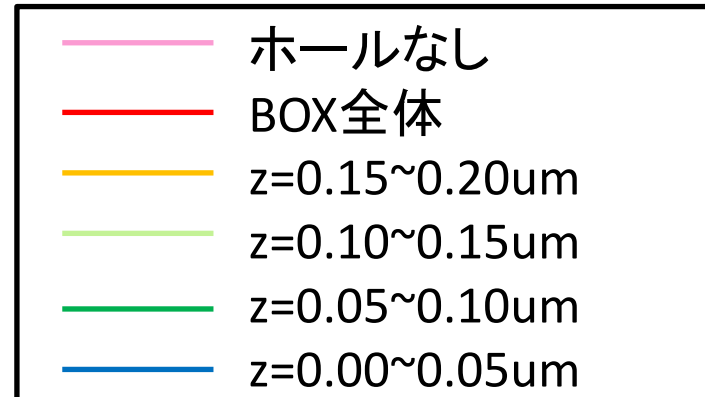
2次元シミュレーション(奥行き:175um)

# TCADの結果

## BOX層のホール分布の違いによる特性の変化(TCAD)



電荷面密度 :  $2e+12$  (/cm<sup>2</sup>)



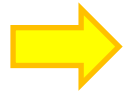
$z$  : Tr界面からの距離

ホールの総数は同じ。

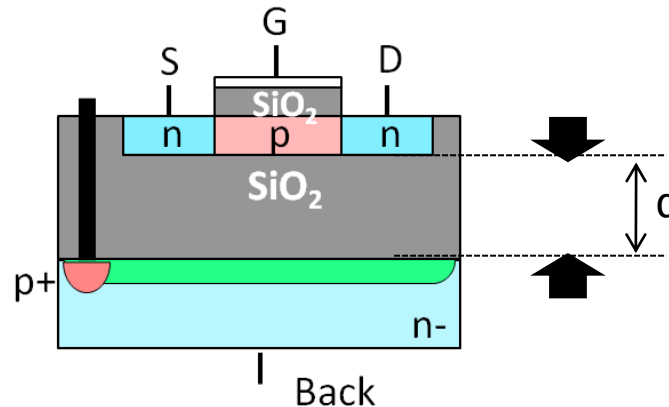
- ホールの蓄積がTr界面より離れることで、同じ電荷面密度でも特性のシフトが小さくなった。予想を再現できた。

# 今後の方針

- 放射線ダメージは軽減できているが、さらに耐性をあげる必要がある。



1番簡単な方法：BOX層を薄くする。



$$C_{ox} \propto \frac{\epsilon}{d}$$

## ○ メリット

➤Oxide trap, Interface trapの減少



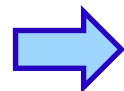
TID効果に対する放射線耐性向上

さらに厚さ数nmくらいではホールがたまらなくなる

## × デメリット

➤Trとセンサー間の容量増加!!

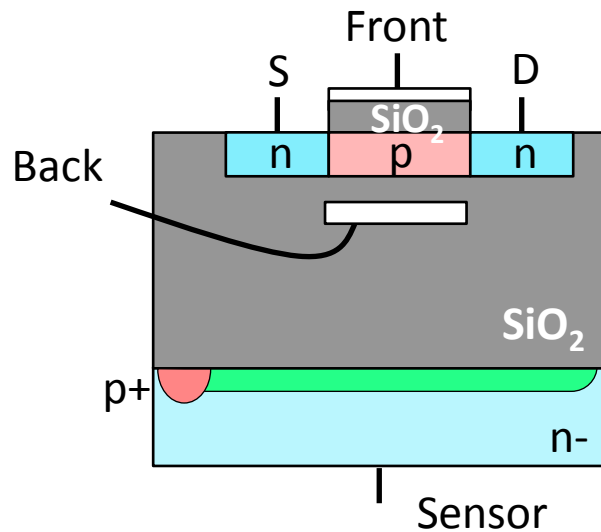
クlostークの増加  
消費電力増加  
高速性なくなる



ダメ

# 解決案

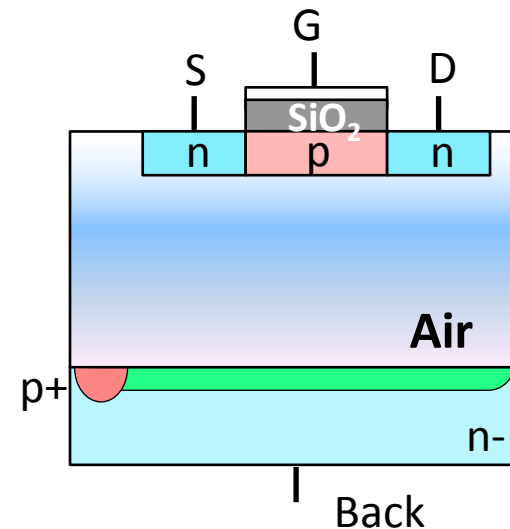
## 1. XMOS



Front, BackからGate電圧をかける。  
BOX層のトラップ電荷を無視できる。

他にもTr性能の向上などメリットあり。

## 2. Silicon On Nothing



BOX部分を空気にしてしまう!!  
電荷のトラップが全くなくなる。

プロセス、構造上の問題だらけ

- 他にもいい方法がないか考え中...

# まとめ、今後

## まとめ

- SOI検出器で課題となっている放射線損傷TID効果の軽減の研究を行った。
- センサー電圧をかけた状態でX線照射すると、BPWありで放射線耐性が大幅に向上した。
- またBPWに弱い負電圧を与えたところ、放射線耐性をさらに向上させることができた。ホールをTr界面から遠ざけることができたと考えられる。
- TCADシミュレーションにより、上記の実験を再現するような結果を得られた。

## 今後

- XMOSがプロセスできるかを相談。
- 他に放射線損傷の耐性を向上させる方法を考える。

SOI検出器は、崩壊点検出器の他にも多くの用途を持っています。  
今後の活躍にご期待くださいっ!!

# バックアップ

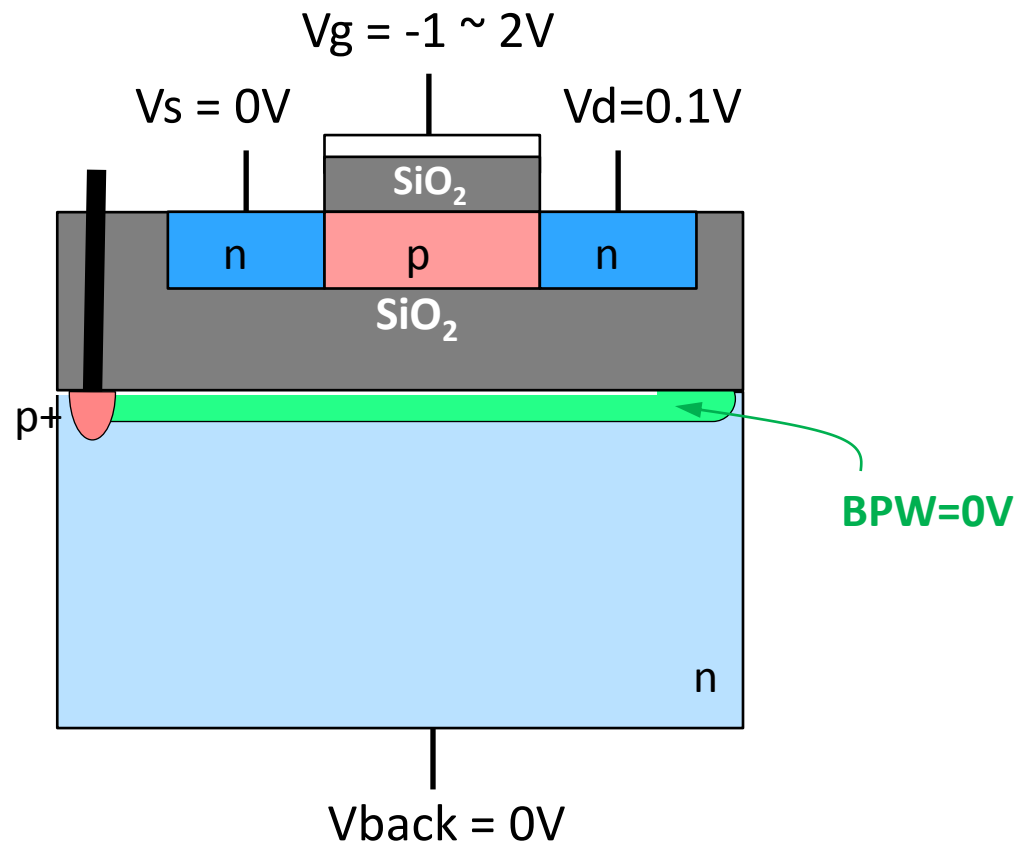
- 測定電圧
- Trのパラメータ
- SOI chip
- 2層SOI構造
- 他のTrの結果
- PMOSの結果
- X線強度計算
- Single event効果
- モノリシック型
- TCAD





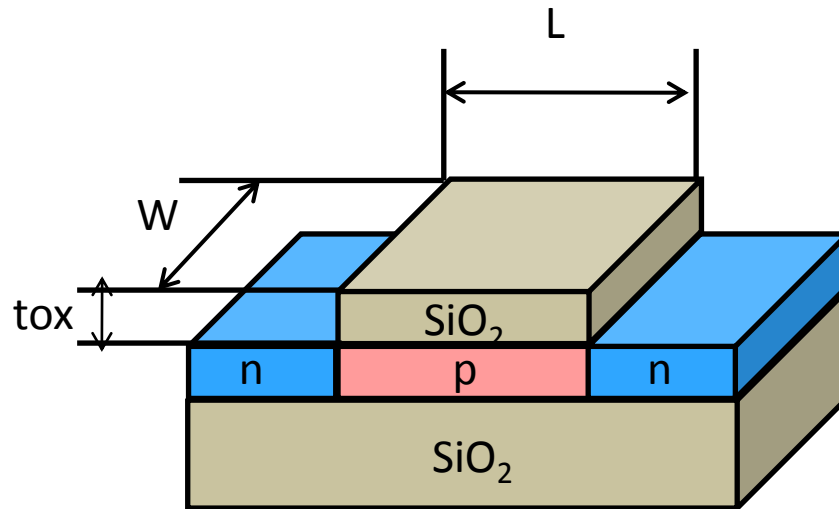
# 測定時の電圧設定

本発表で使ったTr特性( $I_d$ - $V_g$ )の測定時の電圧は以下のようにになっています。



# Trのパラメータ

本発表で用いたTrのパラメータは以下のようにになっています。



L(um)    W(um)

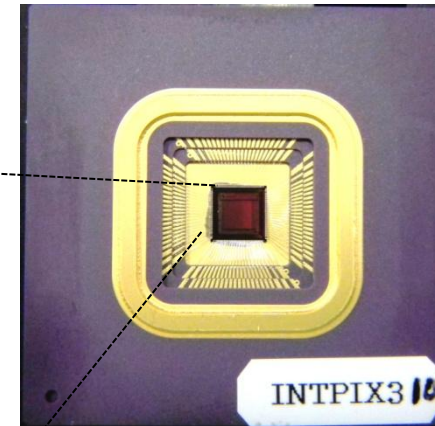
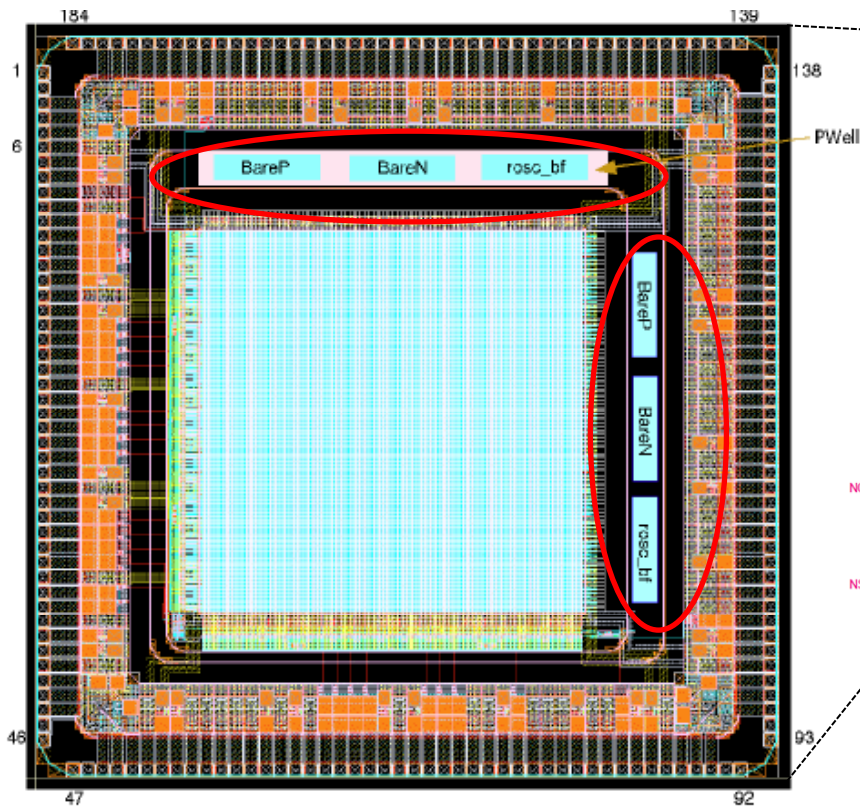
M5	1.00	175	nmos3stio	nch_ionvst	IO S-Tie
----	------	-----	-----------	------------	----------

IO Tr  $\Rightarrow$  tox = 7.0(nm)

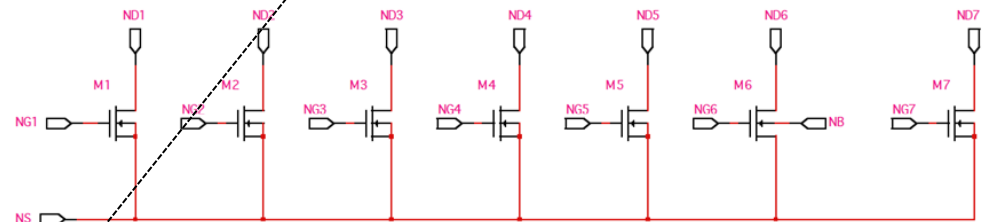
# SOI chip

本発表で用いたTrは以下のテスト用のSOI chipに載せているものです。

## INTPIX3



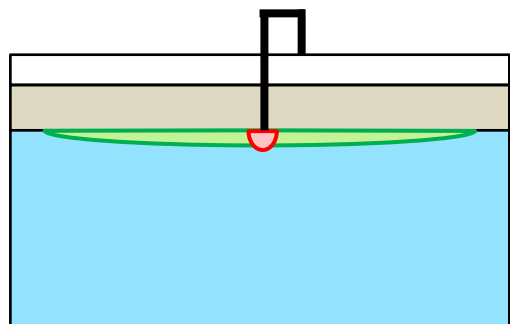
### NMOS



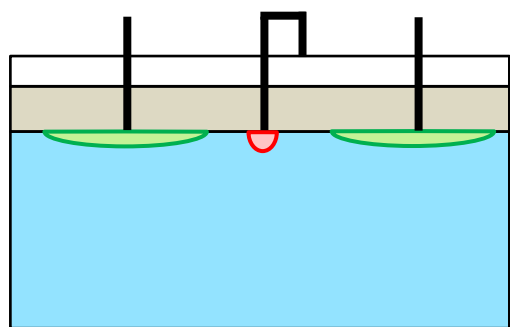
Tr	L(um)	W(um)	Cell	Model	Comment
M1	0.20	100	nmos3	nch_convbf	normal Vt
M2	0.20	100	nmos3l	nch_colvbf	low Vt
M3	0.35	175	nmos3hiol	nch_iohvbv	IO high Vt
M4	0.35	175	nmos3io	nch_ionvbf	IO low Vt
M5	1.00	175	nmos3stio	nch_ionvst	IO S-Tie
M6	0.20	100	nmos4bt	nch_convbc	norm Vt, BodyTie
M7	10.0	100	dmos3io	nch_iodvbf	IO D-NMOS

# 2層SOI構造

現在



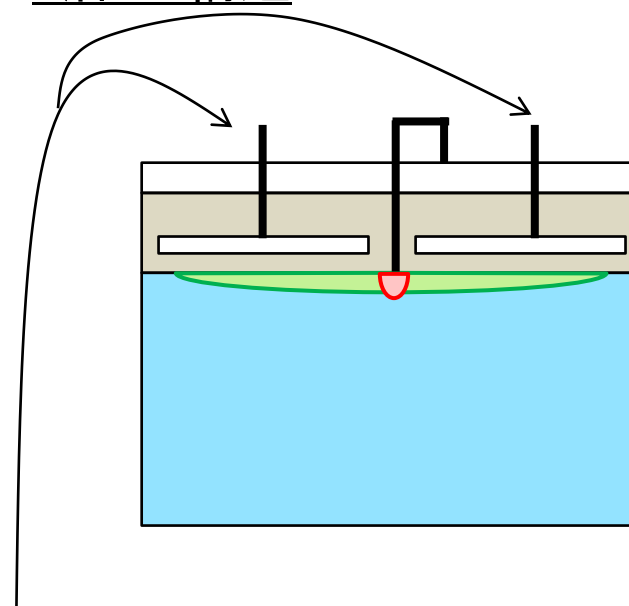
直接、SOI CMOSにつながっているの  
でBOX層に電場をかけるのは難しい



これではBPWに電場を取られてしまっ  
てシグナルが小さくなる



2層SOI構造



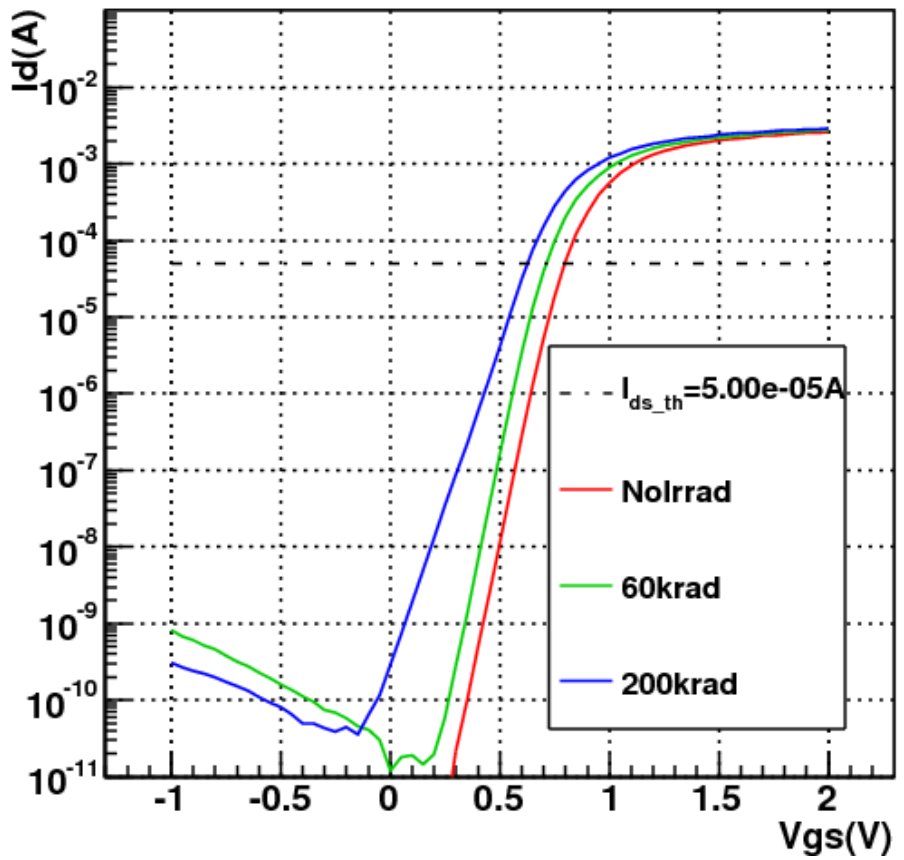
ここに損傷軽減用の電圧  
(今回のBPWの電圧)をかけることで  
問題が解決できます。

SOICMOS - センサー間のクロストーク  
の軽減もできます

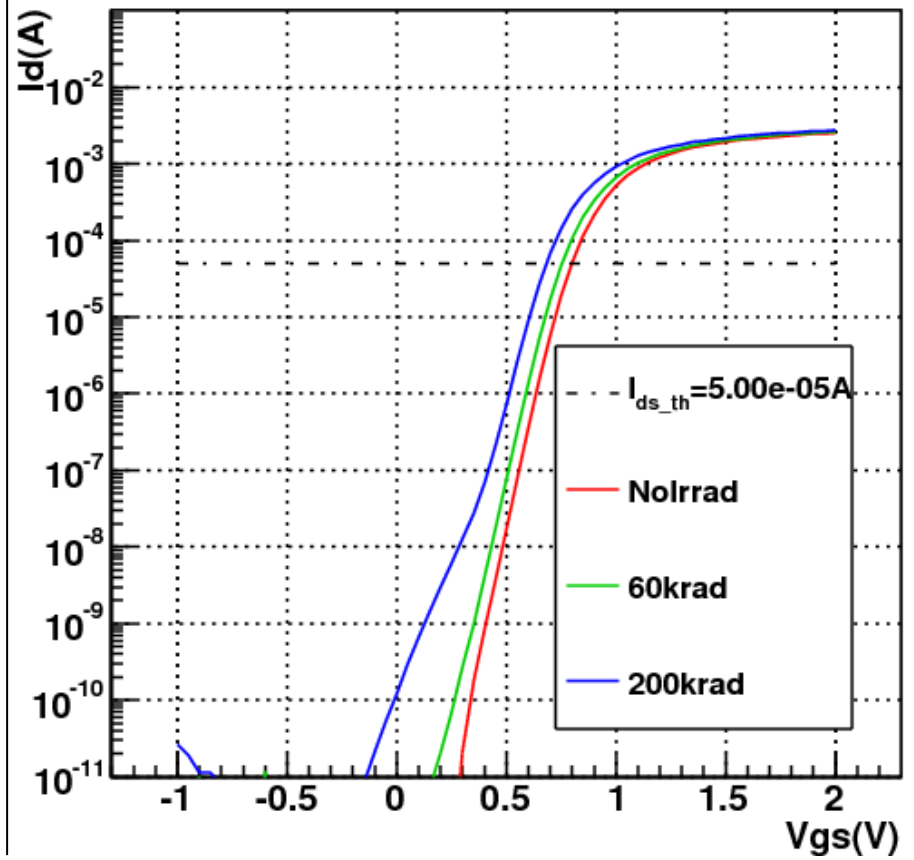
# 他のTrの結果 (Tr特性のシフト)

NMOSのTr#1の結果です(Tr特性のシフト)。

BPW=0V

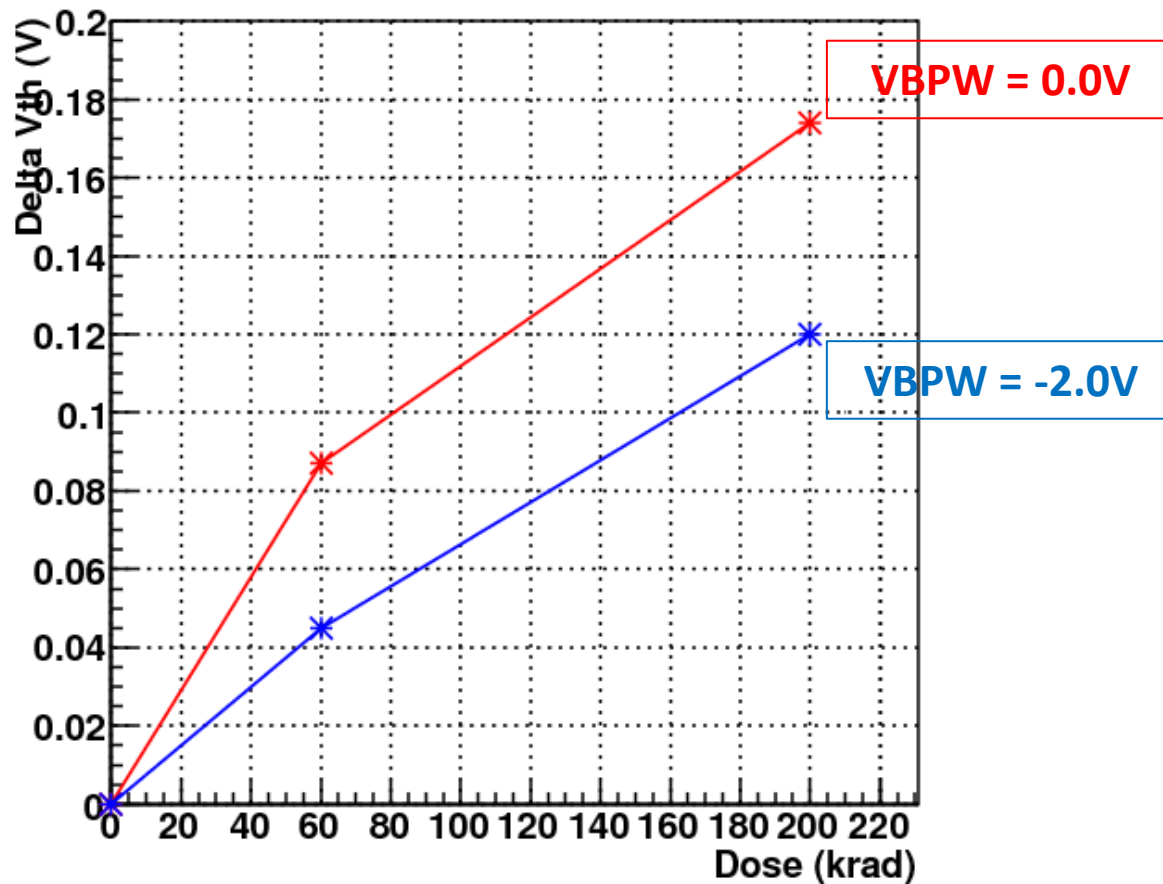


BPW=-2V



## 他のTrの結果 (シフト量比較)

NMOSのTr#1の結果です(シフト量比較)。

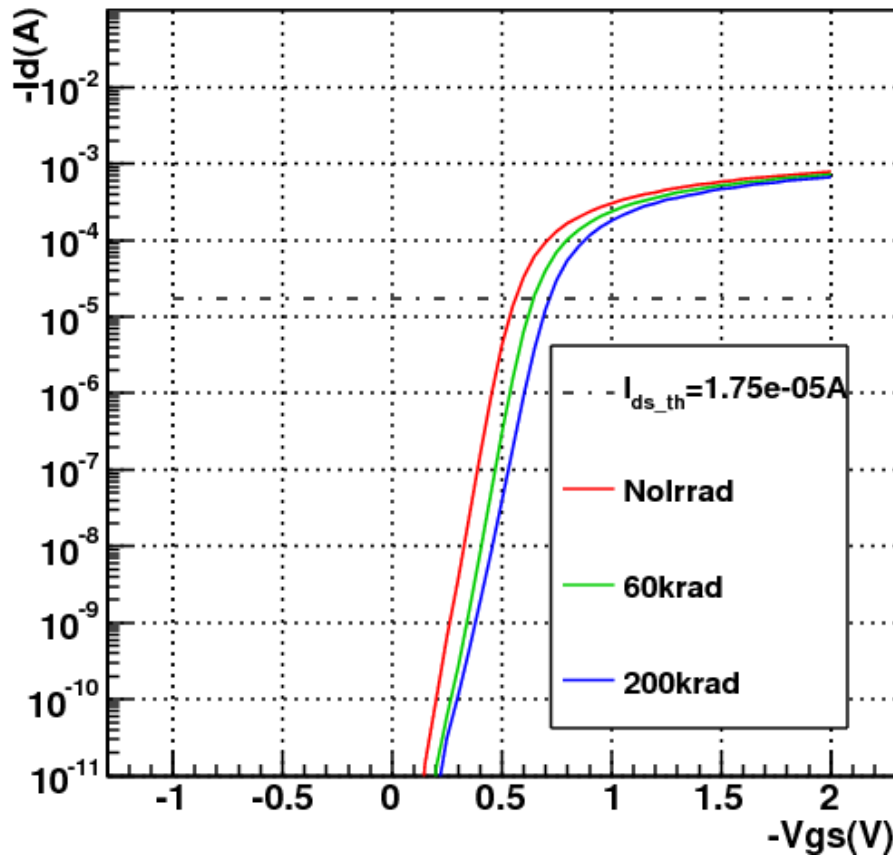


他のTrも200krad照射時にはBPW=-2Vの方がシフト量が小さいという結果を得ました。

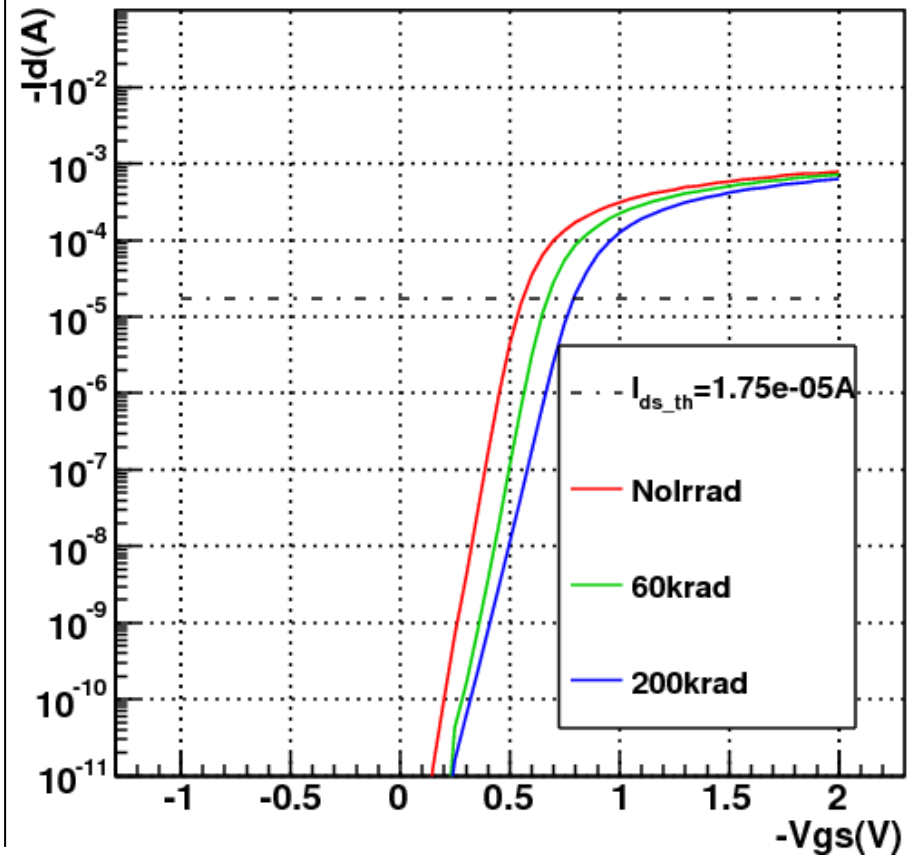
# PMOSの結果 (Tr特性のシフト)

PMOSのTr#5の結果です(Tr特性のシフト)。

BPW=0V



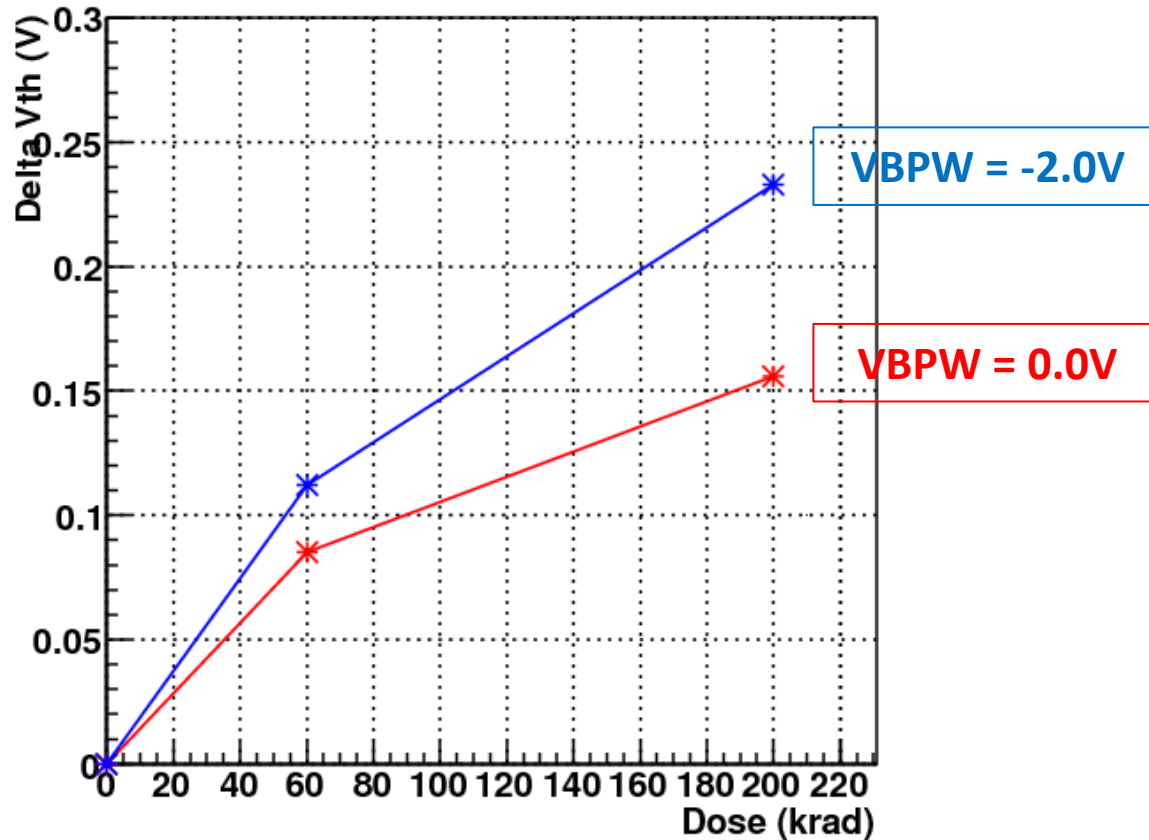
BPW=-2V



BPW=-2Vのほうが損傷が大きく出てしまいました。

## PMOSの結果 (シフト量比較)

PMOSのTr#5の結果です(シフト量比較)。



ただしPMOSに関しては、NMOSと比較して放射線耐性が強いので問題ないかと考えています。



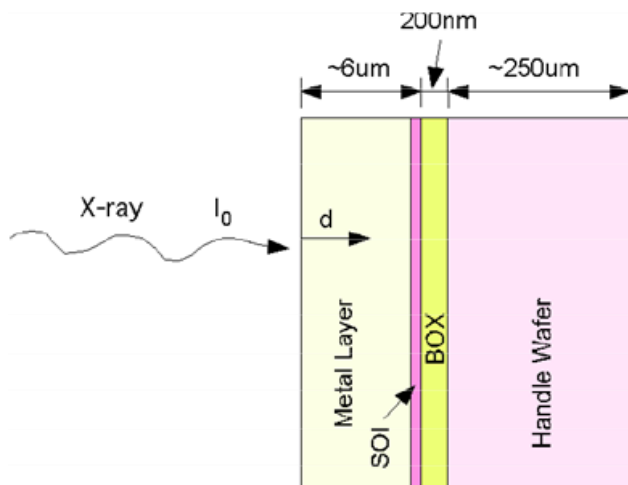
# X線強度計算

X線強度は照射位置における

✓スポットサイズ

✓フォトダイオード(PD)の応答電流から計算しています。

特性X線8keVのみ、BOXでのDose量



物質に入射した光の強度 $I$ は

$$I = I_0 \times 2^{-d/d_{1/2}} = I_0 \times 2^{-d/90(\text{um})}$$

よって、左図のBOX層で落とす光の強度は

$$\Delta I = I_0(2^{-6/90} - 2^{-6.2/90}) = 1.5 \times 10^{-3}$$

一方、使用したPDの応答についてCuK $\alpha$ 線8keVに対しては

$$4(pA/10^4\gamma) \rightarrow 2.5 \times 10^9(\gamma/uA)$$

つまり、BOX中に落とすエネルギー $\Delta E$ はX線スポットサイズを $S(\text{mm}^2)$  PDの応答電流を $I_{PD}$  (uA)として

$$\Delta E = 8(\text{keV}) * 1.6 \times 10^{-16}(\text{J/keV}) * \frac{2.5 \times 10^9(\gamma/uA)}{S(\text{mm}^2)} * \Delta I * I_{PD}(\text{uA})$$

BOX層の1 $\text{cm}^2$ あたりの質量は

$$\sigma = 2.0 \times 10^{-5}(\text{cm}) * 2.2(\text{g/cm}^3) = 4.4 \times 10^{-5}(\text{g/cm}^2)$$

よって、単位質量あたり、単位時間で吸収するエネルギー $\Delta R$ は

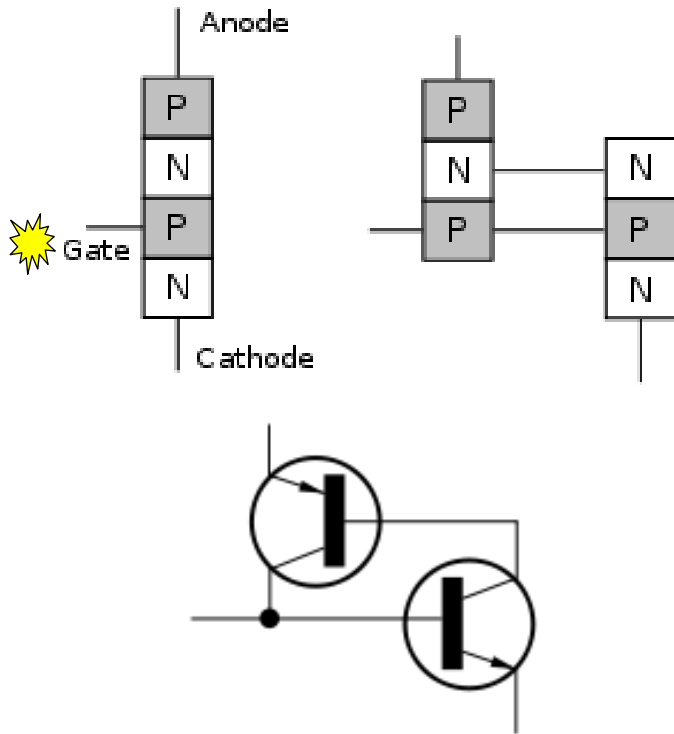
$$\Delta R = \frac{\Delta E(\text{J/mm}^2)}{\sigma(\text{kg/mm}^2)} = 11 \times \frac{I_{PD}}{S} (\text{Gy/s}) = 1.1 \times \frac{I_{PD}}{S} (\text{krad/s})$$

ここにPDの出力電流 $I_{pd}$ , X線スポットサイズ $S$ を代入して、単位時間当たりの照射線量を計算。そこから目的の照射線量分の時間だけ照射することで照射を行った。

# Single Event効果(とラッチアップ)

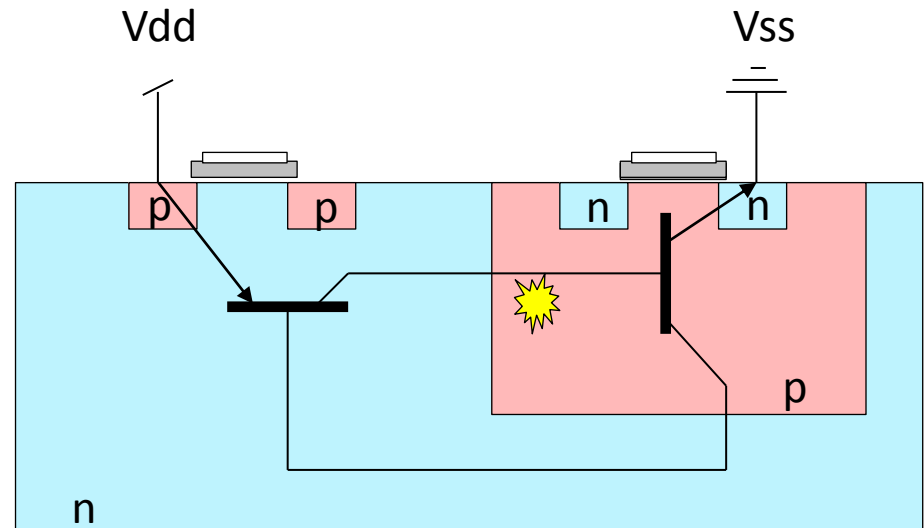
- ここでのSingle Event効果はハード・エラーとなるSingle Event Latch-upのことです。

## サイリスタ構造



一度流れるとAnodeからCathodeに電流が流れ続ける。

## Bulk CMOSにおけるサイリスタ構造

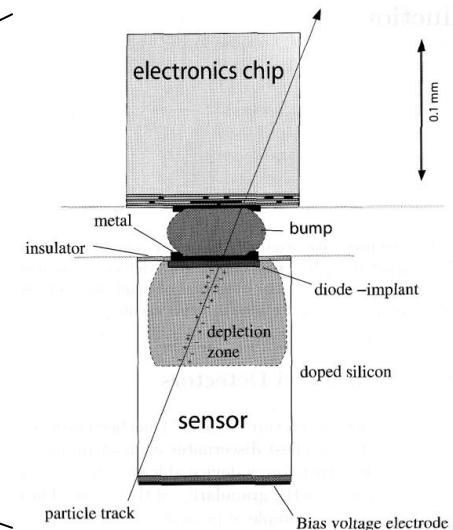
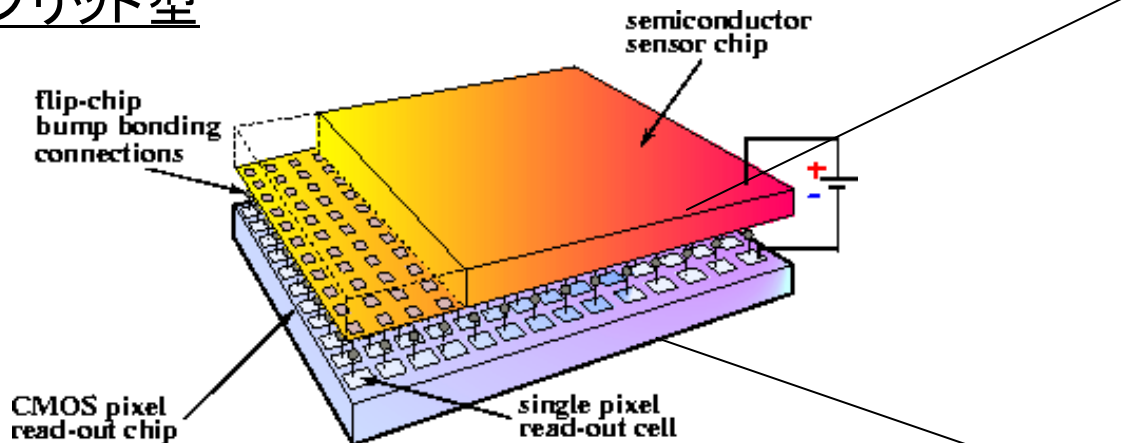


すると、生成する電荷量の大きい重イオンなどの入射により、サイリスタ構造がON

⇒Vdd-Vss間で大電流が流れ続ける(latch-up)。  
⇒機能しない。破壊が起こる

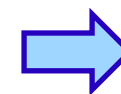
# ハイブリッド型とモノリシック型

## ハイブリッド型



金属バンプ

- 容量発生
  - 読み出し速度低下、感度の低下
- ピクセルサイズに制限
  - 金属バンプ分の大きさで限界
- 余分な物質質量
  - 金属分の物質質量がある



モノリシック  
では解決

# TCAD

Selete  
HyENEXSS  
を使用

- 半導体シミュレーションソフトTCAD (Technology Computer Aided Design)

プロセスシミュレータ

+

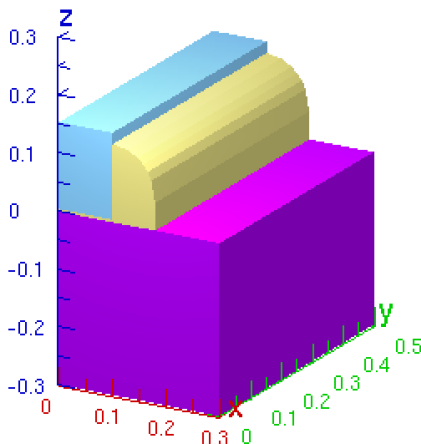
デバイスシミュレータ

半導体デバイス製造のシミュレーション

- ✓酸化
- ✓エッチング
- ✓イオンインプラント

...

例: MOSFET (半分)



自分で制作したデバイスの性能を試験

- ✓IV特性
- ✓CV特性
- ✓AC解析

...

例: センサーの電場

