



国際リニアコライダーのための 崩壊点検出器用高精細CCDの 読み出しシステムの研究開発

素粒子実験グループ
齋藤 智之

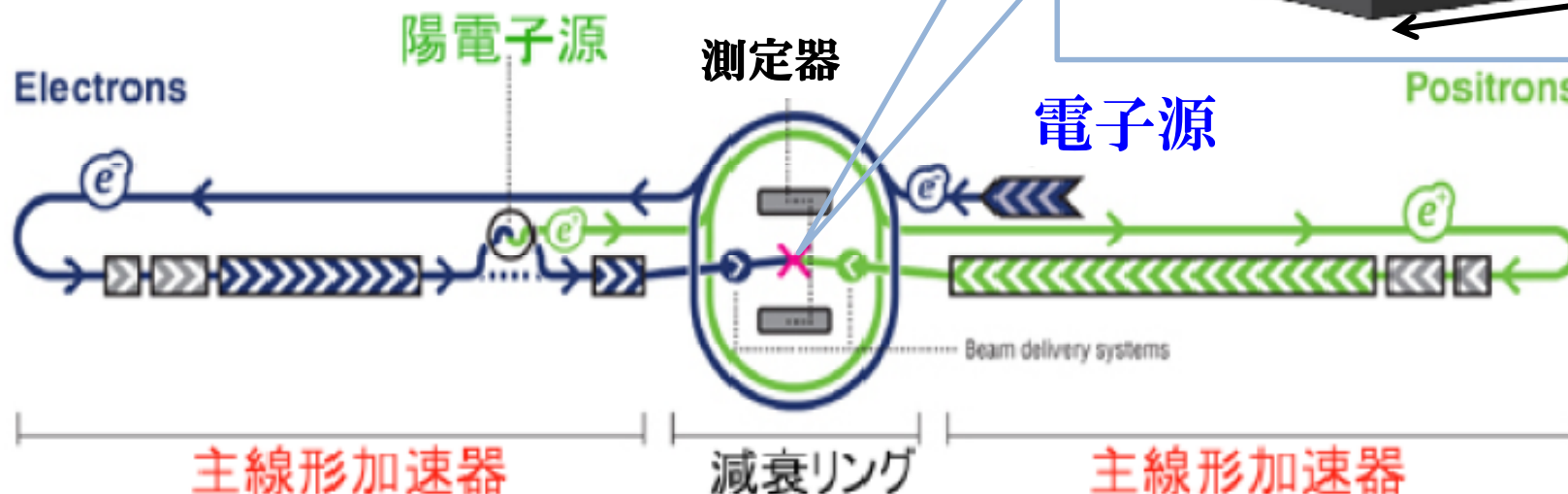
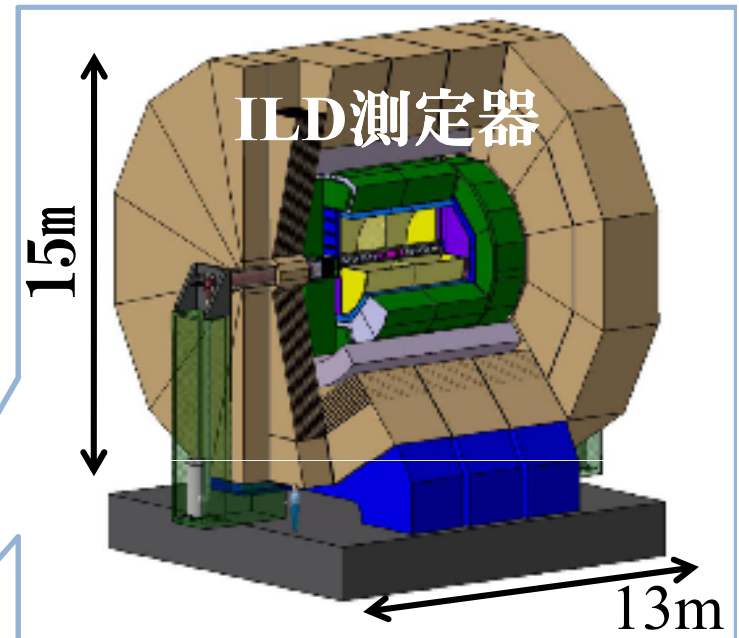
目次

- ▶ 国際リニアコライダー実験(ILC)
- ▶ 崩壊点検出器
- ▶ ASIC開発
- ▶ 信号読み出し試験
- ▶ 第2次ASIC開発
- ▶ まとめ

国際リニアコライダー (ILC)

次世代電子・陽電子衝突型線形加速器

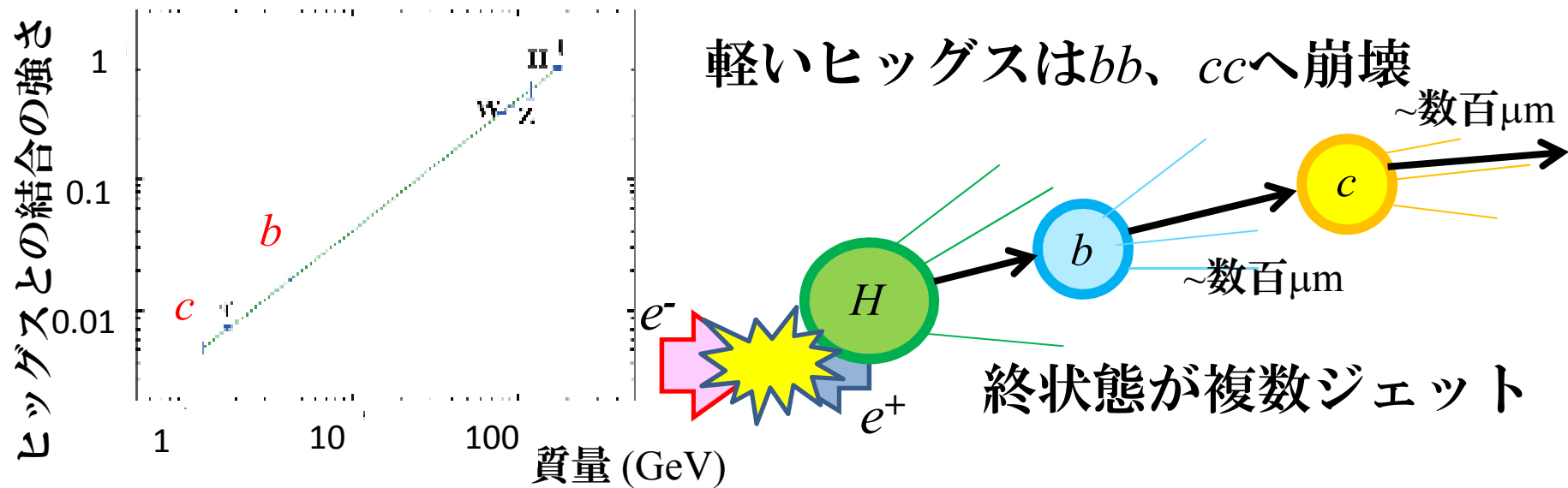
- ▶ 全長30km
- ▶ 重心エネルギー : 500 GeV (\rightarrow 1TeV)
- ▶ 最大ルミノシティ : $2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$
- ▶ 積分ルミノシティ : 500 fb^{-1} (4年間)



Higgsの物理や新物理の精密測定を目指す

ILCの物理とフレーバ・タグ

ILCが目指す物理：ヒッグス機構の検証



ジェットの起源を測定(フレーバ・タグ)する必要がある

崩壊点検出器：粒子の崩壊点測定

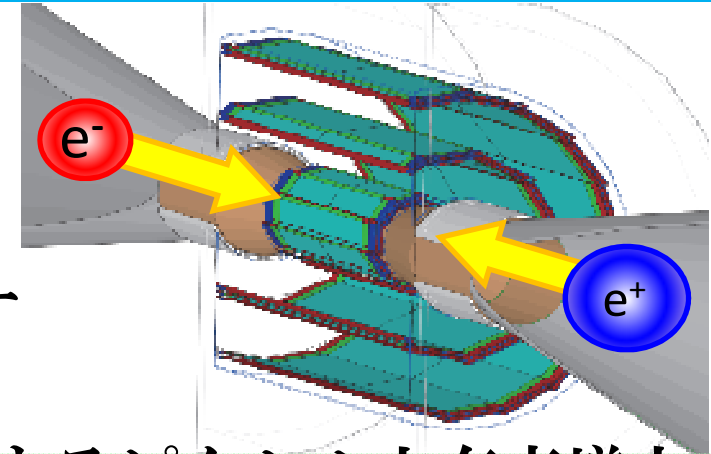
$$\text{崩壊点分解能 } \sigma = 5 \oplus \frac{10}{p\beta \sin^{3/2} \theta} [\mu\text{m}]$$

ヒッグスの物理の解析には高性能の崩壊点検出器が必要

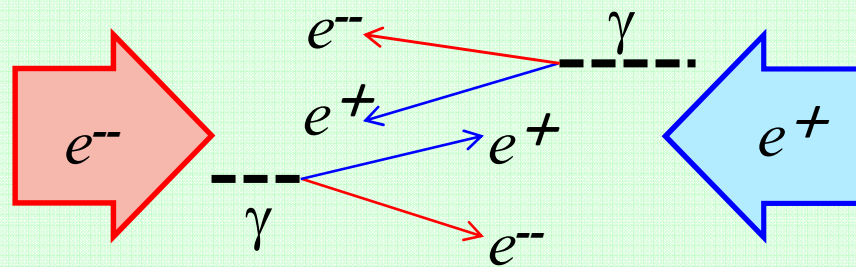
ILCの崩壊点検出器

崩壊点検出器

- ▶ 最内層に設置
- ▶ ピクセル型検出器
- ▶ ある一定時間信号を蓄積して読み出す

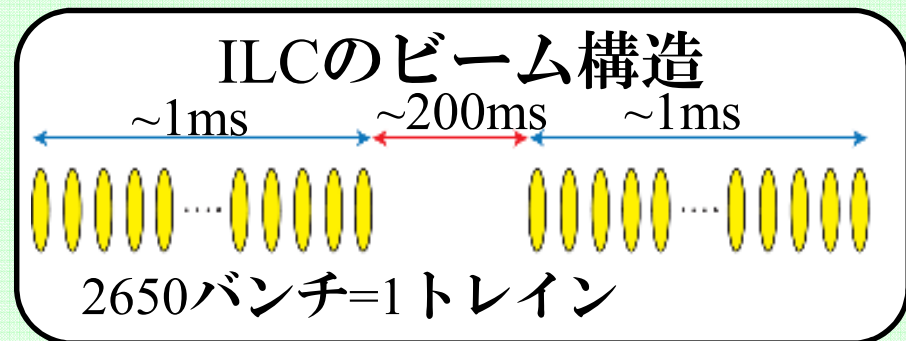


- 課題：多数のペア・バックグラウンドによるピクセル占有率増大



$$\frac{\text{ヒットのあるピクセル数}}{\text{総ピクセル数}}$$

- ▶ 1トレイン分の信号を蓄積すると
ピクセル占有率10%以上
($20\mu\text{m} \times 20\mu\text{m}$ ピクセル)
⇒ 1%程度に抑える必要あり



世界中で技術確立が進められている

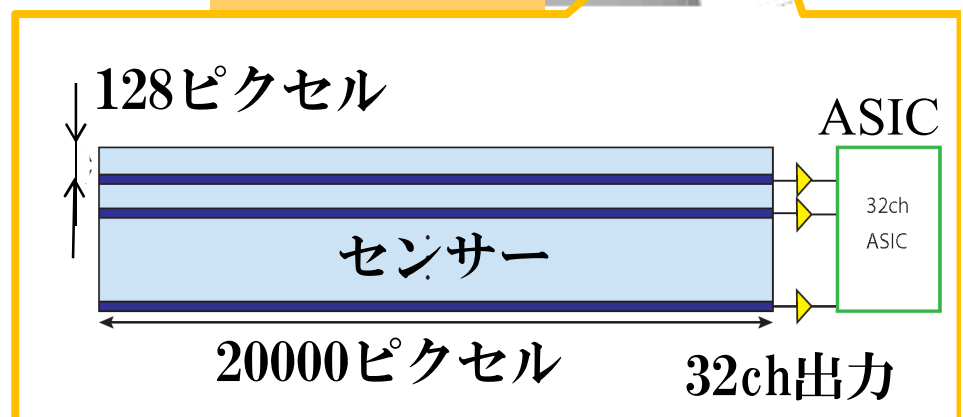
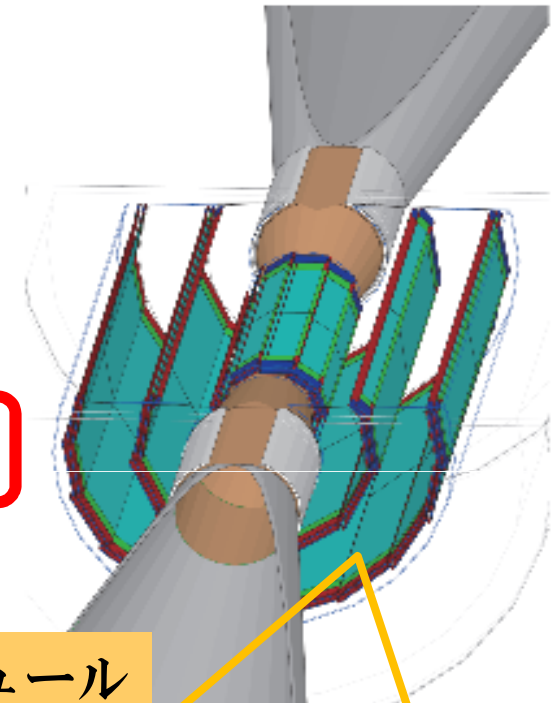
FPCCD崩壊点検出器

ピクセル占有率の解決策

- ① 読み出し回数を増やす
- ② ピクセルを小さくする

高精細CCD(Fine Pixel CCD)崩壊点検出器

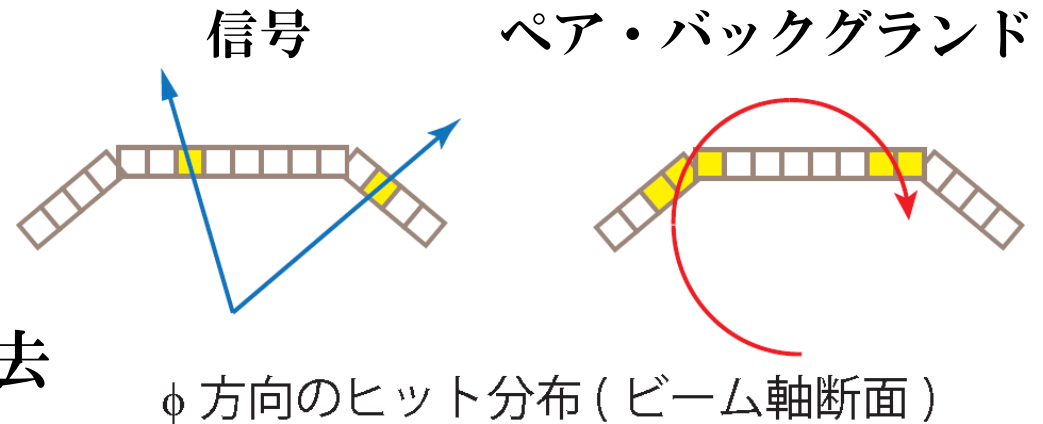
- ▶ ピクセルサイズ : $5\ \mu\text{m} \times 5\ \mu\text{m}$
- ▶ 有感層厚さ : $15\ \mu\text{m}$ (全空乏化)
- ▶ 複数チャンネル (32ch)
- ▶ 総チャンネル数 : 6080
 $20000 \times 128\ \text{pix}/\text{ch}$
 \Rightarrow 総ピクセル数 $\sim 10^{10}$
- ▶ ダブルレイヤー3層構造



FPCCD崩壊点検出器

特徴

- ▶ 高い空間分解能 ($1.4 \mu\text{m}$)
- ▶ 高い2粒子分解能
- ▶ クラスター形状によるペアバックグランド除去



要求性能

- 読み出し速度 $> 10 \text{ MHz}$
 - ・ トレイン間200 msで全ピクセル読み出す
- ノイズレベル < 50 電子
- 全消費電力 $< 100 \text{ W}$
 - ・ -50°C に冷却したクライオスタットに設置

センサーと共に専用の読み出しシステムの確立が必要

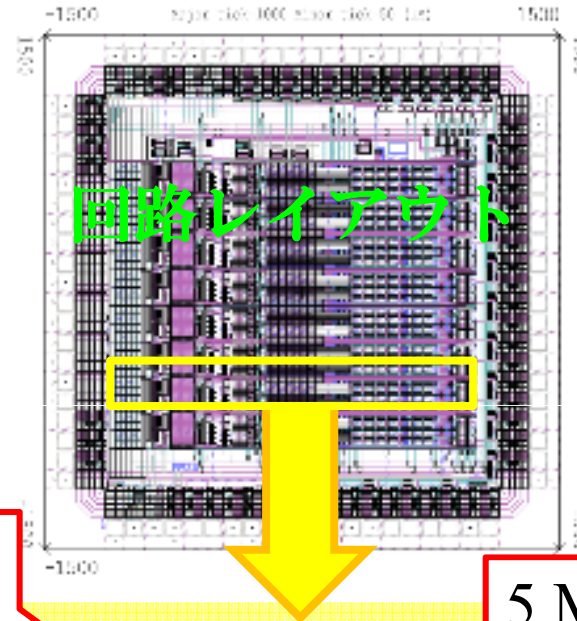
読み出し回路(ASIC)の開発

読み出しASIC開発

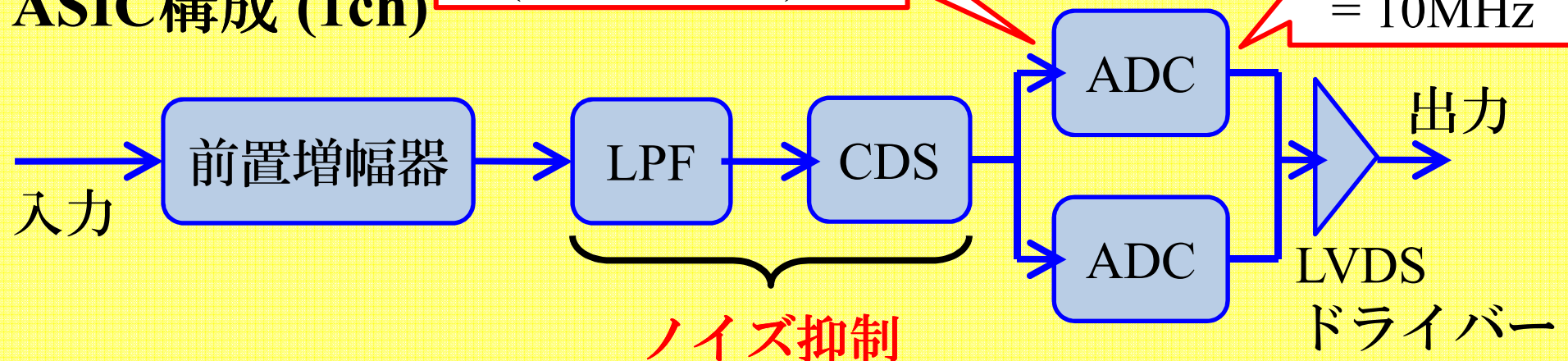
要求性能を満たす読み出しASICの開発を行った。

ASICへの要求性能

- 読み出し速度 > 10 MHz
- ノイズレベル < 30 電子
- 消費電力 < 6 mW/ch



ASIC構成 (1ch)

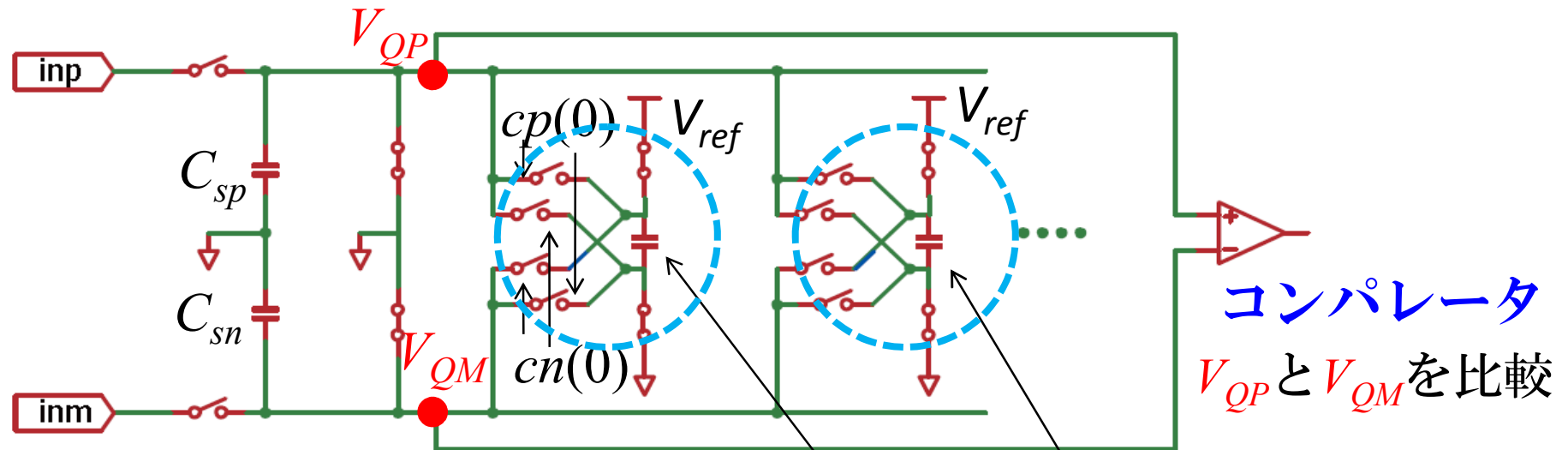


電荷再配分型ADC

電荷再配分型ADC：消費電力を抑えつつ高速処理を実現

コンデンサ・アレイ間の電荷演算のみでA/D変換

- ① C_{sp} と C_{sn} で信号を捕獲し、 V_{QP} と V_{QM} を比較
→ 最上位ビット決定
- ② ①の結果により cp 、 cn のどちらか導通
→ V_{QP} と V_{QM} を比較 → 2ビット目決定
以下繰り返し → 7bitに変換



ビット重みに対応した容量値 $2^{N-1}C_u$: 最上位

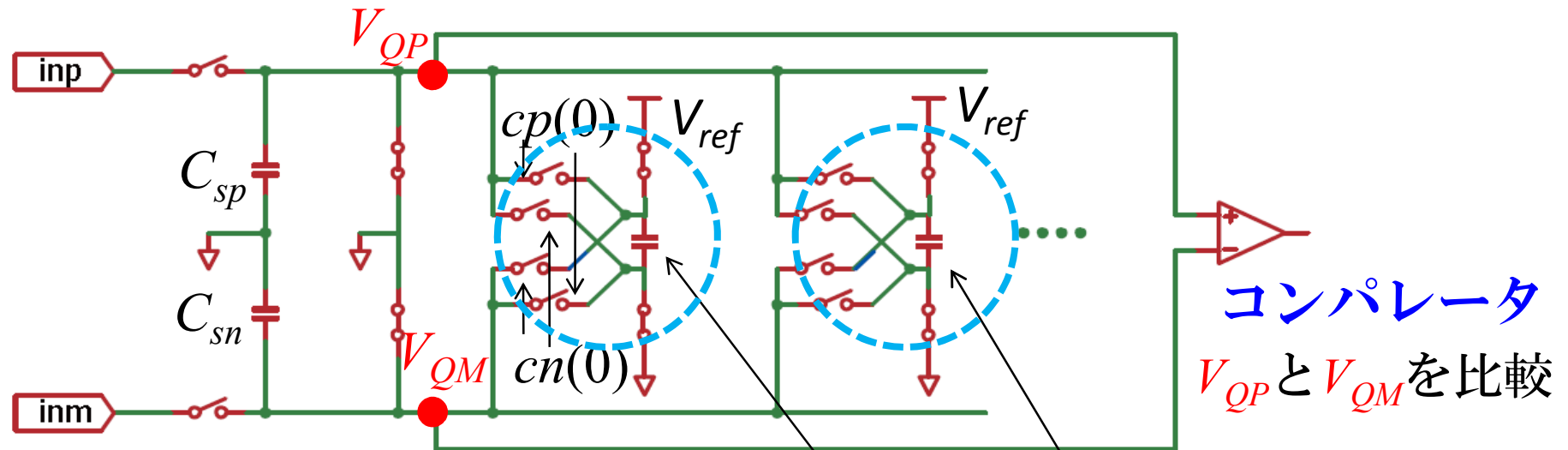
$2^{N-2}C_u$: 2ビット目

電荷再配分型ADC

電荷再配分型ADC：消費電力を抑えつつ高速処理を実現

コンデンサ・アレイ間の電荷演算のみでA/D変換

- ① C_{sp} と C_{sn} で信号を捕獲し、 V_{QP} と V_{QM} を比較
→ 最上位ビット決定
- ② ①の結果により cp 、 cn のどちらか導通
→ V_{QP} と V_{QM} を比較 → 2ビット目決定
以下繰り返し → 7bitに変換



ビット重みに対応した容量値 $2^{N-1}C_u$: 最上位

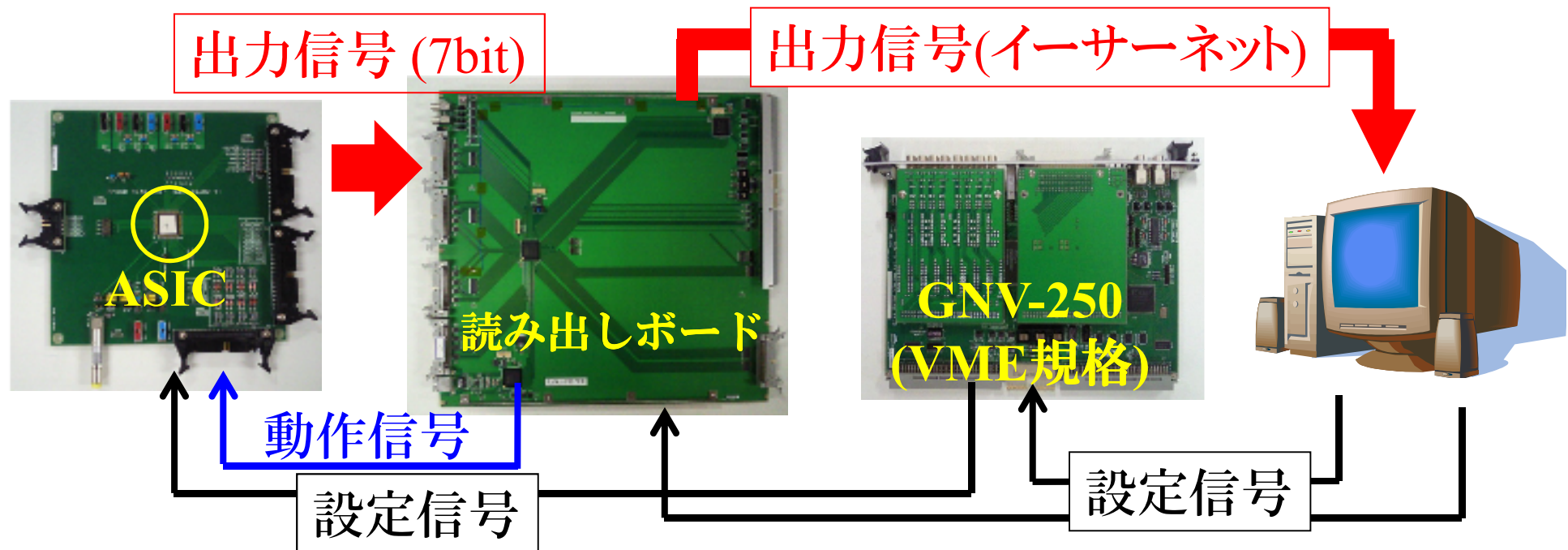
$2^{N-2}C_u$: 2ビット目

ASIC読み出しシステム

開発したASICの性能評価のための読み出しシステムを構築した

構成要素

- ▶ ASIC基板
- ▶ 読み出しボード : クロック生成、動作信号送信
- ▶ GNV-250 (VME規格): ASICのパラメータ設定
- ▶ PC : ソフトウェア処理 (DAQ-Middleware)

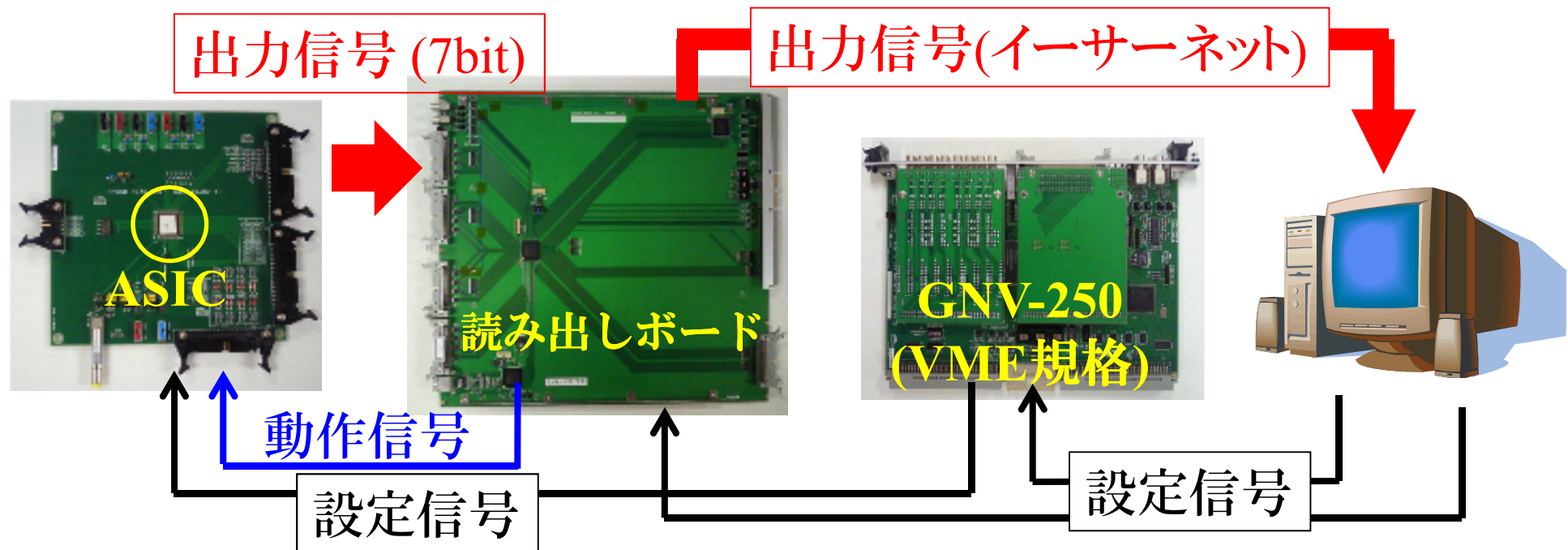


ASIC読み出しシステム

開発したASICの性能評価のためのテストベンチを構築した

特徴

- ▶ 多チャンネル対応
- ▶ ASICの動作、パラメータ設定はPCで指示
- ▶ ボードからPCは100 MbpsのSiTCPを用い高速通信可

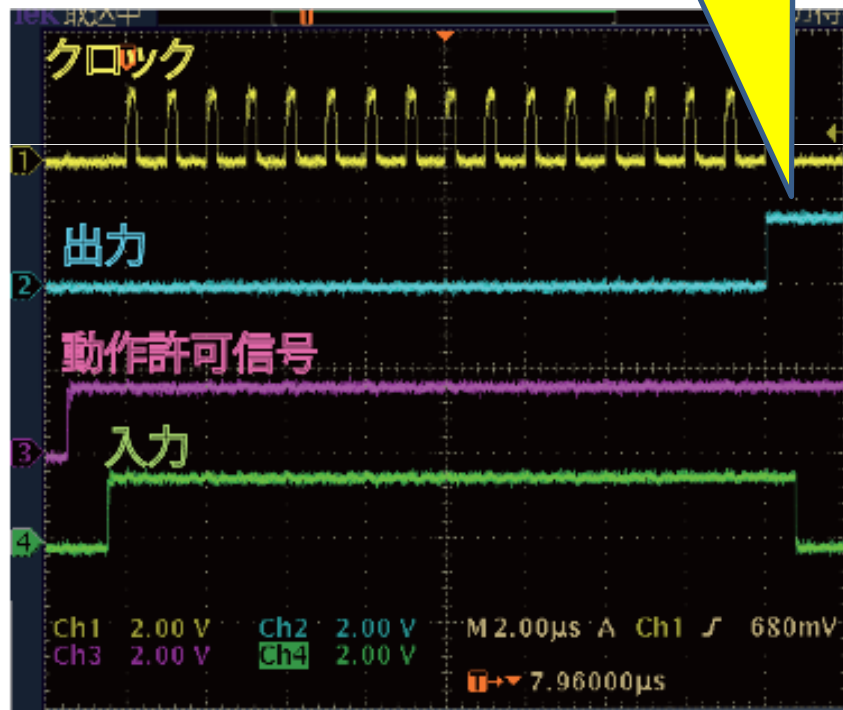


ASIC動作試験

読み出しシステムを用いてASICの動作を確認した

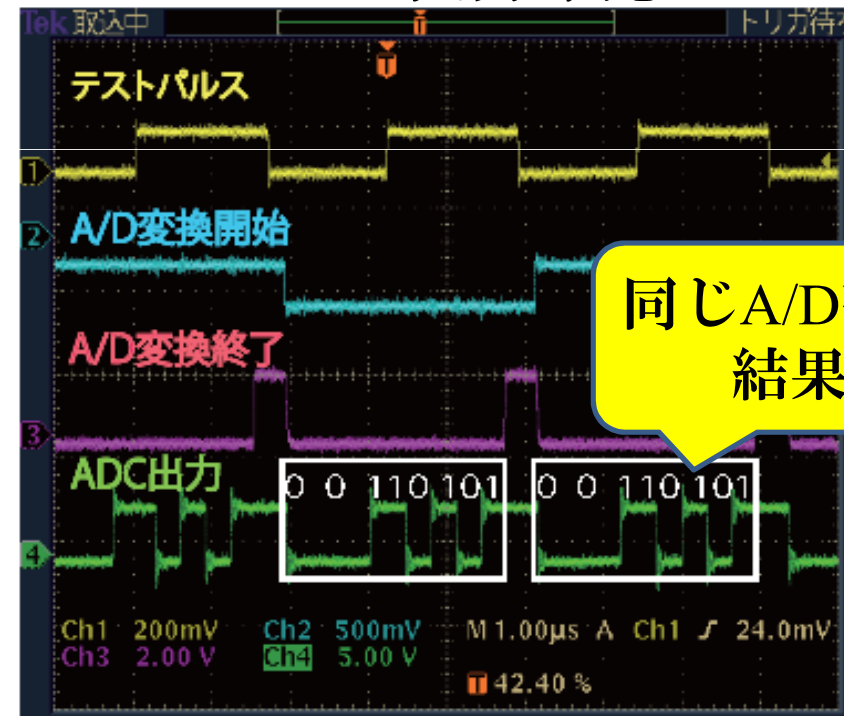
パラメータ設定確認

17クロック
で設定完了



ADC出力確認

同じA/D変換
結果

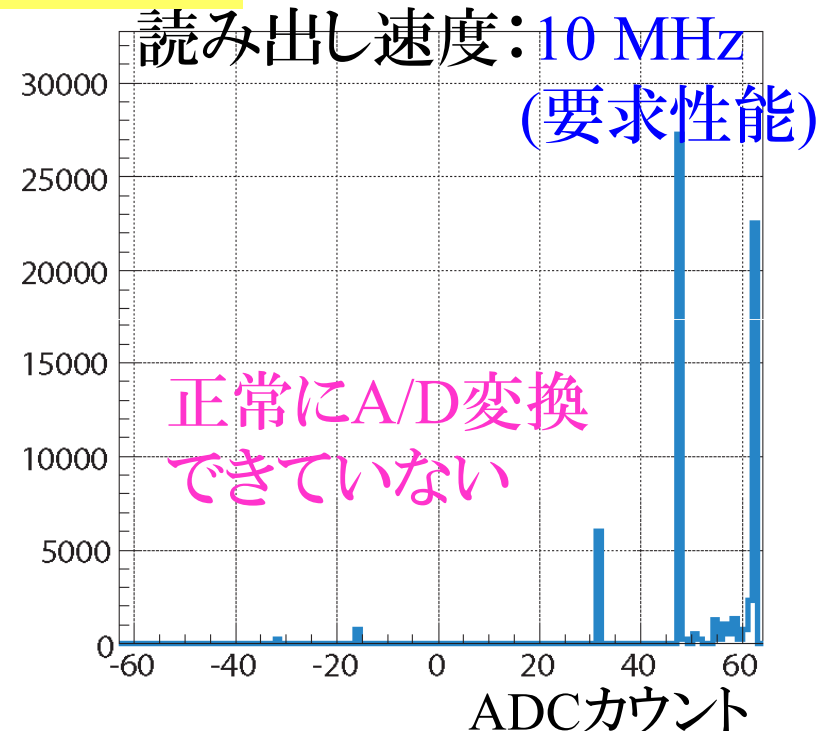
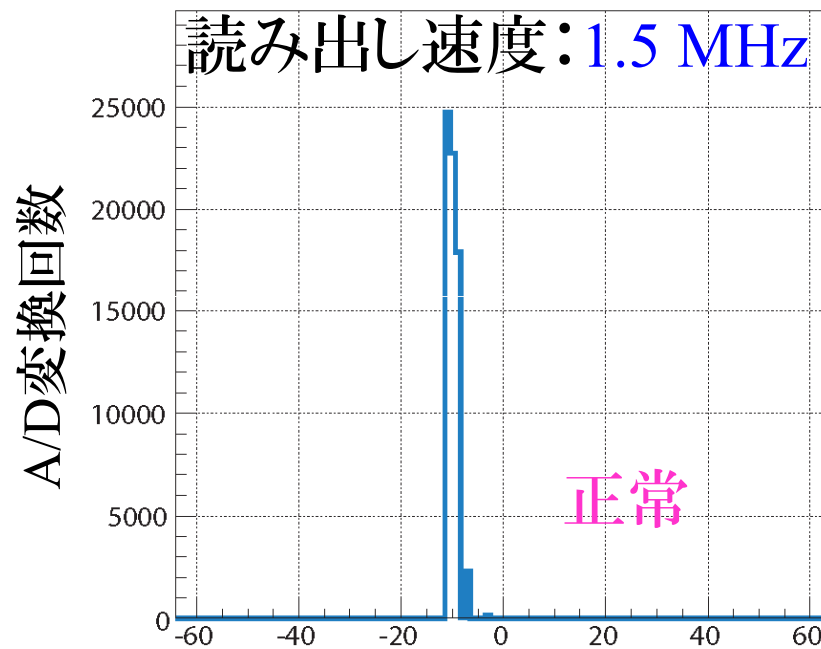


正常に動作していることを確認 ⇒ 性能評価を行う

ASICの読み出し速度評価

ペDESTAL値の分布を見て正常に動作する読み出し速度を調べた。

ペDESTAL値分布

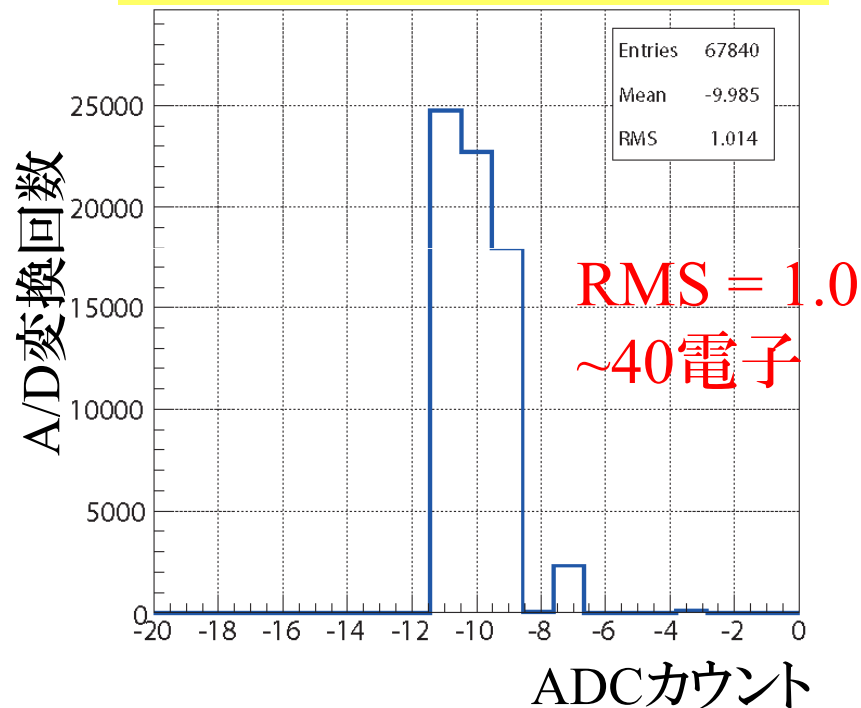


- ▶ 10MHzでは× →
 - 高速動作時にコンパレータの電流不足の可能性
 - 浮遊容量の影響
 - ▶ 1.5MHzまでは正常に動作することを確認
- 以後、変換速度は1.5MHzに設定

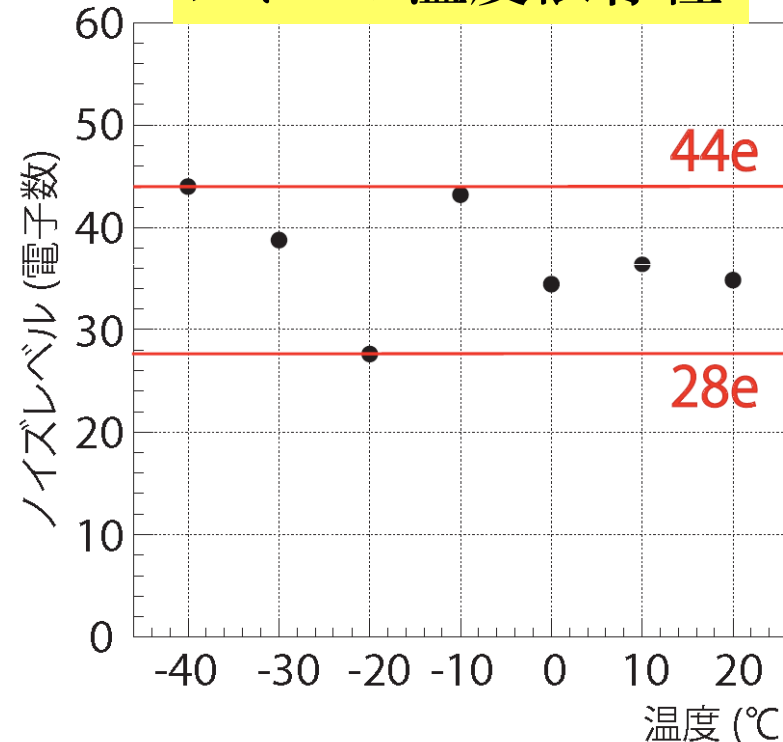
ASIC読み出しノイズ評価

ペDESTAL値分布からASICのノイズレベルを見積もった。

室温でのペDESTAL分布



ノイズの温度依存性



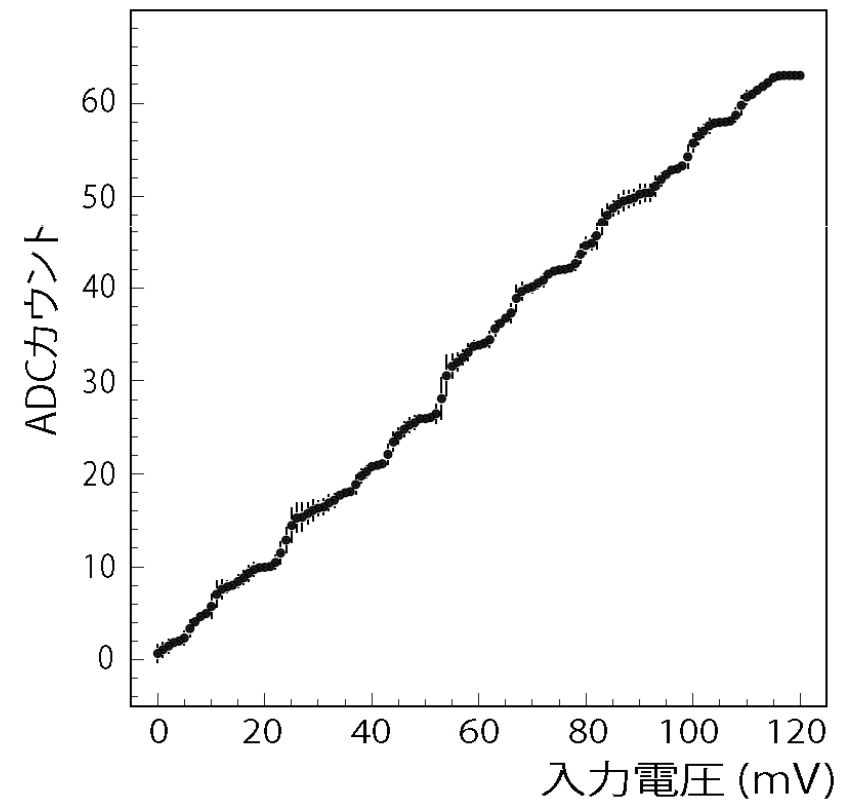
- ▶ 室温でASIC単体のノイズレベル=40電子(要求性能:30電子)
 - 1ADCカウントは40電子対応 → 分解能が悪い
- ▶ ノイズの温度依存性は小さい(実機-50°Cで対応できる)

ASIC線型性評価

ASICへの入力電圧変え、出力されるADCカウントを調べた。

入力電圧と出力ADCカウント

- ▶ 線型性は概ね得られている



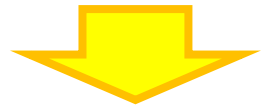
ASIC線型性評価

ASICへの入力電圧変え、出力されるADCカウントを調べた。

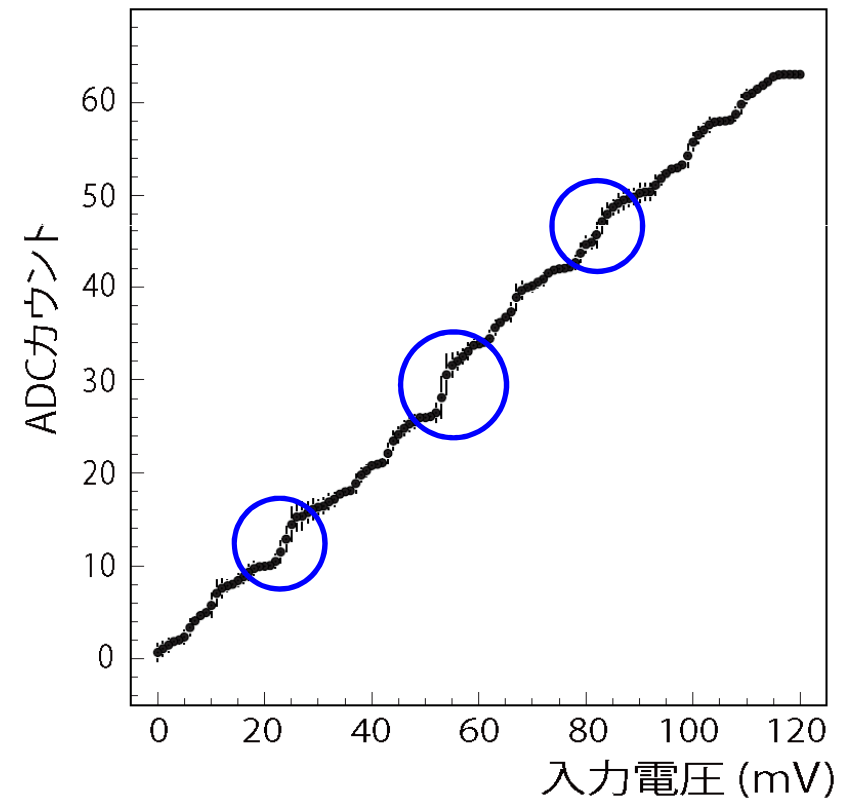
入力電圧と出力ADCカウント

- ▶ 線型性は概ね得られている
- ▶ 出力ADCカウントの大きな飛び

⇒ ノイズとなる



原因追究と対策が必要
⇒ シミュレーションで検証

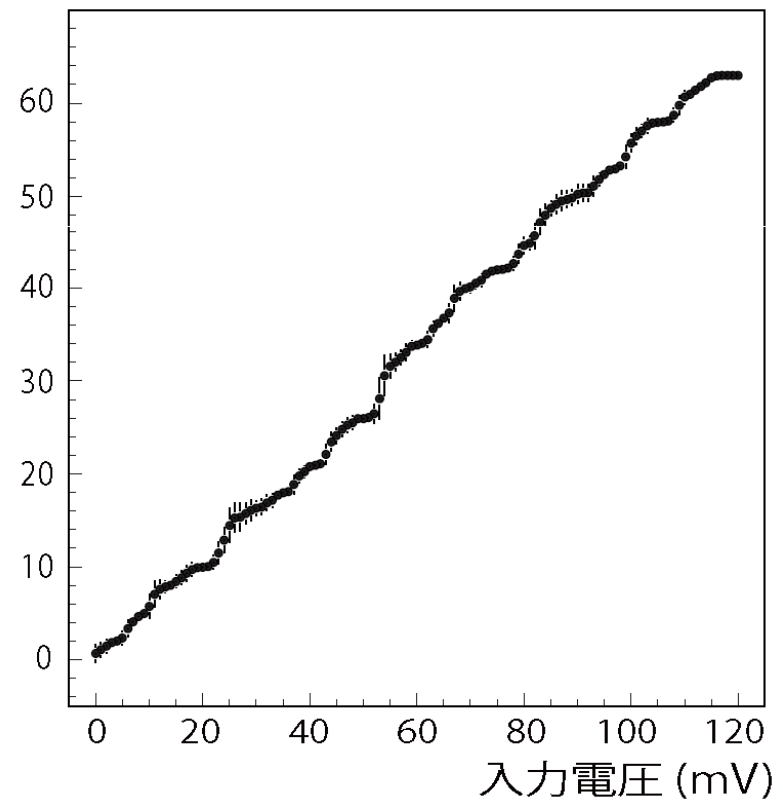
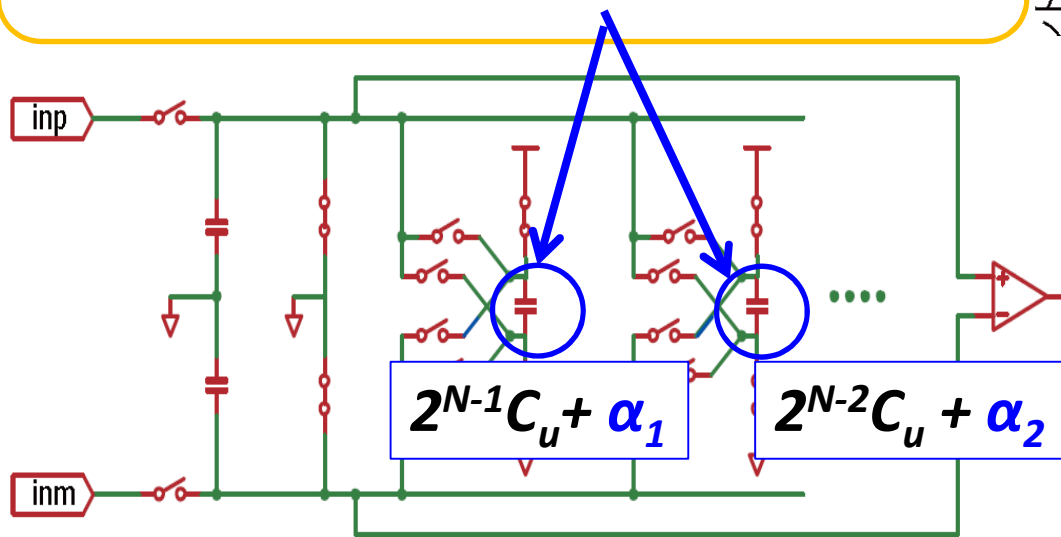


ASIC線型性評価

ASICへの入力電圧変え、出力されるADCカウントを調べた。

入力電圧と出力ADCカウント

シミュレーション設定
ADCのコンデンサ・アレイの
ビット重みに対応する容量比を崩す

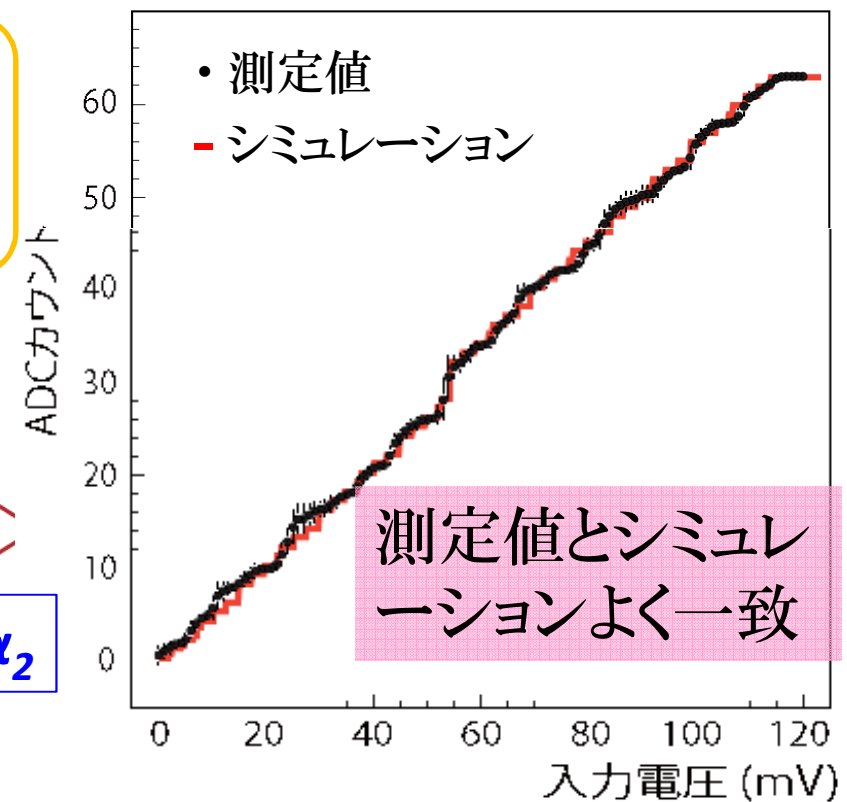
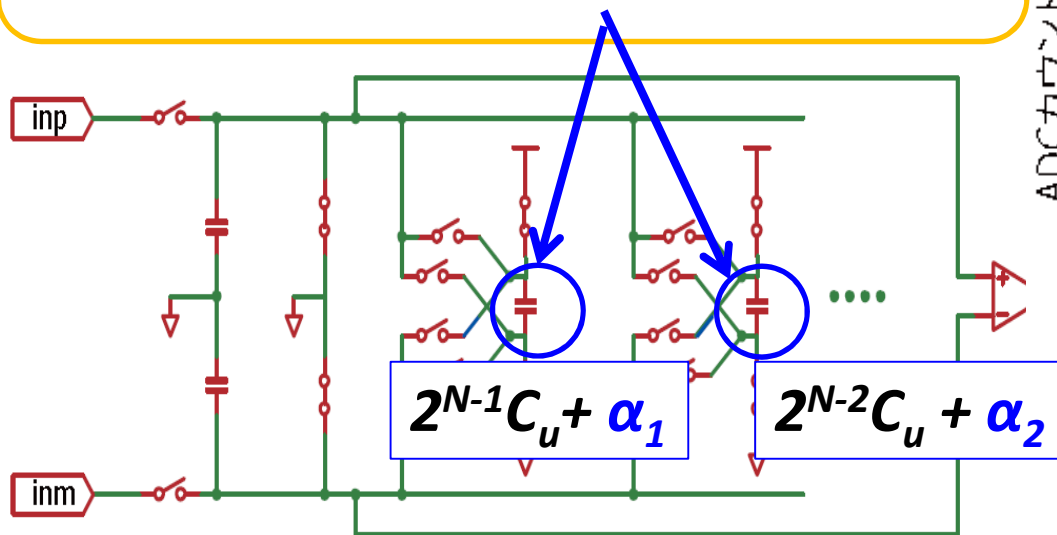


ASIC線型性評価

ASICへの入力電圧変え、出力されるADCカウントを調べた。

入力電圧と出力ADCカウント

シミュレーション設定
ADCのコンデンサ・アレイの
ビット重みに対応する容量比を崩す



浮遊容量がADCカウントの飛びを作る⇒ 次回試作で回路変更で対策

第1次ASICの性能評価結果

第1次試作ASICの性能評価結果をまとめる。

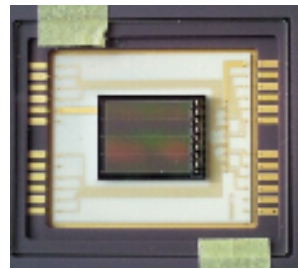
	要求性能	評価結果	現状
読み出し速度	10 MHz	1.5 MHz	高速動作時にADCへの電流不足と浮遊容量の影響
ノイズレベル	30電子	40電子	<ul style="list-style-type: none">・1ADCに対応する電子数大・ADCカウントの飛び
消費電力	6 mW/ch	13 mW/ch (Simulation)	アナログ部とデジタル部で同程度消費

第2次試作時に改善を図る

FPCCD読み出し試験

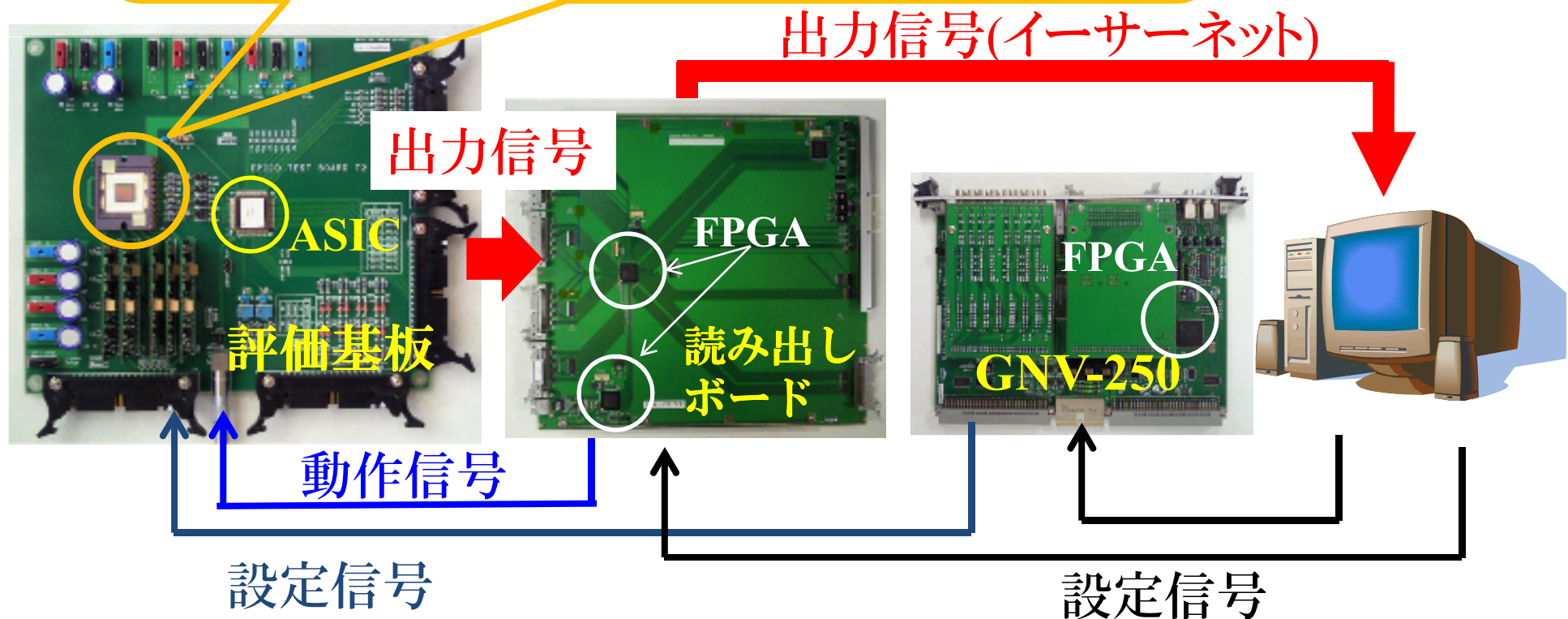
FPCCD読み出しシステム

ASICを用いてFPCCDからの信号を読み出し試験を行った。



試作FPCCD (浜松ホトニクス)

- ▶ ピクセルサイズ : $12\ \mu\text{m} \times 12\ \mu\text{m}$
- ▶ チャンネル数 : 4

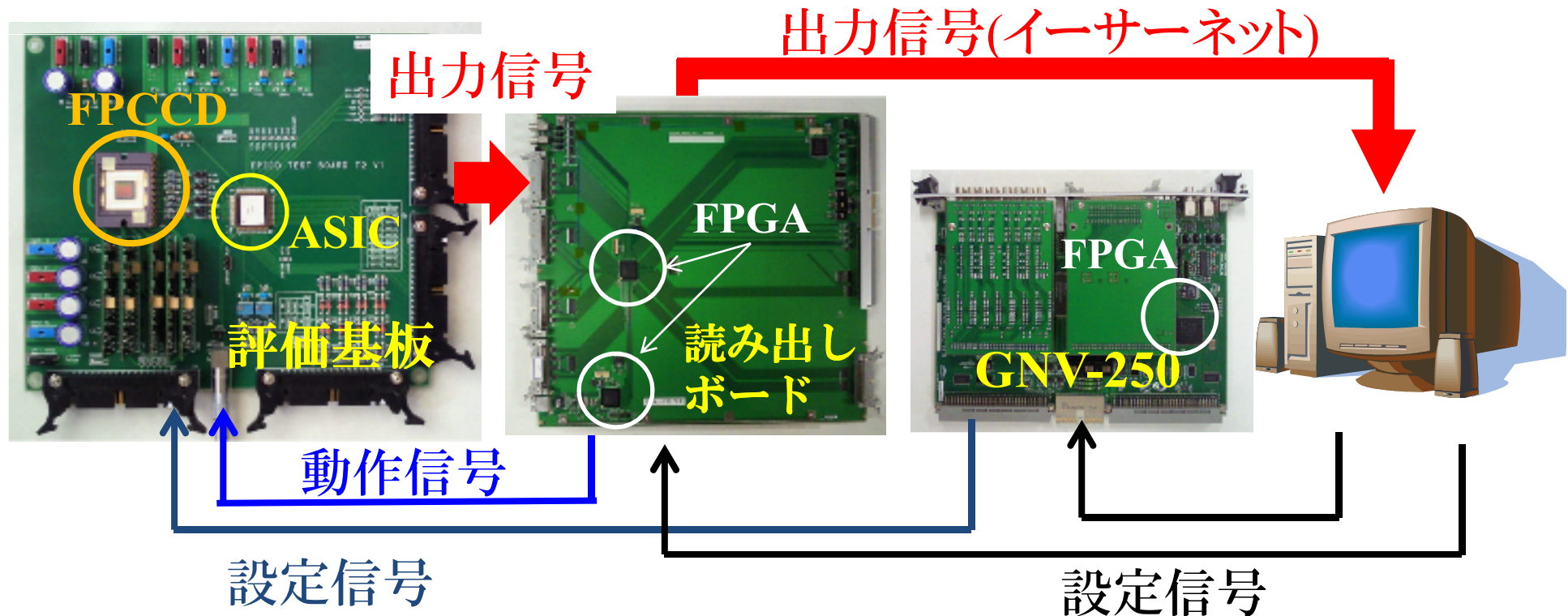


FPCCD読み出しシステム

ASICを用いてFPCCDからの信号を読み出し試験を行った。

システム構成

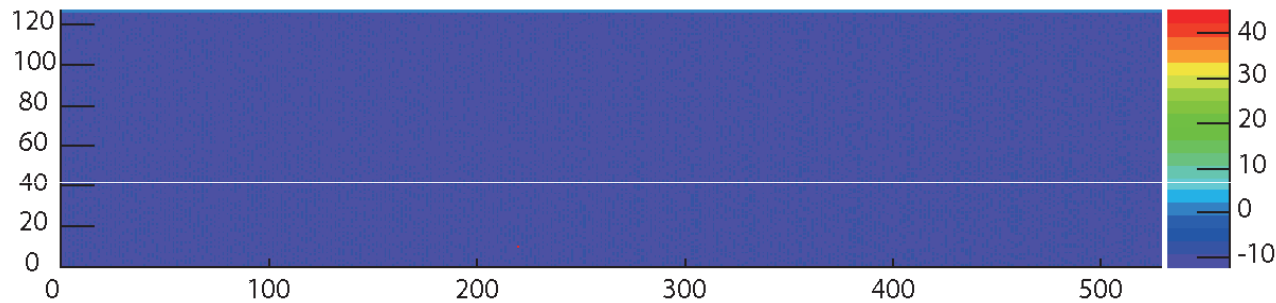
- ▶ ASICの評価システムにFPCCDを接続
- ▶ FPCCDとASICはエミッタフォロアを介して近くに設置



FPCCD読み出し試験

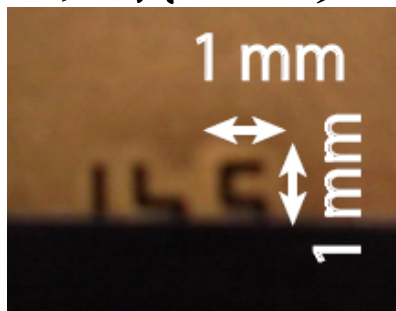
FPCCDの1チャンネル分の信号を読み出した。

ペDESTル値の2次元分布(ADCカウント)

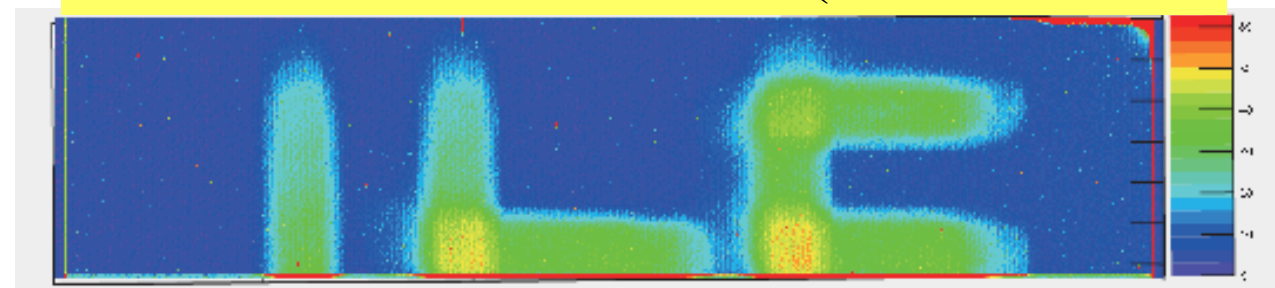


⇒ 一様なペDESTル値
が得られた

フォトマスク



LED光照射時の2次元分布(ADCカウント)

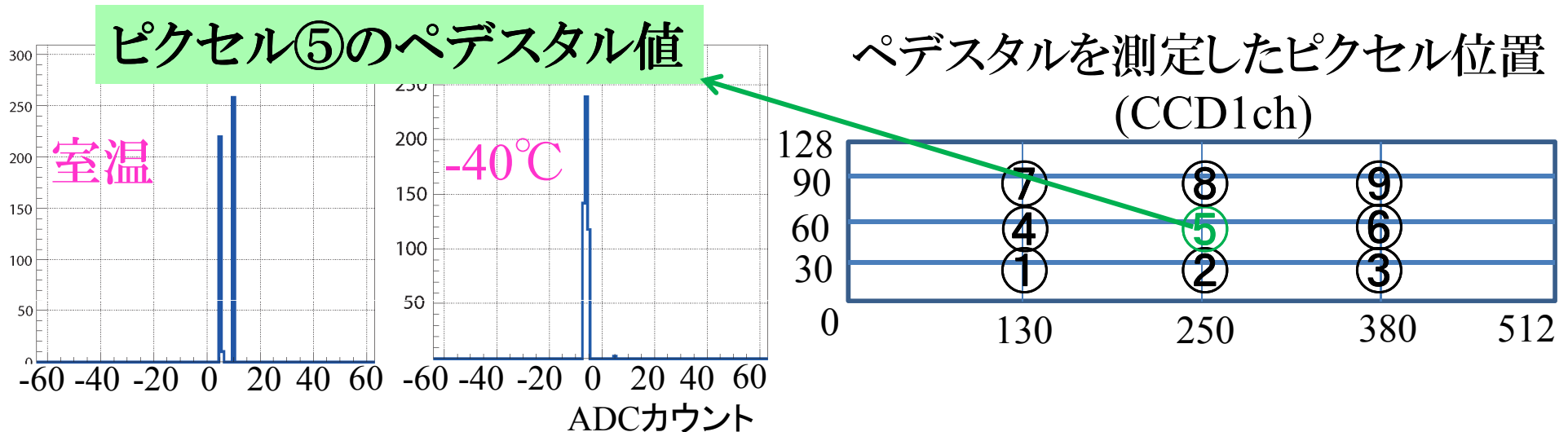


「ILC」の文字が再現できている

FPCCDからの信号を正しく読み出せている。

FPCCD読み出しシステムノイズ評価

ピクセル毎のペDESTAL値を調べ、読み出しノイズの評価を行った。



各ピクセルの読み出しノイズ (単位:電子)

ピクセル位置	①	②	③	④	⑤	⑥	⑦	⑧	⑨	平均
室温	100	72	96	92	100	100	96	68	92	91
-40°C	38	30	44	48	48	40	40	34	40	40

- ▶ -40°C冷却時はASICのノイズレベルと同等
- ▶ -40°C冷却時のシステム全体のノイズは要求性能50電子を満足

第2次ASIC開発

第2次ASICの開発

目的：読み出し速度10 MHz達成とADCカウン트의飛びの解決

主な変更点

- 読み出し速度対策
 - ▶ ADC周りの電源強化のためピン数増加
- ADCカウン트의飛び対策
 - ▶ ADCの設計変更 (浮遊容量の影響抑制)
 - ▶ コンパレータ設計変更
 - ・ オフセット調整機能導入
 - ・ 浮遊容量対策

第2次ASICの開発

目的：読み出し速度10 MHz達成とADCカウントの飛びの解決

主な変更点

- 読み出し速度対策

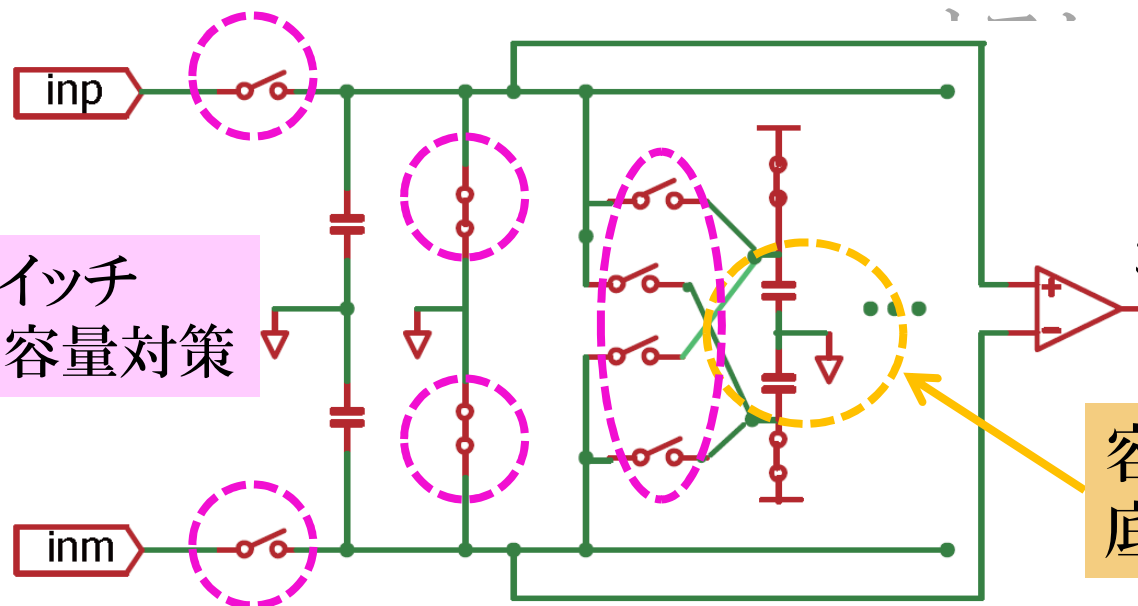
GNDとの間やスイッチに付く

- ADCカウントの飛び対策

- ▶ ADCの設計変更
(浮遊容量の影響抑制)
- ▶ コンパレータ設計変更

ト調整機能導入
対策

各スイッチ
浮遊容量対策



容量を分割し、
底面電極を接地

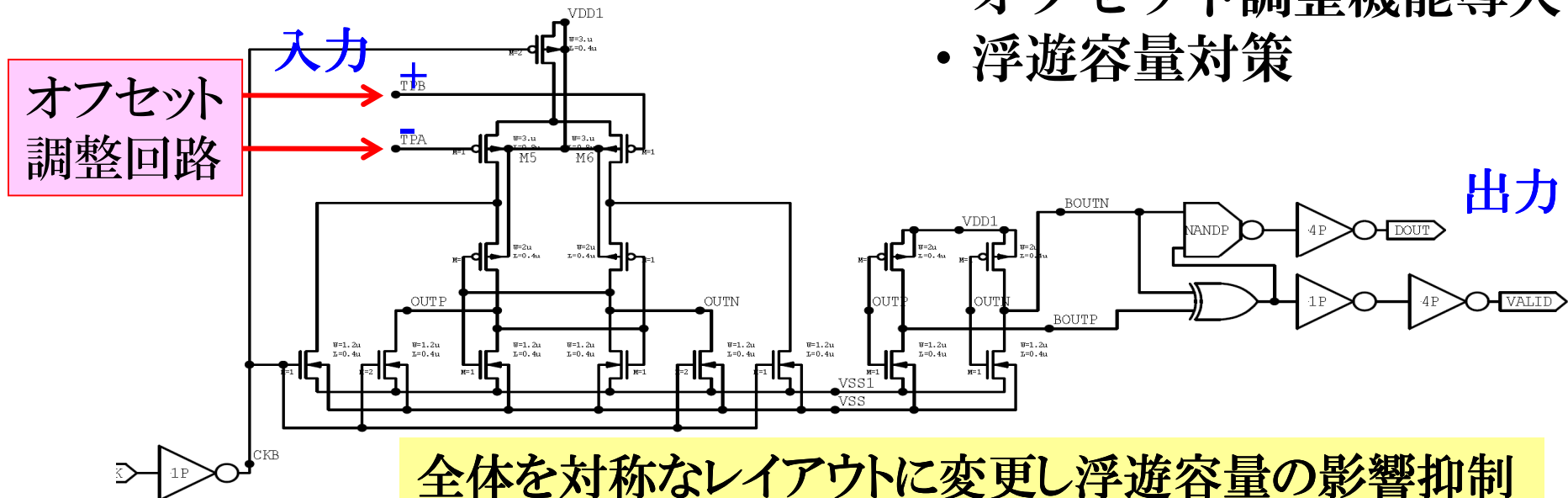
コンパレータ

第2次ASICの開発

目的：読み出し速度10 MHz達成とADCカウントの飛びの解決

主な変更点

- 読み出し速度対策
 - ▶ ADC周りの電源強化のためピン数増加
- ADCカウントの飛び対策
 - ▶ ADCの設計変更 (浮遊容量の影響抑制)
 - ▶ コンパレータ設計変更
 - ・ オフセット調整機能導入
 - ・ 浮遊容量対策



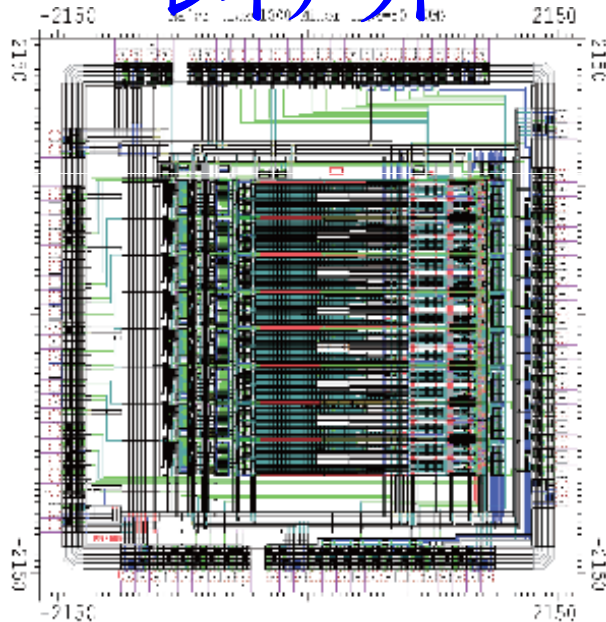
第2次試作ASIC性能評価

第2次ASICのレイアウトを作成

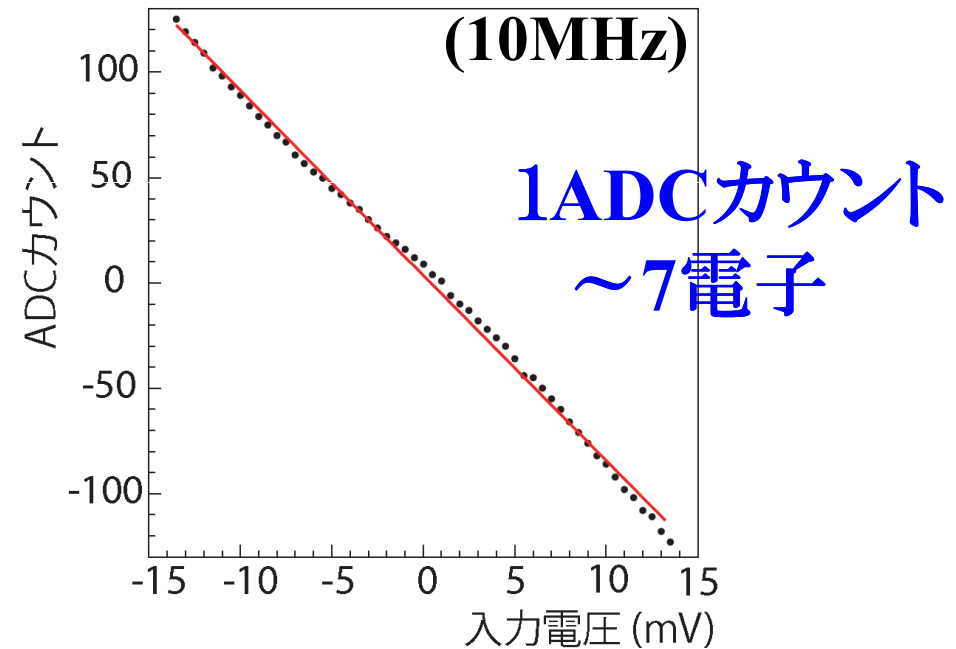
⇒ **ポスト・レイアウト・シミュレーション**により性能評価

レイアウト作成後、データを抽出

レイアウト



入力電圧と出力ADCカウント



読み出し速度10MHzで正常に動作し、ADCカウントの飛びは消えた



1月5日に発注、2月17日に納入予定

まとめ

ILCのFPCCD崩壊点検出器用読み出しシステムの開発を行った。

- 第1次ASICの開発、製作

- ▶ 基本動作に問題なし
- ▶ 読み出し速度、消費電力改善必要、ノイズはほぼクリア

- FPCCD読み出し試験

- ▶ 読み出しシステム正常に動作
- ▶ ノイズレベルの要求性能を満足

- 第2次ASICの開発

- ▶ ポストレイアウトシュミレーションにより性能評価
⇒読み出し速度と出力の線形性問題なし

- 今後

- ▶ 2/17に第2次ASICが納入され性能評価を行っていく
- ▶ 消費電力の問題