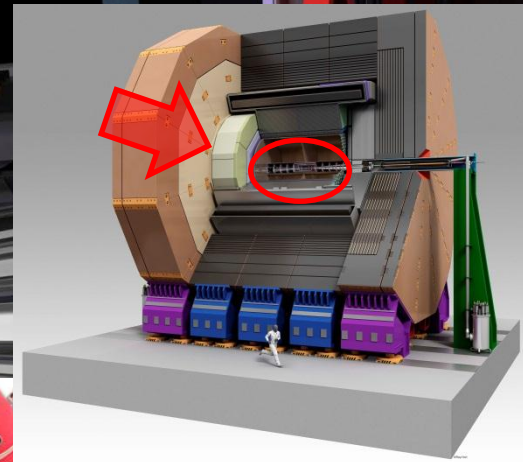


# ILC崩壊点検出器の為の 高精細CCD読み出し回路の研究



B workshop 2012  
東北大学 加藤恵里子

# 崩壊点検出器

## < 性能を決める要素 >

読み出し速度等デザインを決める重要事項

### ■ LHC

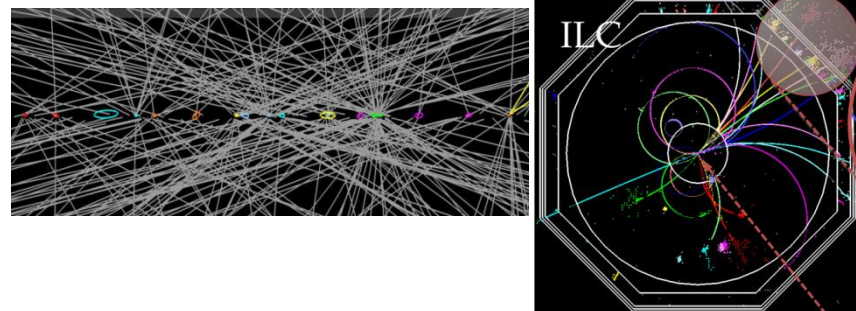
- 放射線耐性 (flavor tag)

### ■ Belle2

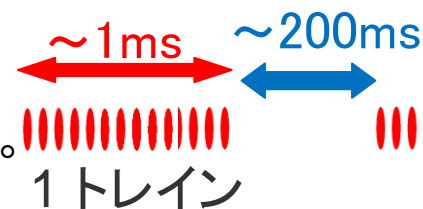
- Trigger rate (Bの崩壊寿命差  $\sigma_z < 20\mu\text{m}$ )

### ■ ILC

- トレイン間200ms(5Hz)、バンチ間600ns、両方ながい。
- トリガなし。放射線制約きつくない。性能が物理で決まる。
- 高効率、高純度のフレーバー同定



ビーム構造



|                      | LHC(ATLAS)       | Belle 2                                 | ILC               |
|----------------------|------------------|---|-------------------|
| 放射線耐性[1/year]        | 3Mrad (ion rad.) | 2Mrad(belle: 10krad)                    | 100krad           |
| Bunch X→Trigger rate | 40MHz→100kHz     | 500MHz→30kHz                            | 1.7MHz→No-trigger |
| 崩壊点分解能(a,b)          | (12um,70um)      | $\sigma_z < 20\mu\text{m}$ (belle 80um) | (<5um,<10um)      |

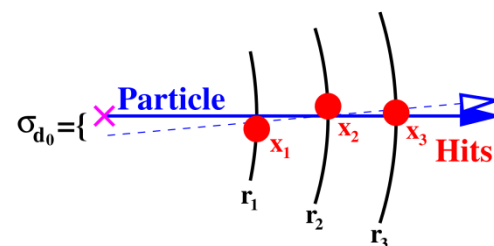
# ILCで欲しい分解能

- 崩壊点分解能( $\sigma_{IP=a \oplus b}$ ) **Single point resolution** **クーロン多重散乱項**

$$\sigma_{r\phi(rz)} = 5 \oplus \frac{10}{p\beta \sin^2 \theta} (\mu m)$$

- Single point resolution(a)

- Linear fit:  $f(r) = r \cdot s + t$  (rz-平面 or 磁場無視)
- offset  $t$  の誤差  $\rightarrow$  impact parameter resolution
- 外挿距離減らしたい。空間分解能小さくしたい。

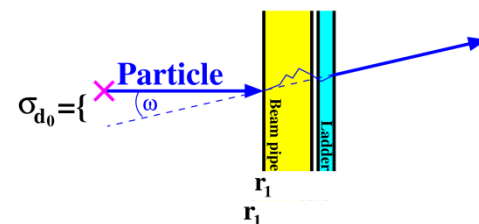


- クーロン多重散乱項(b)

$$\sigma_{d0} = r_1 \tan \omega$$

$$\approx \frac{r_1}{cp} 13.6 \text{ MeV} \sqrt{\frac{x}{x_0}} \left[ 1 + 0.038 \ln \left( \frac{x}{x_0} \right) \right]$$

- 薄く、レイヤーはIPに近づけたい。



PDGより

入射荷電粒子の速度  $\beta$ 、運動量  $p$ 、  
電荷  $z$ 、通過距離  $x$ 、  
物質の厚さ  $x$ 、媒質の放射長  $x_0$

- 20x20x50um<sup>3</sup> 以下のピクセル検出器が必要

# Pixel 占有率

## ■ 他に考慮すべきこと

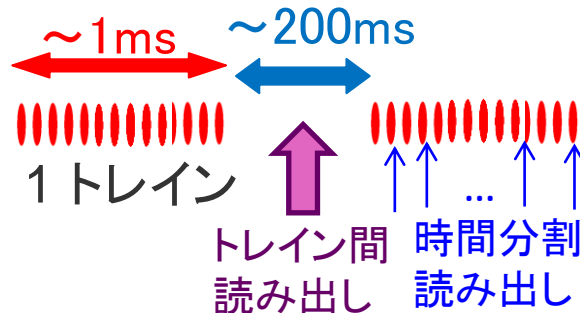
- 1.レイヤを衝突点に近づけたい。
- 2.正確なトラッキングするのにピクセル占有率を抑えたい

## ■ 両方を満たす解

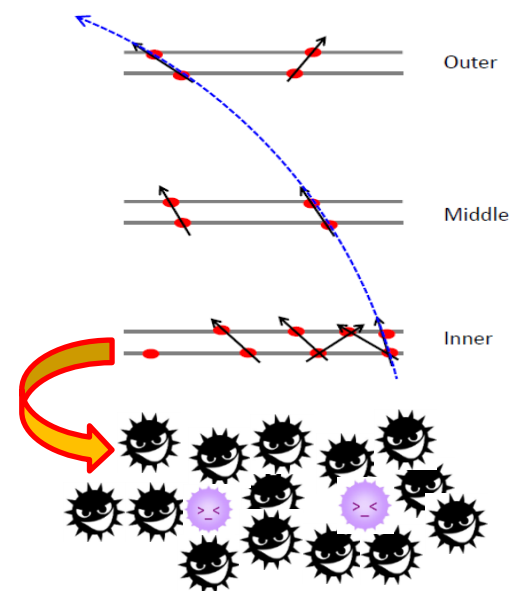
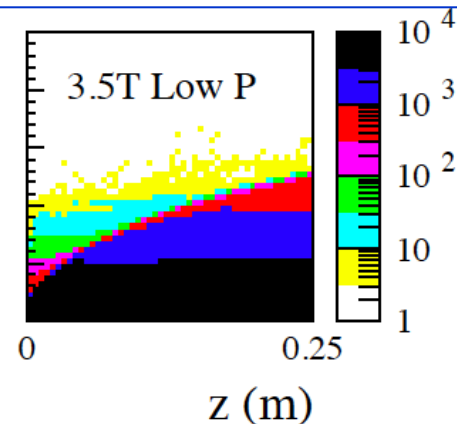
- 1トレインを複数回読み出し(時間分割)
  - ☺ 時間分割の数を増やせば、BG増にも対応可。
- ピクセルをさらに小さくし、トレイン間で読み出す
  - ☺ 位置分解能がさらにアップ

## ➤ 後者にはCCDがいいのではないか？

### ビーム構造



## ILD磁場下における $e^+e^-$ 対分布



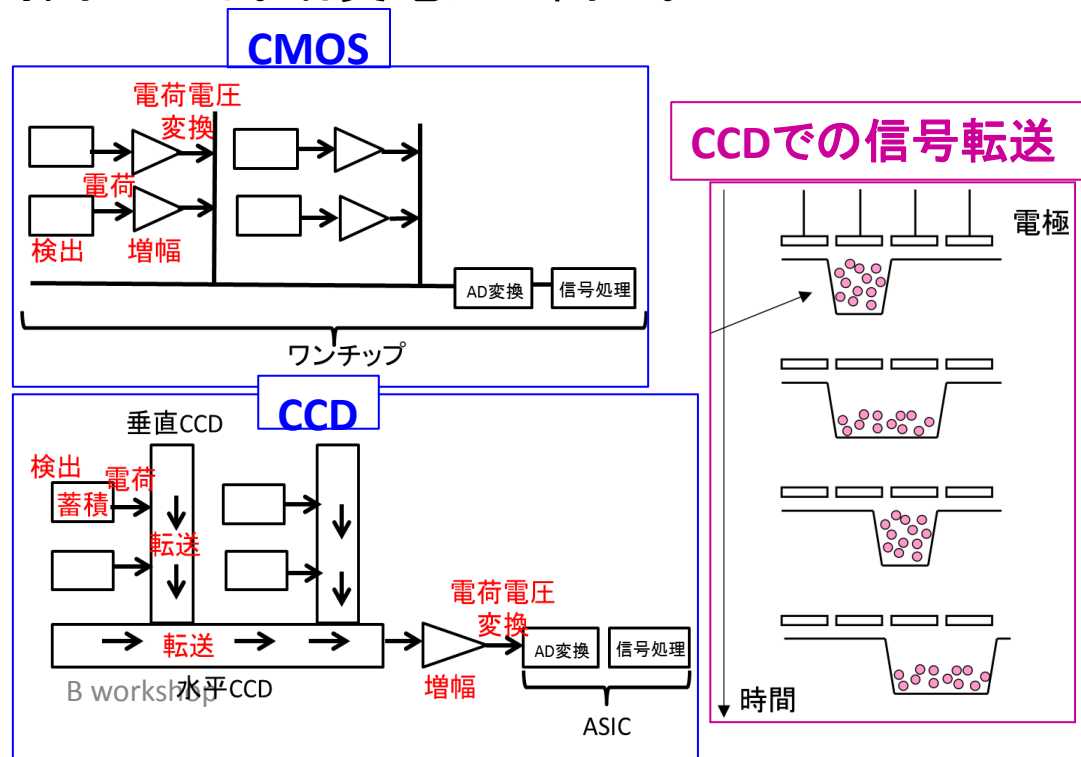
# FPCCD(Fine Pixel CCD)

## ■ CCDとは、

- 信号処理は、転送後の共通回路でなされる。一つの処理システムの単位をchannelという。
- ☺ センサー上に回路ないため、ノイズ小さい。小型化、薄型可能。
- ☹ 転送するため、比較的長時間かかる。消費電力が高め。

## ■ FPCCDとは、

- 5x5x50um<sup>2</sup> のCCD
- 50um Si total
- 15um 有感領域
- ILCの200 ms で読み出し可能。





# FPCCD崩壊点検出器の特徴

## ■ FPCCD(FinePixelCCD)崩壊点検出器

ピクセルサイズ:  $5 \times 5 \mu\text{m}^2$  → 😊 高い位置分解能( $\sigma_{R\Phi} < 1 \mu\text{m}$ )

→ 😞 信号電荷量が小さい。

全空乏化

→ 😊 電荷拡散↓高い2粒子分解能力

ダブルレイヤー3層構造

→ 😊 バックグラウンド耐性↑

トレイン間読み出し

→ 😊 ビーム由来高周波ノイズの影響ない

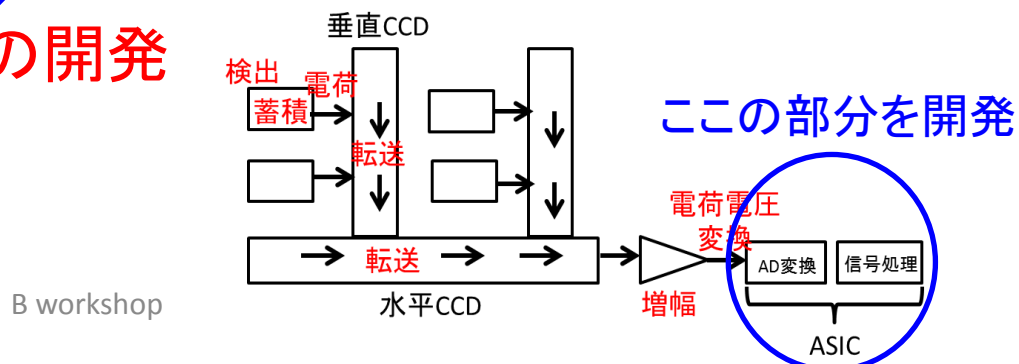
センサー上回路なし

→ 😊 大型ウエハー生産が容易

総ピクセル数:  $1.6 \times 10^{10}$

→ 😞 高速読み出し

## ➤ FPCCD用の読み出し回路の開発



# 読み出し回路への要求性能

## ■消費電力 < 6mW/ch (ASIC)

- クライオスタット(-40°C)内に設置。
- 総消費電力<100W

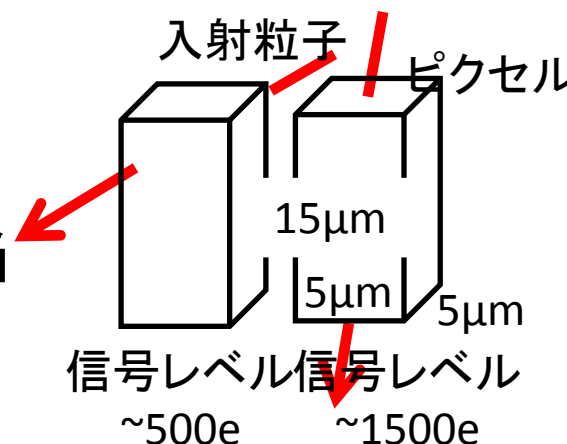
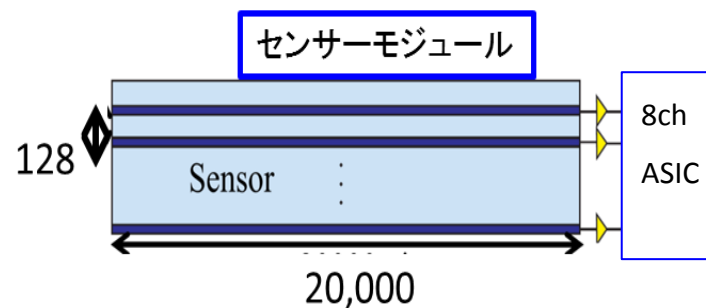
## ■読み出し速度 > 10Mpix/sec

- トレイン間(200ms)で $1.6 \times 10^{10}$  pixelを6000ch並列読み出し

## ■信号測定精度 < 30電子相当

- 小さな信号レベル : ~500電子
- ノイズレベル + AD変換精度 < 30電子相当

➤ 全ての要求を満たす読み出し回路を開発

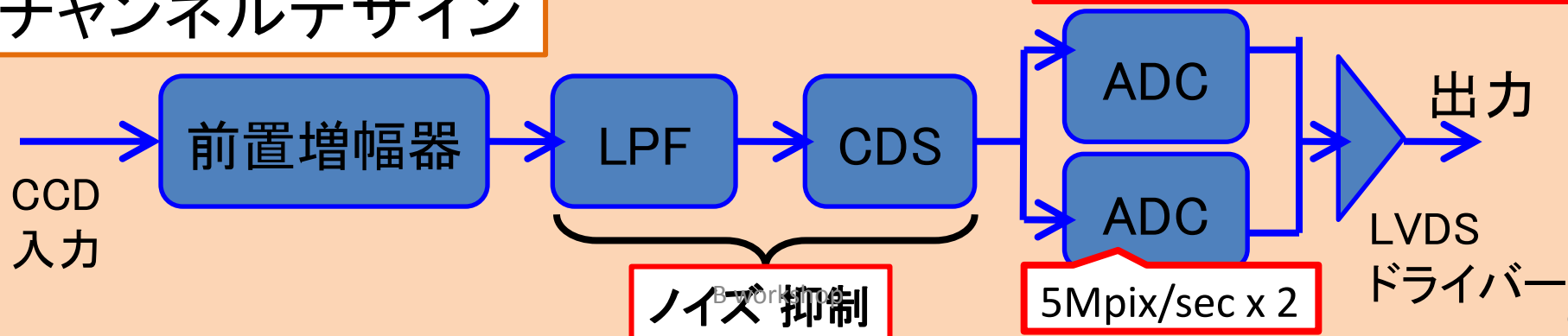


# ASICデザインの基本方針

- 消費電力 < 6mW/ch
  - 読み出し回路での主な消費電力源はADC
  - 電荷再分配型ADCを使用
- 読み出し速度 > 10 Mピクセル/s
  - 5Mピクセル/sのADCを二つ用いる。
- 入力信号の測定精度 < 30電子相当
  - ノイズ: ローパスフィルタ(LPF)、相関二重サンプリング(CDS)をもちいる。
  - AD変換: 多bitADC (5bit以上)

電荷再分配型 ADC  
(低消費電力 & 比較的高速)

## 1チャンネルデザイン





# 電荷再分配型ADC

## ■ 電荷再分配型ADC

- キャパシタで生じた電圧/電荷を利用した逐次比較型ADC(切り崩し型)
- 比較結果によって基準電荷の足し引きを決める。(電荷再分配)

## ■ 低消費電力

- 逐次比較→コンパレータ1個

## ■ 高精度

- バイナリ探索

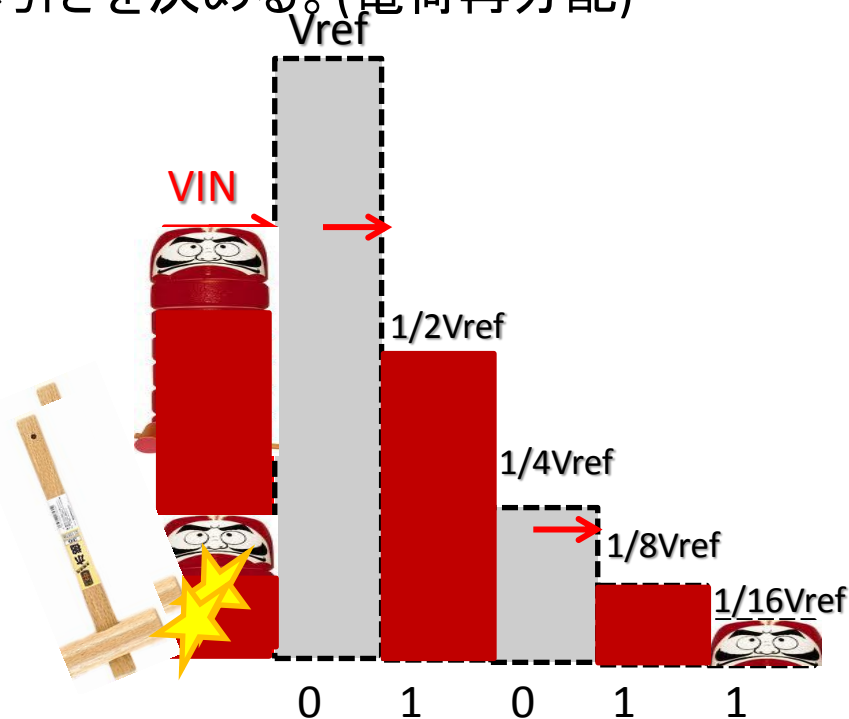
## ■ 読み出し速度(サンプリングレート)

- 要求性能を満す程度まで実現可

## ■ し・か・し！！(他のADC,回路も含めて)

- 予期せぬ寄生容量、スイッチのノイズなど抑制しないとイケない。
- 回路自身を出す様々なノイズの影響なども考えないとイケない。

➤ 特にADC内スイッチnoise対策や足引き電荷の大きさが正確になるよう対策。



# 二次試作ASIC評価結果

■ 消費電力: 30.9 mW/ch (この試作では狙っていない->次試作)

■ 読み出し速度 : 10Mpix/s の動作確認

■ 読み出し精度/ノイズ

- ノイズ:ペDESTAL分布

- 出力→入力の変換精度: 微分非直線性  $\equiv f(x) - data(x)$

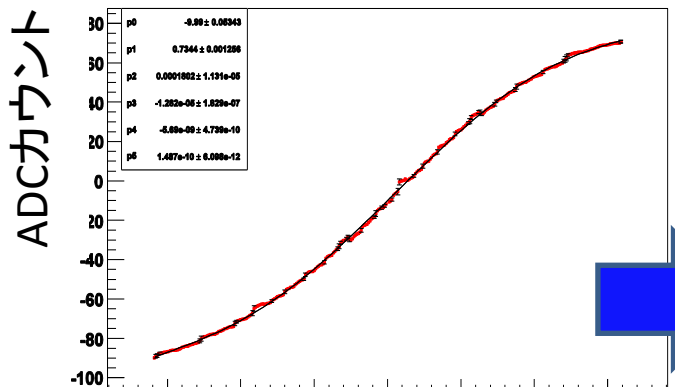
$x$ : 入力電圧

$f(x)$ : フィット線

$data(x)$ : ADC出力

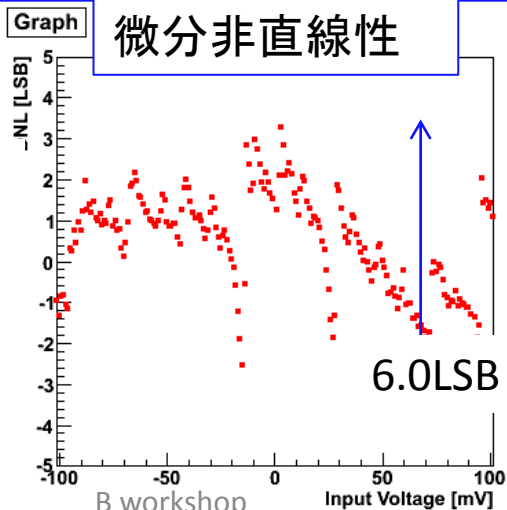
$$\sqrt{\text{入力換算精度}^2 + \text{ノイズ}^2} = 16 \text{電子相当} < 30 \text{電子} \quad \text{要求性能を満たす。}$$

入力電圧vsADCカウント



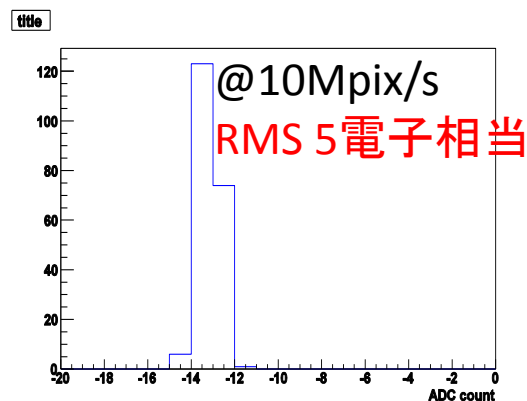
テストパルス入力電圧(mV)

微分非直線性



テストパルス入力電圧(mV)

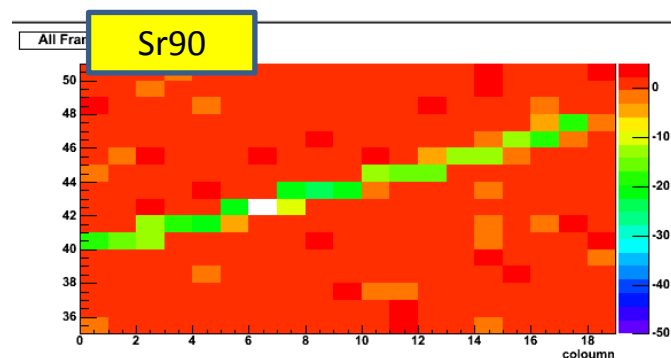
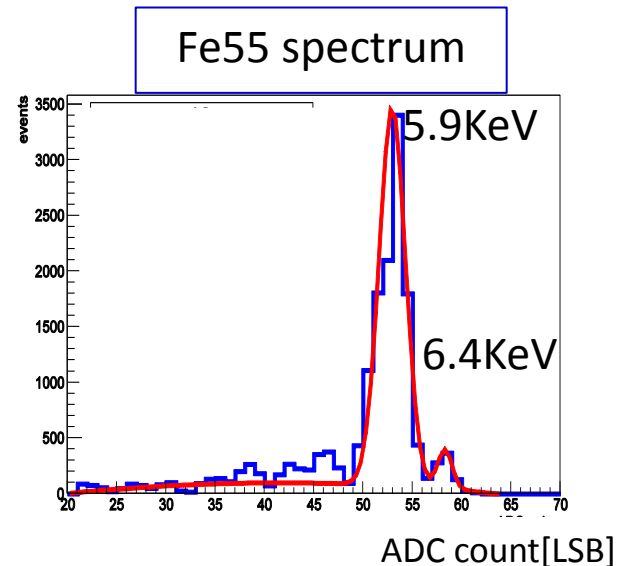
-40°CでのペDESTAL分布



ADCカウント

# 二次試作ASIC+CCD

- CCD(浜松ホトニクス製造)
  - 12x12 $\mu\text{m}^2$  two phase CCD
  - thickness: epi layer 15 $\mu\text{m}$ , Si total 50 $\mu\text{m}$
  - ※最新ニュース: 6 $\mu\text{m}^2$  CCD納入。動いている!
- Fe55 ( $\gamma$ 線)
  - 照射時間10s, -40°C
  - S/N : 37 (Single pixel hit ext)
  - energy resolution: 120 eV
- Sr90 (ベータ線)
  - 隣り合うピクセルへの染み出し少ない。
- Pedestal analysis
  - Noise  $\sim 50$  e- (CCD 読み出しが主なノイズ源)
- 低雑音、高感度、全空乏化の影響みられる。
- 二次試作ASICは、消費電力以外の全ての要求を満たす。



# 三次試作ASICデザイン

## ■ 三次試作ASIC

- 低消費電力試作回路:  $5.6\text{mW/ch} < 6\text{mW/ch}$
- TSMC CMOS プロセス  $0.25\mu\text{m}$

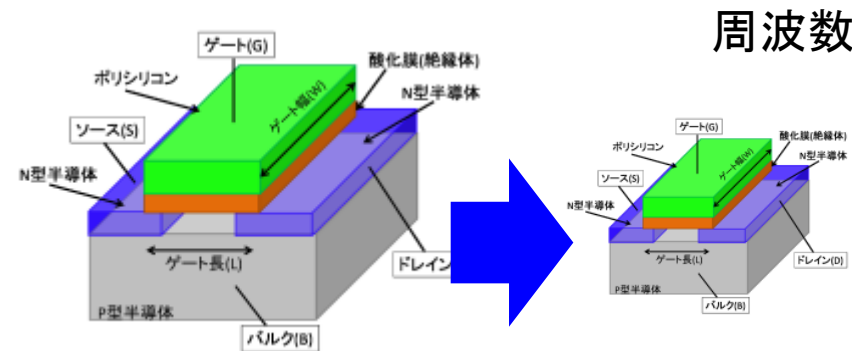
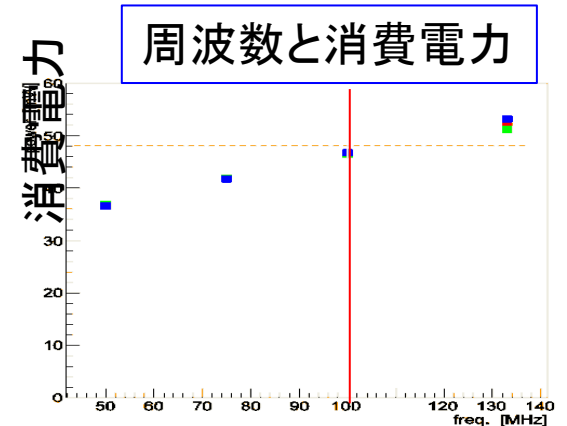
## ■ 消費電力対策

- 回路の簡素化
- レシーバ等、省エネ回路に代替
- プロセスの微細化( $0.35 \rightarrow 0.25\mu\text{m}$ )

## ■ プロセスの変更に伴って

- コンパレータ動作速度上昇
- スピードコントロール機能を搭載。安定動作を補助

➤  $100\text{MHz CK}(10\text{Mpix/s})$ 動作確認できた



# 三次試作の微分非直線性(DNL)向上

## <二次試作ASIC>

### ■ DNL @ 低周波数

- AD変換するとき足し引きする電荷がまだビット重みがずれている。

### ■ DNL @ 高周波数 (100MHz CK、10Mpix/s)

- 大きなビット切り替えの際、判断に時間かかる。高周波数ついていけない。

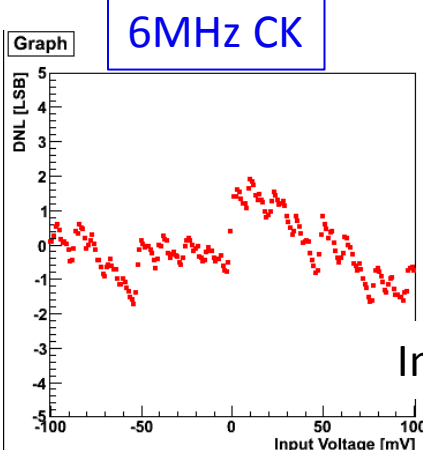
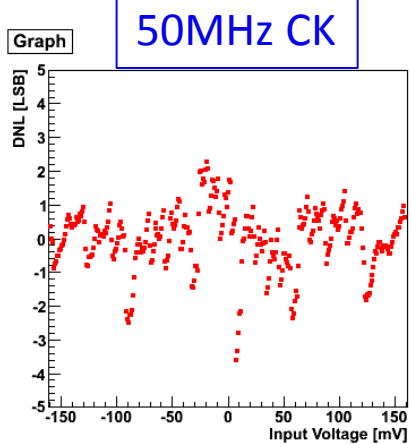
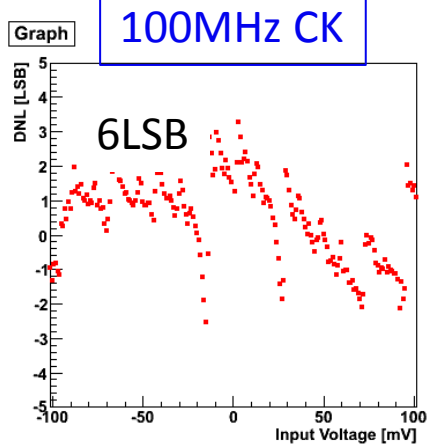
### ➤ プロセス微細化+ スピードコントロール

## <三次試作ASIC>

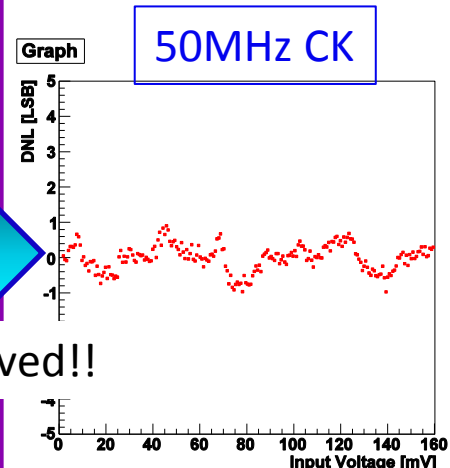
### ➤ DNL精度向上が見られた。

## 二次試作ASIC

## 三次試作ASIC



Improved!!



# 三次試作でのその他の向上

## ■ INL(積分非直線性)

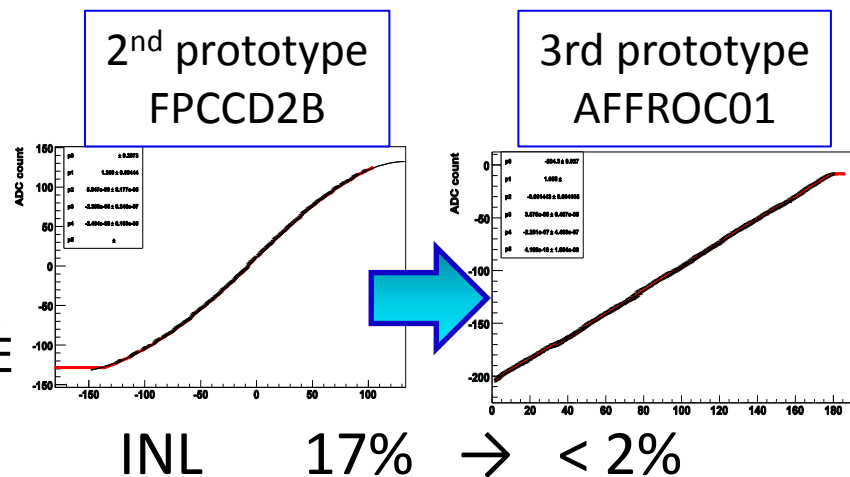
- 曲線カーブが改善

## ■ 放射線対策

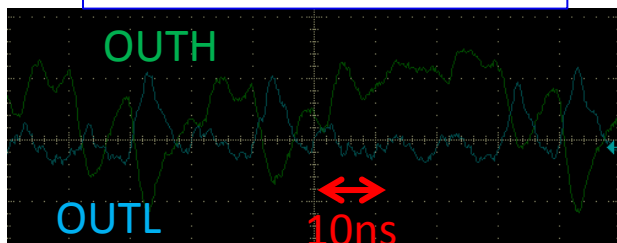
- DICEFFをレジスタに用いて、SEE耐性

## ■ 信号伝送方式

- 10Mpix/s = 100MHz ADC コンパレータ CK
- Return zero → non return zero
- パルス幅が長い(10ns), 高速でのサンプリングが容易

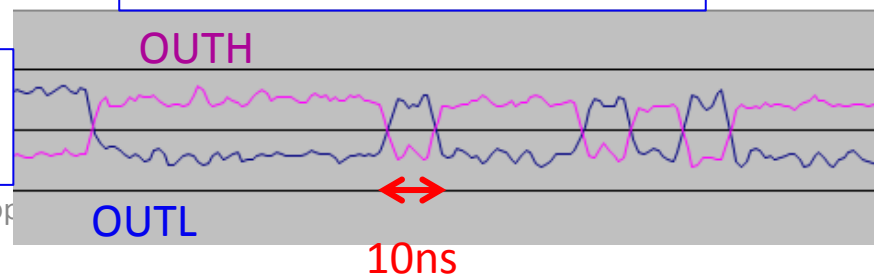


FPCCD2B : return zero



Measured LVDS  
output signal

AFFROC01: non return zero

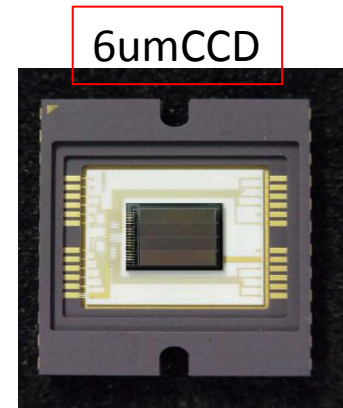




# FPCCDの今後とまとめ

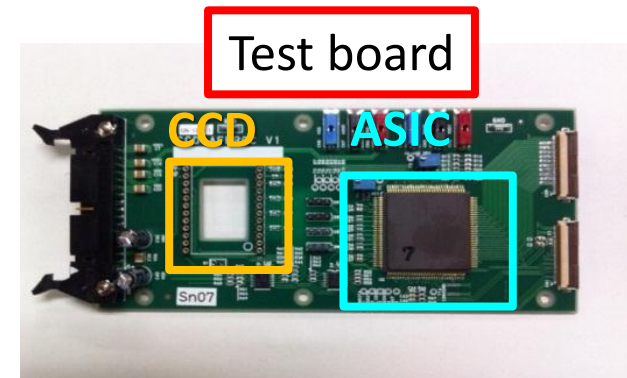
## ■ CCD

- 大型ウエハーCCD
- 6um CCDの評価
- 放射線耐性の評価(ビームテスト)



## ■ ASIC

- 3次試作回路100MHz CKの評価
- 



## ■ CCD+ASIC

- ビームテストでFPCCDの分解能を求める！！
- 他

**BACKUP**