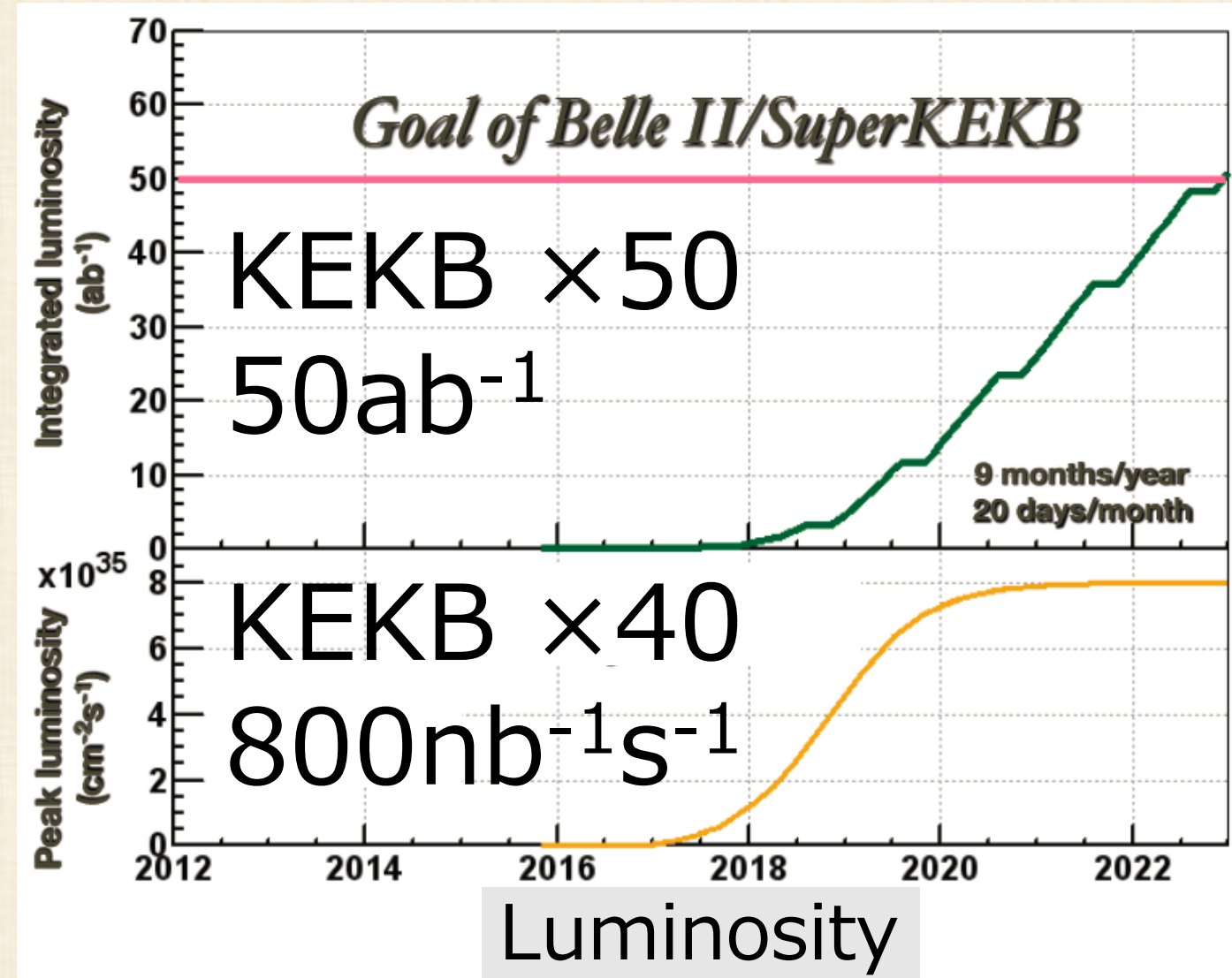
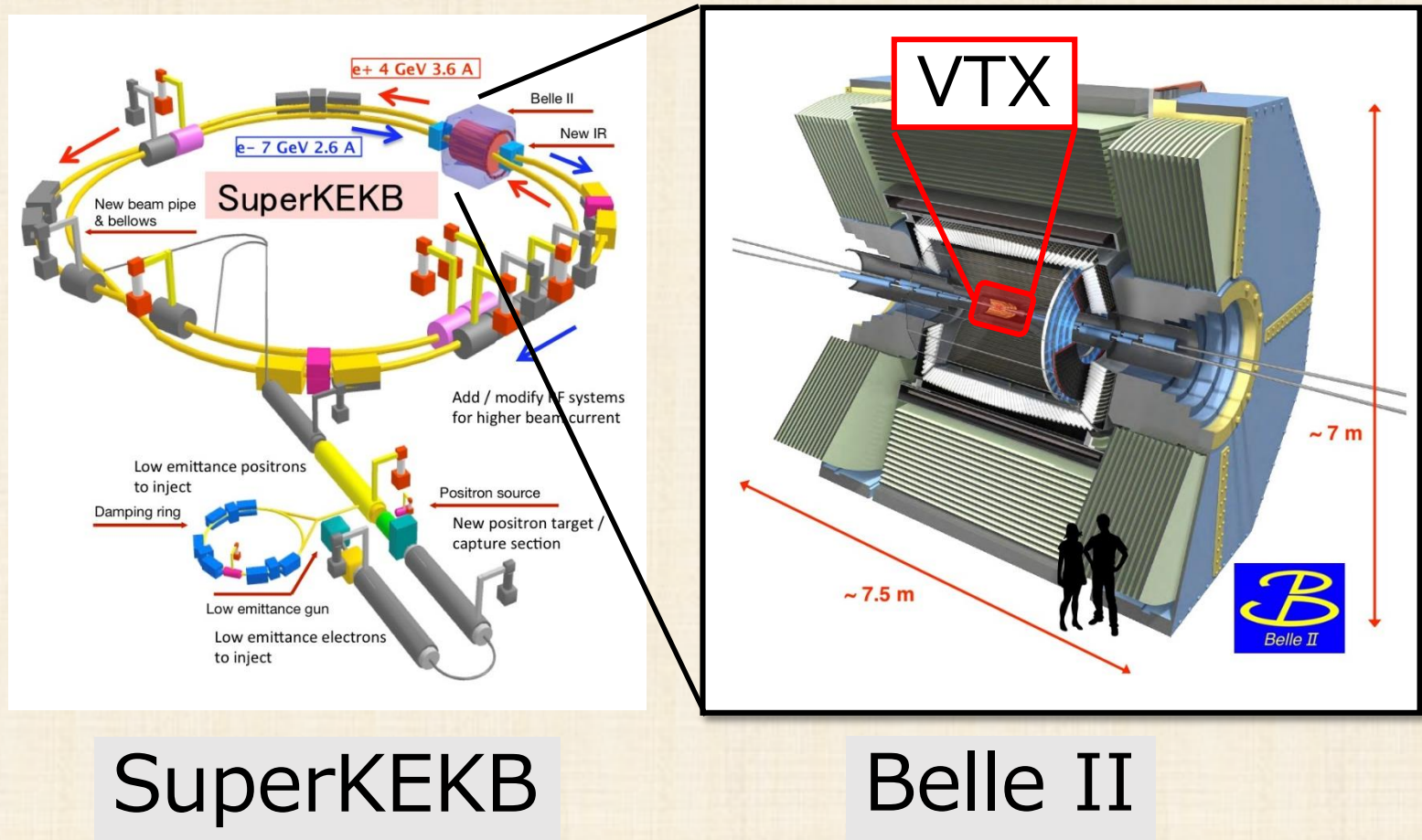


## 1. Super B Factory - SuperKEKB & Belle II

KEKB & Belle (-June 2010) のアップグレード 2016年~  
 $e^- 7\text{GeV}, e^+ 4\text{GeV} \rightarrow \Upsilon(4S)$  の共鳴  $E_{\text{CM}} = 10.58\text{ GeV}$

$B\bar{B}$  を大量に生成する ( $\sigma_{b\bar{b}} \sim 1\text{nb}$ )  
 5年をかけて目標ルミノシティを目指す。 **ルミノシティフロンティア**

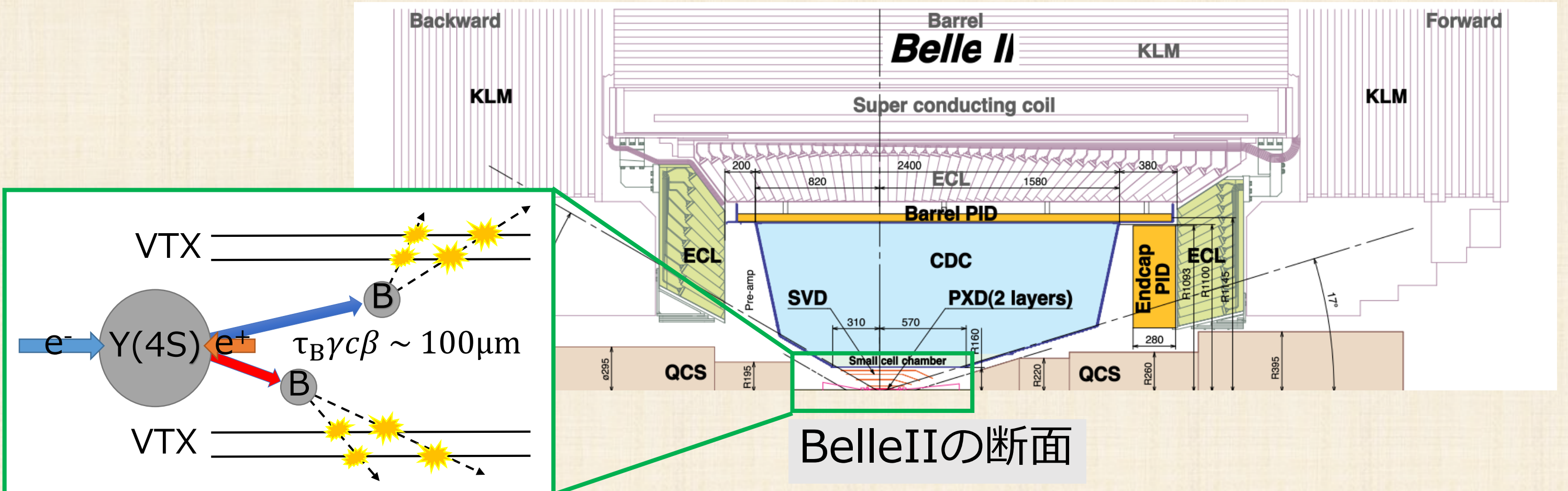


### Belle IIで探すSMを超えた物理

- ・ Bの崩壊
- ・  $\tau$  のLFV ( $\sigma_{\tau\tau} \sim 1\text{nb}$ )
- ・ エキゾチックハドロン ( $\sigma_{qq} \sim 3\text{nb}$ )
- ・ 右巻き相互作用 ( $b \rightarrow s\gamma$ )
- ・ 荷電ヒッグス ( $B^+ \rightarrow \tau^+ \nu_\tau$ )

## 2. 崩壊点検出器 VTX

CPVの大きさのSMとのずれ  $\rightarrow B\bar{B}$  の寿命の違い  $\rightarrow$  VTX  
 非対称なエネルギーでの衝突  $\rightarrow B\bar{B}$  の崩壊点位置の違い



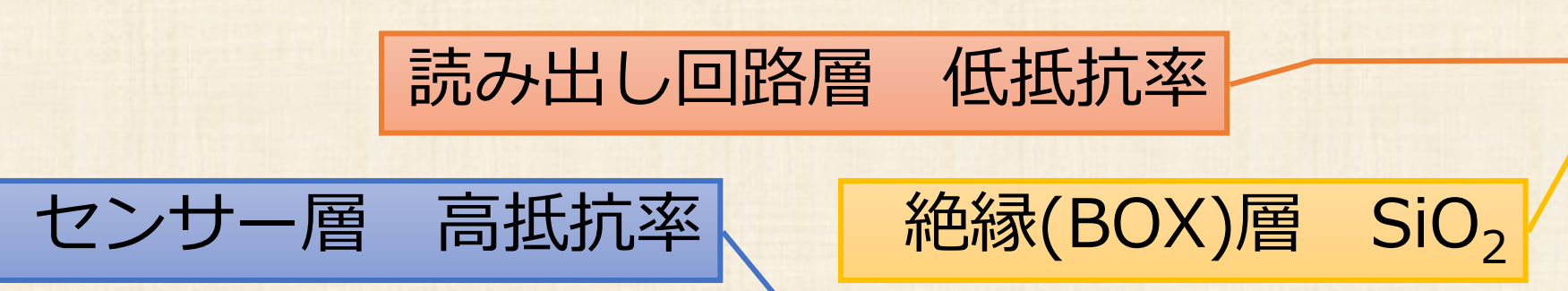
VTX 6層 = PXD x 2層 + SVD x 4層  
 荷電粒子の軌跡を再構成することで崩壊点を特定する。  
 興味のあるイベントとBGを識別する。

### 要求性能

- ・ 位置分解能  $\sigma_z \sim 20\mu\text{m}$
- ・ 低占有率  $< 1 \sim 3\%$
- ・ 低物質質量

目標ルミノシティ (~5年) においてSVDの最内層L3は占有率  
 $\sim 6.7\%$  と高い。 **PIXOR導入** を目指して研究開発を進めている。

## 3. SOI (Silicon On Insulator)



### モノリシック型検出器

- ⊕ 物質質量低下
- ⊕ センサー周りの寄生容量の低下
- ⊕ コスト低下

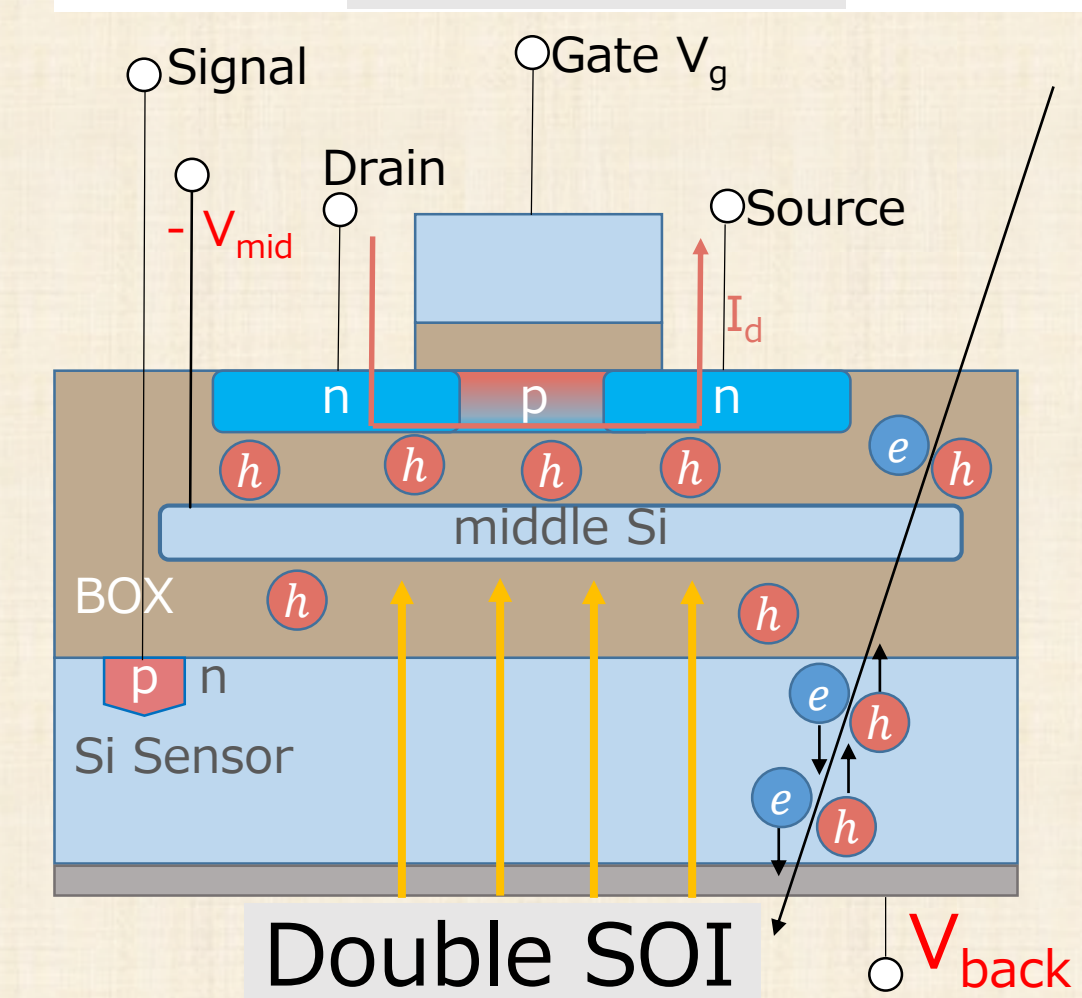
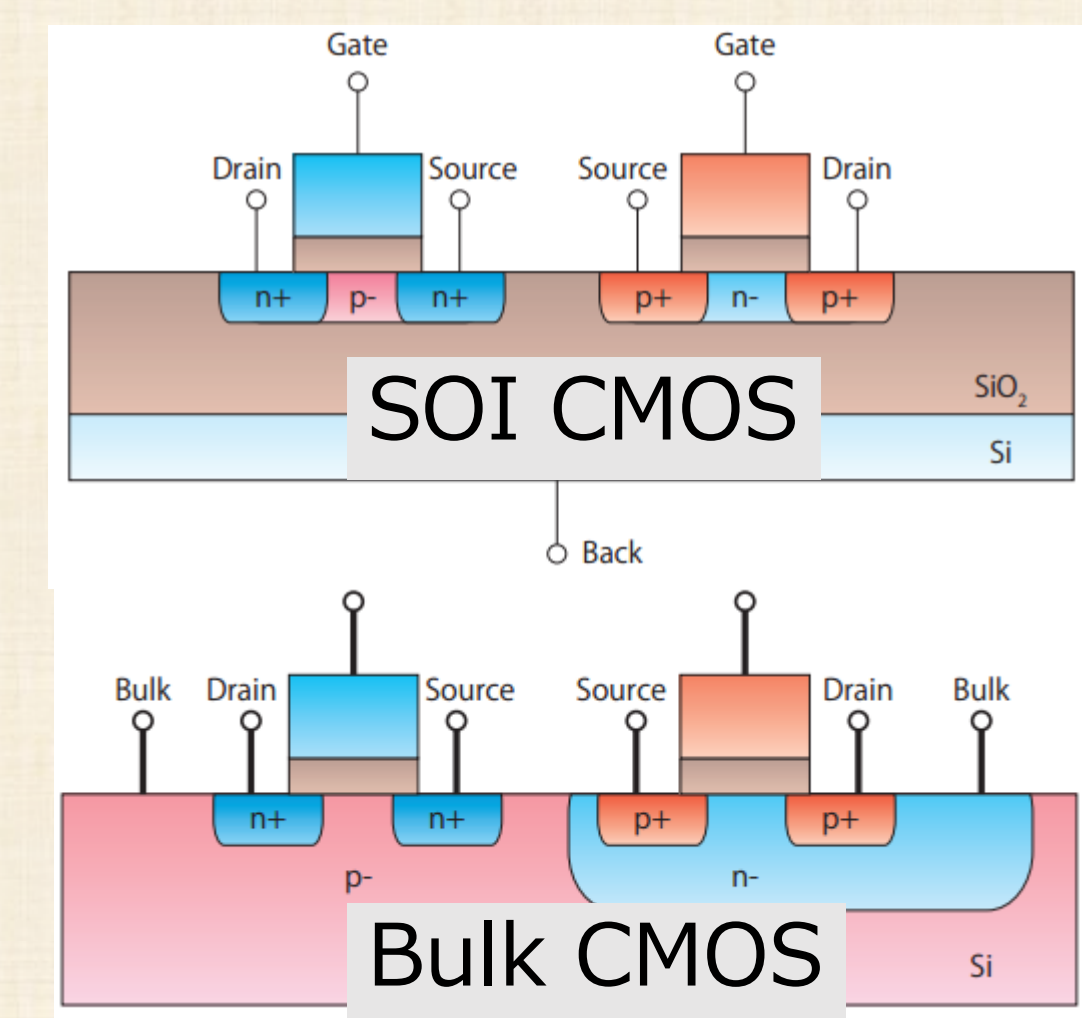
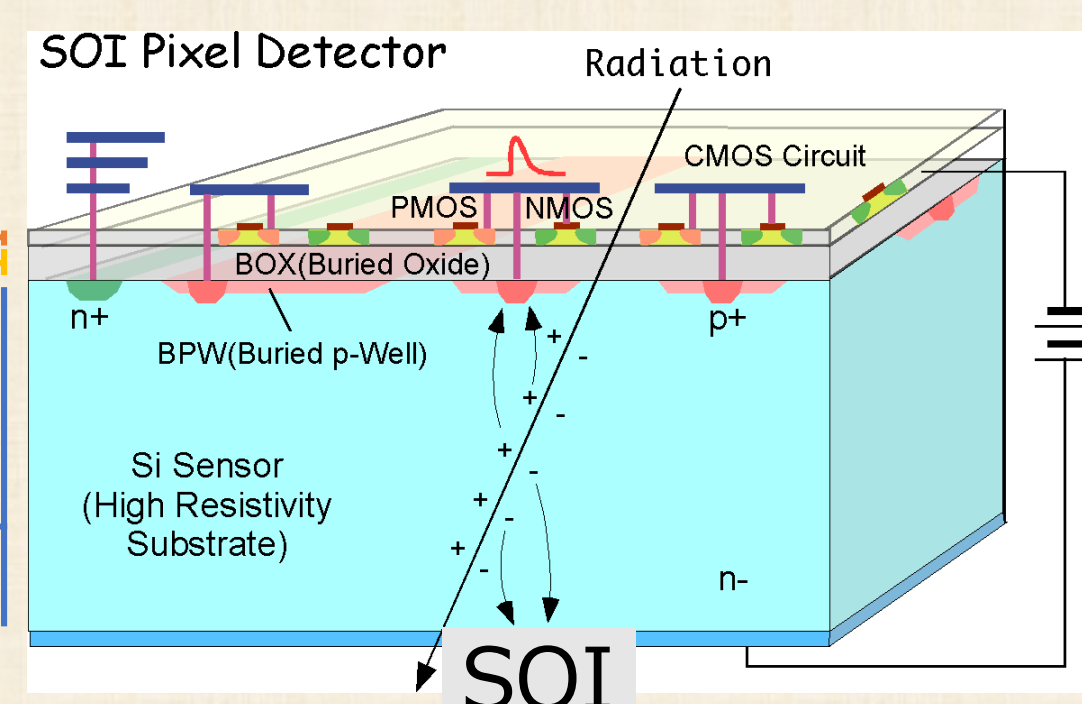
### SOI CMOS構造

- ⊕ 高速処理
- ⊕ 高集積化
- ⊕ 広い動作温度範囲
- ⊕ 低消費電力
- ⊕ ラッチアップ耐性
- ⊕ SEE耐性

### ⊖ デメリット: バックチャンネル

放射線ダメージであるSiO<sub>2</sub>層にトラップされた電離電荷のホール電荷回収のため印加するV<sub>back</sub> がトランジスタのI<sub>d</sub>-V<sub>g</sub>特性を変化させる。予期せぬ動作。

解決策: **2層SOI構造Double SOI**の導入  
 BOX層内のmiddle silicon層を負に印加して放射線ダメージを補償する



## 4. PIXOR (PIXel OR) Detector

VTXとしてはピクセル型、ストリップ型の二つが一般的

- ピクセル型 ⊕ メリット: 低い占有率, 高S/N, ゴーストなし
- (ストリップ型) ⊖ デメリット: 不感時間, 低位置分解能

PIXOR構造 = ピクセル型 + ストリップ型

SP内の縦横それぞれピクセル端子からの信号の和ORをとり、回路層の処理回路で整形する。  
 小さなストリップ型がピクセル状に配置。 4 pixels OR: 16 → 8 CH

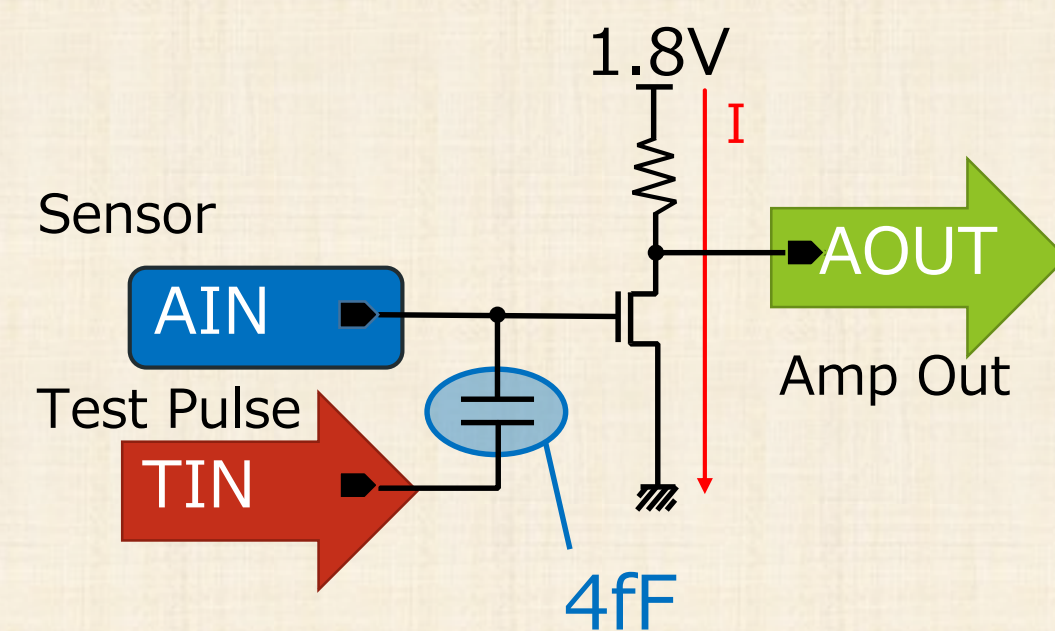
SOI構造のため、高速動作に強く不感時間は短い。

少ない読み出しCH数でピクセルサイズが制限されず、高位置分解能。違うSPでのヒットではゴーストにはならない。

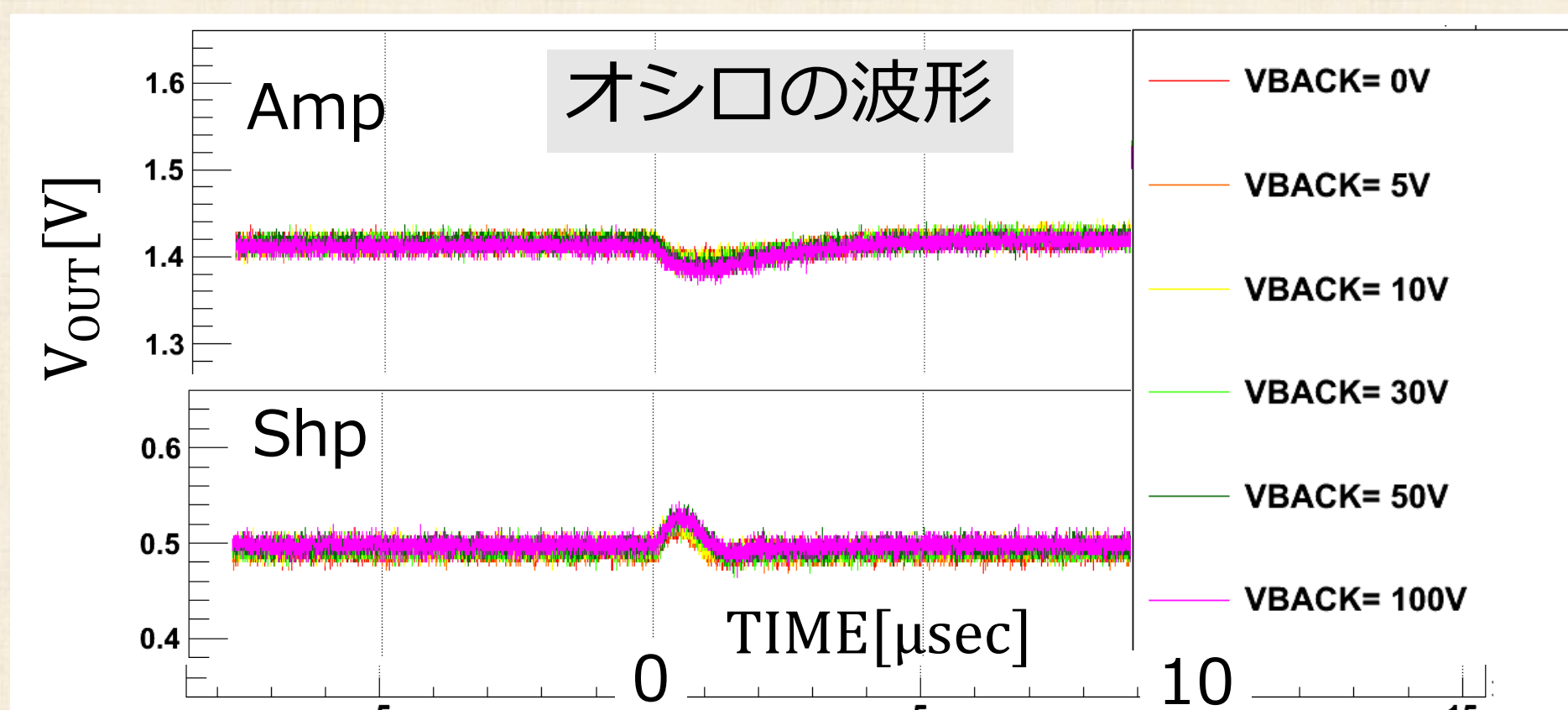
試作PIXOR	PIXOR1	PIXOR2	PIXOR3/3TEG
ピクセルピッチ[μm]	25(φ) × 40(z)	35(φ) × 70(z)	35(φ) × 70(z)
OR数	4 OR	16 OR	16 OR
変更点		デジタル強化	P型センサー層
チップレイアウト			

## 5. PIXOR2 Double SOI 評価試験

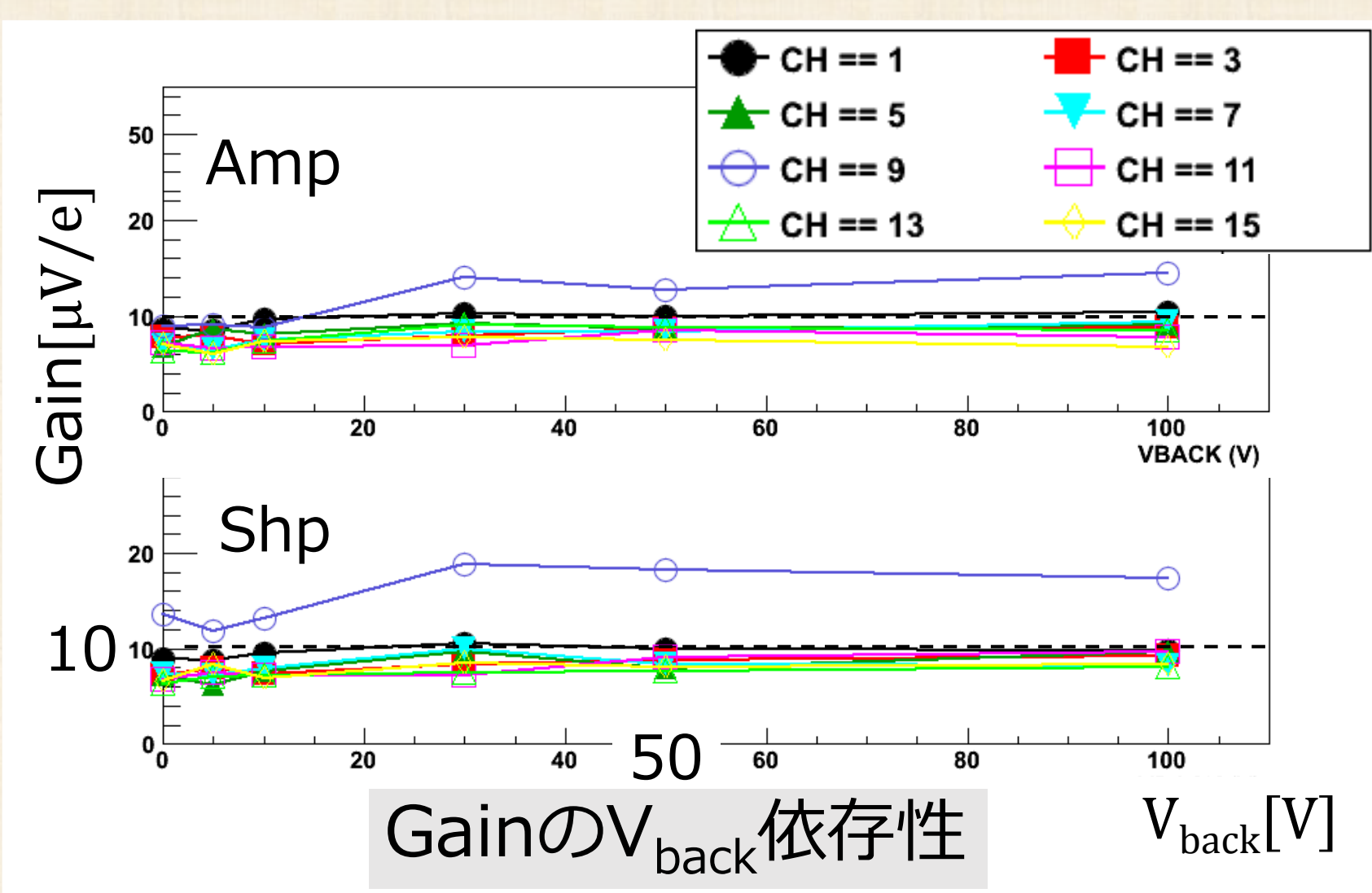
測定条件: V<sub>mid</sub> = 0.1V  
 テストパルスV<sub>IN</sub> = 200mV(5000e), 25kHz  
 Preamp, ShaperのGain = V<sub>OUT</sub>/Q<sub>IN</sub> [V/e]をV<sub>back</sub>を変えて測定。 V<sub>back</sub> = 0~100V  
 (Q<sub>IN</sub> [e]: 振幅V<sub>in</sub>を電荷に変換 eQ<sub>IN</sub> [C] = 4[fF] × V<sub>IN</sub> [V])



AmpもShpもV<sub>back</sub>に依らず応答。CHやXY方向でのばらつきもなし。



CHによるばらつきはあるが、V<sub>back</sub>依存性はない。  
 Gainは~10μV/eと小さい。



## 6. 考察

⊕ Double SOI構造によりV<sub>back</sub>による効果を補償し、依存性をなくすことができた。

⊖ しかしゲインは~10μV/eと小さい。PIXOR1では~100μV/e。

原因: ピクセルピッチとOR数の増加  
 これによってセンサー周りの寄生容量が増加してしまった?  
 解決策: レイアウトの変更, ORを取る時にさらに増幅も

## 7. 今後

未評価のPIXOR3/3TEGがある。レイアウトと、基板がn型→p型への変更があった。寄生容量の低下から、十分なゲインが得られると期待する。PIXOR3は16×16ピクセルのSPを4×7持ち、総画素数は7168。PIXOR3TEGは各回路要素を試験するために、1つのSPと多くのテスト用端子を持つ。

### 今後の方針

- PIXOR3/3TEGを評価試験するための読み出しボードを設計発注。1ヶ月ほどで出来上がる。その後は、
1. 3TEGでアナログの素子 (Preamp, Shaper, Discr) の評価
2. 3でデジタルを含めた全体の動作確認
3. うまく動作することがわかったら、Trackingを目標として、3を複数枚用いてビームテスト

勉強: 検出器, アナログ回路, Verilog, 解析, 理論