

修士論文

ILC 衝突点モニター用ピクセル検出器読み出し回路の  
性能評価

東北大学大学院理学研究科  
物理学専攻

橋本 健太郎

平成18年



## 概要

ILC(International Linear Collider) は、第1期 500GeV、アップグレード期 1TeV の重心エネルギーを目指す電子・陽電子衝突型線形加速器である。現在、世界の研究者が協力して新たなエネルギーフロンティアに向け研究を続けている。

ILC ではルミノシティーを上げるために、衝突点で nm サイズまでビームを絞るが、電子・陽電子ビームの形状は様々な要因で変動する。そのため高いルミノシティーを維持するために、ビームサイズを常にモニターしフィードバックする必要がある。しかし、衝突点において nm サイズのビームをモニターすることは極めて困難である。その唯一の方法として考えられているのが Pair Monitor である。Pair Monitor は、Beamstrahlung で生じる電子・陽電子対を利用する。この電子・陽電子対はビームの作る強い電場によって散乱されるため、ビームサイズの情報を持つことが分かっている。

本研究は横山康博君との共同研究であり、その研究目的は ILC の Beam parameter が Warm から Cold に変更されたことに伴う、Cold に最適化された Pair Monitor 用読み出し回路の開発である。

# 目次

<b>第 1 章</b>	<b>International Linear Collider</b>	<b>8</b>
1.1	物理背景 . . . . .	8
1.2	ILC の背景 . . . . .	10
1.3	ILC 計画 . . . . .	11
1.4	加速器構成 . . . . .	12
1.5	GLD Detector . . . . .	15
<b>第 2 章</b>	<b>Pair Monitor</b>	<b>20</b>
2.1	Beam Profile Monitor . . . . .	20
2.2	Beamstrahlung . . . . .	22
2.3	Pair Monitor 原理 . . . . .	24
2.4	Pair Monitor 構成 . . . . .	28
2.5	3-D シリコンピクセルセンサー . . . . .	29
<b>第 3 章</b>	<b>YH01</b>	<b>31</b>
3.1	YH01 試作プロセス . . . . .	32
3.2	要求性能 . . . . .	33
3.3	YH01 の構成 . . . . .	34
3.4	アナログ回路 . . . . .	35
3.5	アナログ回路の設計 . . . . .	36
3.5.1	シミュレーションツール . . . . .	36
3.5.2	T-Spice シミュレーション . . . . .	36
3.6	デジタル回路 . . . . .	39
3.7	デジタル回路の設計 . . . . .	40
3.7.1	シミュレーションツール . . . . .	40
3.7.2	Verilog-XL シミュレーション . . . . .	40
<b>第 4 章</b>	<b>評価試験</b>	<b>42</b>
4.1	評価準備 . . . . .	42
4.2	外観観察 . . . . .	43
4.3	オープンショートテスト . . . . .	44
4.4	バイアス電流値テスト . . . . .	46
4.5	ピクセル選択シフトレジスタの動作確認 . . . . .	47

<b>第 5 章</b>	<b>故障解析</b>	<b>51</b>
5.1	I-V 特性 . . . . .	51
5.2	透過 X 線観察 . . . . .	52
5.3	樹脂開封 . . . . .	53
5.4	内部観察 . . . . .	54
5.5	AIN 測定 . . . . .	55
5.6	液晶発熱解析 . . . . .	56
5.7	バック・アノテーション . . . . .	57
5.8	故障シミュレーション . . . . .	59
5.9	EB・FIB テストシステム . . . . .	61
5.9.1	EB テスタ原理 . . . . .	61
5.9.2	EB プローバ . . . . .	62
5.9.3	チャージアップ . . . . .	63
5.9.4	FIB 加工装置 . . . . .	63
5.10	FIB 加工を用いた EB テスタ解析 . . . . .	64
<b>第 6 章</b>	<b>フィードバック</b>	<b>69</b>
6.1	入力保護回路修正 . . . . .	69
6.2	PrC2 回路修正 . . . . .	70
<b>第 7 章</b>	<b>まとめ</b>	<b>73</b>
7.1	研究結果 . . . . .	73
7.2	今後の計画 . . . . .	73
<b>付 録 A</b>	<b>平成 13 年度試作 LSI</b>	<b>74</b>

# 目 次

1.1	ヒッグス粒子の質量範囲の制限	9
1.2	結合定数の強さ	9
1.3	LHC イベントディスプレイ	10
1.4	ILC イベントディスプレイ	10
1.5	ILC 概観図	12
1.6	BC 原理	13
1.7	Hourglass 効果	13
1.8	ICHIRO 空洞	13
1.9	加速空洞原理	13
1.10	LL 型	13
1.11	Undulator 方式	14
1.12	交差角	14
1.13	crab-crossing	14
1.14	GLD	15
1.15	Quadrants	16
1.16	Sub-Detector	16
1.17	FPCCD	17
1.18	SIT	17
1.19	GEM	18
1.20	Calorimeter	19
2.1	レーザー干渉モニター	21
2.2	レーザー干渉モニター原理	21
2.3	Breit-Wheeler process	22
2.4	Bethe-Heitler process	22
2.5	Landau-Lifshitz process	23
2.6	電子・陽電子対の散乱	24
2.7	$\rho$ , $r$ と $\phi$ の関係	25
2.8	Pair Monitor での衝突点分布	26
2.9	エネルギーと半径の関係	26
2.10	散乱角分布	27
2.11	方位角分布	27
2.12	$R_{pv}$ と R の関係	28
2.13	IR	28
2.14	Pair Monitor	29

2.15	Pair Monitor のセグメント . . . . .	29
2.16	3-D ピクセルセンサー 模式図 . . . . .	30
2.17	3-D ピクセルセンサー . . . . .	30
2.18	Pair Monitor でのエネルギーデポジットの分布 . . . . .	30
3.1	CELLA . . . . .	31
3.2	YH01 のアレイ構造 . . . . .	34
3.3	シグナルプロセス . . . . .	35
3.4	時間分解能 . . . . .	37
3.5	SKEW 条件 . . . . .	38
3.6	温度条件 . . . . .	38
3.7	計数值読み出し回路 . . . . .	39
4.1	解析手順 . . . . .	42
4.2	試験基板 . . . . .	42
4.3	パソコン . . . . .	43
4.4	YH01 . . . . .	44
4.5	PIN 観察 . . . . .	44
4.6	PIN 配置 . . . . .	44
4.7	I-V 特性測定環境 . . . . .	45
4.8	I-V 特性 (VSS と VSS1) . . . . .	45
4.9	I-V 特性 (VSS と VSS1) . . . . .	45
4.10	バイアス調整回路 . . . . .	46
4.11	XSEL シフトレジスタ . . . . .	47
4.12	XSEL シフトレジスタ動作 . . . . .	47
4.13	不具合測定例 1 . . . . .	48
4.14	不具合測定例 2 . . . . .	48
4.15	不具合測定例 3 . . . . .	49
4.16	不具合測定例 4 . . . . .	49
5.1	バイアス端子の I-V 特性 . . . . .	51
5.2	X 線観察例 1 . . . . .	52
5.3	X 線観察例 2 . . . . .	52
5.4	透過 X 線観察の不具合発見例 . . . . .	52
5.5	樹脂開封 . . . . .	53
5.6	内部観察 . . . . .	54
5.7	AIN 測定例 1 . . . . .	55
5.8	AIN 測定例 2 . . . . .	55
5.9	AIN 実測 . . . . .	55
5.10	AIN シミュレーション . . . . .	55
5.11	熱光学効果 . . . . .	56
5.12	発熱解析 . . . . .	57
5.13	元ネットリスト . . . . .	58

5.14	抽出ネットリスト	58
5.15	入力保護回路	59
5.16	YH01 の誤動作	60
5.17	誤動作再現シミュレーション	60
5.18	EB テスタの仕組み	61
5.19	EB テスタ用基板	62
5.20	EB テスタ、FIB、LSI テスタ	62
5.21	ドッキング状態	62
5.22	電位コントラスト	62
5.23	チャージアップ	63
5.24	シフト現象	63
5.25	P_PLUS_SELECT	64
5.26	POLY	64
5.27	CONTACT	64
5.28	METAL1	64
5.29	PRO	65
5.30	GDS_59	65
5.31	DEEP_NWELL	65
5.32	RLPPDMY	65
5.33	入力 Poly 抵抗周辺のレイアウト	65
5.34	EB 測定結果 1	66
5.35	エッチング	67
5.36	絶縁膜堆積	67
5.37	金属堆積	67
5.38	EB 測定結果 2	67
5.39	FIB 加工後 XSEL シフトレジスタ	68
5.40	FIB 加工後 YSEL シフトレジスタ	68
6.1	修正後の PDTHR 回路	69
6.2	修正後の Pad_BidirHE_0.25u 回路	69
6.3	発振現象	70
6.4	AC 解析用セットアップ	70
6.5	AC 解析	71
6.6	回路修正後の PrC2 回路	71
6.7	PrC2 回路修正後	72
A.1	平成 13 年度試作 LSI	74
A.2	4 点サンプリング	75
A.3	階段状のパルス出力	75

# 表 目 次

1.1	ILC Baseline Parameter . . . . .	11
3.1	Beam parameter . . . . .	31
3.2	YH01 のアウトライン . . . . .	32
3.3	YH01 への要求性能 . . . . .	33
3.4	計数読み出し回路シミュレーション結果 . . . . .	41
4.1	電源端子の名前と役割 . . . . .	44
4.2	バイアス端子の名前と役割 . . . . .	46
5.1	パッケージ仕様 . . . . .	53
5.2	発熱解析の手法 . . . . .	56
5.3	FIB 装置の仕様 . . . . .	64
A.1	平成 13 年度試作 LSI 回路構成 . . . . .	74

# 第1章 International Linear Collider

物質を構成する素粒子はそれぞれ固有の質量値、すなわち静止していてもある決まったエネルギー量をもっている。それゆえ、質量のあるマクロな物質という物ができ、重力を及ぼしあいつつ現在の自然界が存在している。しかし、これほど基本的な物理量である質量の発生原理、過程は分かっていない。その解明に向けた手がかりは、真空でのヒッグス場の凝縮という理論上の可能性だけである。

ヒッグス場の存在を検証する方法は、十分な高エネルギー素粒子反応で、場の粒子であるヒッグス粒子を生成、検出しその性質を調べることである。現象論的な解析では、ヒッグス質量は 200GeV 以下、しかも標準的な超対称性のもとでは 150GeV 以下という強い制限がつく。したがって、ヒッグス粒子がその程度の質量の素粒子として見つかり、超対称性の存在は必然的になり、超対称性粒子が見つかる可能性が非常に高くなる。超対称性粒子の発見は新しい原理の直接的な証拠となり、その研究によって宇宙初期の超高エネルギー状態での物理を知ることになる。ヒッグス粒子の研究によって、質量の起源だけでなく、素粒子の世界の非常に深いところまでの手がかりが得られるのである。

そのヒッグス粒子と超対称性粒子の研究こそが ILC 計画の最大の目的であり、これまでの自然界の理解を検証するとともに、これからの物理の方向性を決める重要な実験であると言える。

## 1.1 物理背景

ゲージ粒子とフェルミオンの相互作用、さらにゲージ場同士の相互作用 (ゲージ結合) は、特に LEP での実験で精査され、 $SU(3)_C \times SU(2)_L \times U(1)_Y$  のゲージ相互作用が確立した。しかし、このゲージ原理からももとは質量のないはずの  $W$  ボソンと  $Z$  ボソン、そしてクォークやレプトンといったフェルミオンに質量を与える肝心な部分は未踏の地である。ゲージ原理により、本来は質量のないはずの素粒子に質量をもたせるのは  $SU(2)_L \times U(1)_Y$  対称性を破る「真空の自発的対称性の破れ」が必要であり、これはヒッグス場の存在を持ち出すことで説明がつく。

このヒッグス場を検証するための 1 つの重要な手がかりは、ヒッグス粒子の質量範囲への制限である。LEP、SLC、Tevatron などで行われてきたこれまでの電弱相互作用に関する精密実験と直接探索の結果により、標準理論で预言されるヒッグス粒子が存在すればその質量は 114GeV 以上、250GeV 以下<sup>1</sup>であることがわかっている (図 1.1 参照)。

<sup>1</sup>最新の解析では 95 %の信頼度で 215GeV 以下。

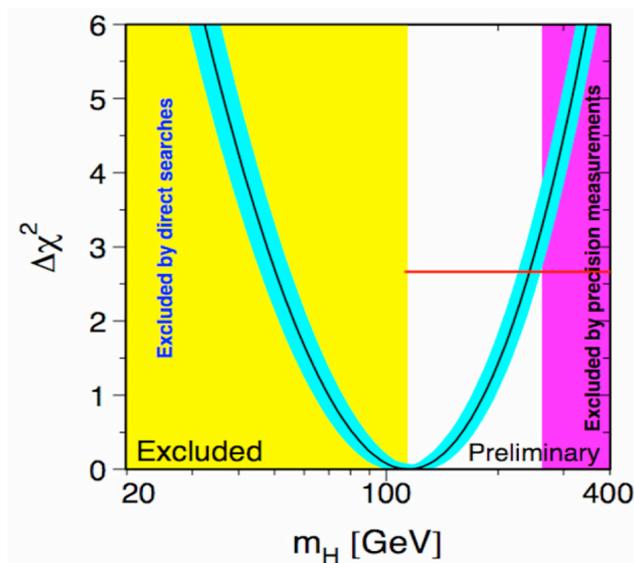


図 1.1: 標準理論で予言されるヒッグス粒子の質量範囲の制限 [1]。

さらに、LEP 実験等で測定された  $SU(3)_C \times SU(2)_L \times U(1)_Y$  の 3 つの結合定数が TeV スケールの超対称性粒子を仮定することで  $10^{16}$  GeV 付近でほぼ 1 点に交わることが示されている (図 1.2 参照)。

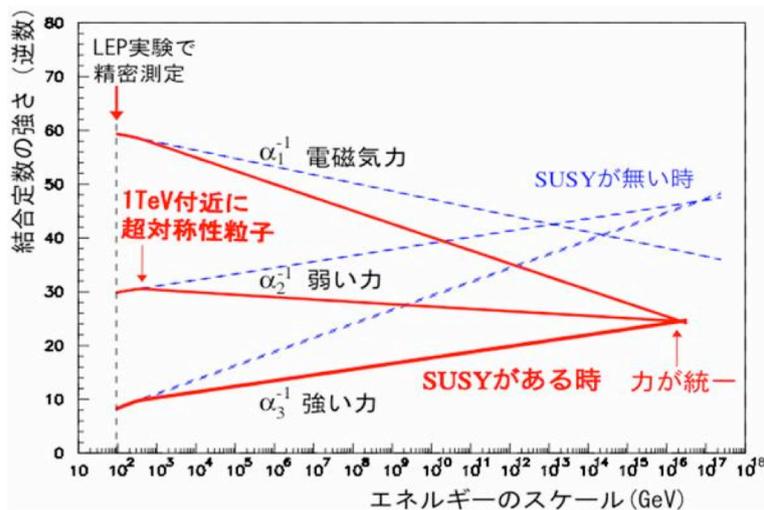


図 1.2: 結合定数の強さとエネルギースケール [1]。

このため、階層性問題を解くために提案されている様々な理論の中でも特に超対称性理論は有力である。また、超対称性理論では普通の粒子とスピンだけが  $1/2$  だけ違う超対称性パートナーの存在を予言している。その中でも最も軽い超対称性パートナー粒子は宇宙に満ちるダークマターの有力な候補となっている。

素粒子物理学は現在、質量の起源と真空の構造の関係の解明、または宇宙初期の進化などを検証する段階にきていると言える。

## 1.2 ILCの背景

2000年まで活躍した欧州 CERN 研究所の LEP(Large Electron Positron Collider) は、円周 27km の円形加速器だったが、超伝導技術を駆使して加速能力をあげても、ビームエネルギーを 105Gev に保つのが限界だった。それ以来エネルギーフロンティアとしての電子・陽電子コライダーは作られていない。

電子・陽電子の円形コライダーの場合には、實際上、加速エネルギーに上限がある。その原因は放射光の存在である。円形加速器では磁場を使って粒子の軌道を曲げるが、その際に粒子は放射光を出して、エネルギーの一部を失う。放射光の発生量は、電子のように質量の軽い粒子の場合に大きい。また粒子のエネルギーが高くなると、放射として失うエネルギー量が急増する。その点、リニアコライダーは軌道を曲げる必要がないので放射光の心配がない。

陽子・陽子コライダーとしては、2007年からはじまる CERN での LHC がある。LHC ではヒッグス粒子をはじめとする新しい粒子、現象が見つかると考えられている。LHC は素粒子反応のエネルギーで数 TeV 領域まで生成・観測可能である。一方、その素粒子反応のエネルギー、運動量や偏極をコントロールできず、また強い相互作用からくるバックグラウンド事象が多いため、情報に限りがある(図 1.3 参照)。その点、ILC は電子・電子コライダーなので素過程で反応が起こり、非常にクリーンな環境で解析が可能である(図 1.4 参照)。

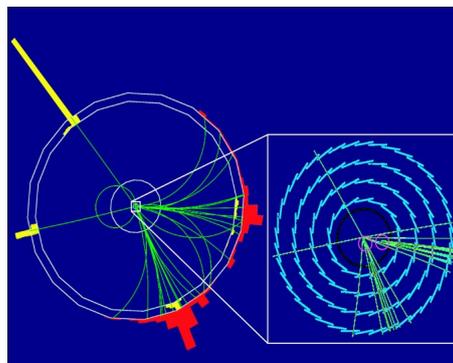
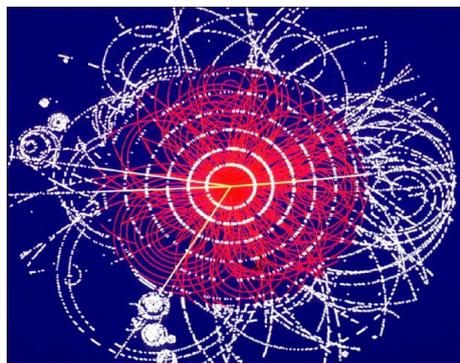


図 1.3: LHC イベントディスプレイ [2]。 図 1.4: ILC イベントディスプレイ [2]。

もしヒッグス粒子が標準理論の予言する粒子あるいはこれに近い性質をもつ場合には、確実にまず LHC(または Tevatron) でその新しい粒子は観測されるはずである。逆にもし LHC でも現象が見えない場合には、標準理論や MSSM(Minimal Supersymmetric extension of Standard Model) を越えたさらに新しい世界があることになる。LHC で何が見えるかに関わらず、ここから先の新しい物理は ILC が挑戦することになる。つまり LHC で開く扉の先を見るには、新しい装置、電子・陽電子リニアコライダーが必要なのである。

### 1.3 ILC 計画

電子・陽電子リニアコライダーの計画は、90年代から2000年代初頭にかけて、日本でのGLC計画[3]をはじめ世界各国で複数存在していた。

そこで2004年8月、国際リニアコライダー運営委員会(ILCSC, International Linear Collider Steering Committee)の委託を受けた国際技術推奨委員会(ITRP, International Technology Recommendation Panel)は、「リニアコライダーの基幹技術としては超伝導技術に絞り、さらなる国際協力によって早期実現をはかる」という結論を下した。

そしてこの計画は、ILC(International Linear Collider)計画としてまとめられた[4]。以下にILC計画の目標値と、ILC Baseline Parameterを表1.1に挙げる。

- 第1期約500GeV、アップグレード期約1TeVを目指す<sup>2</sup>。
- 積分ルミノシティは4年で500/fb<sup>3</sup>を目指す。
- 電子ビームは80%以上の偏極率をもつ<sup>4</sup>。

表 1.1: ILC Baseline Parameter

マイクロ波繰り返し周波数	$f_{rep}(\text{Hz})$	5
バンチ当りの粒子数	$N(10^{10})$	2
1パルスのバンチ数	$n_b$	2820
線形加速器でのバンチ間隔	$t_b(\text{ns})$	307.7
線形加速器でのバンチ長	$\sigma_z(\mu\text{m})$	300
IPでのビームサイズ	$\sigma_x^*(\text{nm})$	655
	$\sigma_y^*(\text{nm})$	5.7
アップシロンパラメータ	$\Upsilon_{ave}$	0.046
ビーム輻射損失	$\delta_{BS}$	0.022
ビーム輻射光子数	$n_\gamma$	1.257
ルミノシティ	$\mathcal{L}(10^{34}\text{cm}^{-2}\text{s}^{-1})$	2.03
垂直エミッタンス	$\gamma\varepsilon_y$	0.04
IPでのベータ関数(500GeV)	$\beta_x$	21
	$\beta_y$	0.4
IPでのベータ関数(1TeV)	$\beta_x$	30
	$\beta_y$	0.3

<sup>2</sup>第1期の成果とLHCでの結果を合わせることで、1TeVへ行くよりもhigh luminosity化が重要になればそちらを優先する。さらに陽電子の偏極、電子・電子衝突、 $\gamma$ コライダーモードなどのオプションがある。

<sup>3</sup>年間100日フル運転した場合、TESLAデザインでのデザイン値の1/3程度に相当する。

<sup>4</sup>スピンを揃えた電子ビームは、解析を容易にするのだが、偏向磁場を使わないリニアックは、電子スピンの向きを乱さずに加速できるので、そのまま実験に利用できる。これは、直線加速を主体とするリニアコライダーの利点である。

## 1.4 加速器構成

2004年3月にITRPの議長であったBarry BarishをディレクターとしたGDE(Global Design Effort)[5]が発足し、2015年頃の運転開始を目指して加速器設計を進めている。

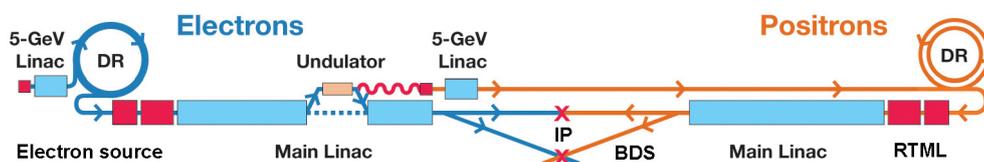


図 1.5: ILC 概観図 [4]。

図 1.5 が ILC の概観図であり、以下に主な ILC 加速器の構成を挙げる。

- **Electron Source**

5GeV Linac の先端にあり、直後に電子は 5GeV まで加速される。ILC では、偏極電子源を標準にして設計を進めている。

- **DR(Damping Ring)**

5-GeV まで加速した電子・陽電子を 200ms 蓄積して、規格化エミッタンスの小さなビームを作る。現在の設計では陽電子側は 2 段重ねのリング。周の長さはいずれも 6.6km である。

- **RTML(Ring to Main Linac)**

減衰リングを出てから、ビームはまず衝突点とは逆向きに走り、180度の巡回軌道の後、Main Linac(主線形加速器)に入る。この間を RTML と呼んでいる。

SR(Spin Rotator) で、実験で必要とする衝突点でのスピンの向きになるように、あらかじめここでスピンの向きを調整する。

BC(Bunch Compressor) で、減衰リングでのバンチ長(数 mm)を、 $300\mu\text{m}$  に圧縮<sup>5</sup>する(図 1.6 参照)。これは砂時計効果<sup>6</sup>を緩和してルミノシティをあげるためである(図 1.7 参照)。

<sup>5</sup>線形加速器の加速位相をずらして、正弦波のゼロ点付近のタイミングでバンチを通すことにより、バンチの先頭を減速、後方を加速する。シケイン軌道をとらせることにより高エネルギー粒子ほど曲げにくいいため直線軌道に近くなり、低エネルギー粒子に対して進みができる。これによりバンチ後方が前方に追いついてバンチが短くなる。

<sup>6</sup>砂時計効果とは、粒子ビームを 4 極磁石で収束した場合、有限のバンチ長では、有効に絞れる範囲に限られる。焦点距離の短いレンズを使えば、焦点でのビームサイズは小さくなるが、絞られる区間の長さ(焦点深度)は短くなる。

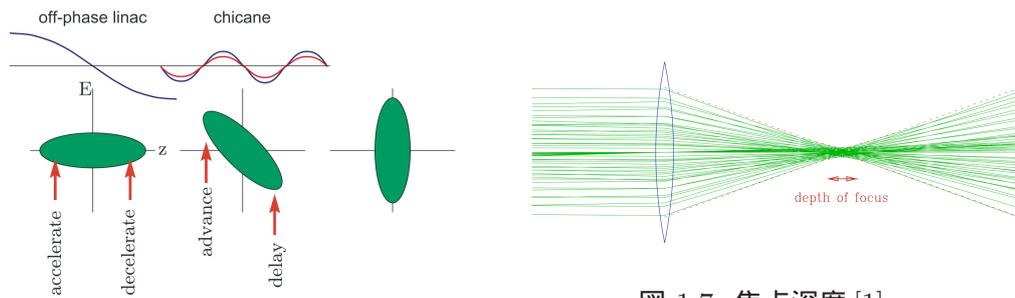


図 1.6: BC 原理 [1]。

図 1.7: 焦点深度 [1]。

● Main Linac

ILC 第 1 期計画では電子・陽電子側にそれぞれ約 11km あり、電子・陽電子を実験に必要なエネルギーまで加速する。

ILC では主線形加速器に超伝導技術を用いるが、図 1.8 が KEK で開発中の 9 セル型 ICHIRO 超伝導空洞である。ILC 第 1 期計画ではこのような空洞が 14000 台必要である。

超伝導空洞は、図 1.9 のような超伝導材質（ニオブ）でできた周期的構造を持つ。この空洞をマイクロ波で満たし、粒子が 1 セル走る間にマイクロ波の位相が 180 度変わるようにセルの長さや周波数を選択する。そうすることで、粒子は第 2 セル以降でも加速されることになる。

現在、KEK において LL (Low Loss) 型の ICHIRO 単セル空洞の製作・試験が行われており、加速勾配 53.5MV/m という単セルとしての世界記録を達成した (図 1.10 参照)。



図 1.8: 9 セル ICHIRO 空洞 [1]。

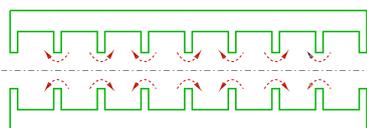


図 1.9: 加速空洞原理 [1]。

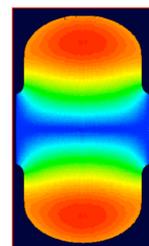


図 1.10: LL 型 [1]。

- Undulator

電子ビームが 150GeV まで加速されたところにおいて Undulator で陽電子を生成する。

磁場の向きを交互に変えて電子に蛇行運動させ、これによって電子が数 10MeV の光子を放射する。この光子を標的に当て、発生した陽電子を回収して加速する (図 1.11 参照)。

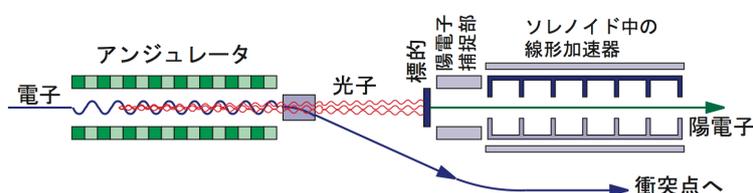


図 1.11: Undulator 方式 [1]。

- BDS(Beam Delivery System)

電子側陽電子側あわせて全長約 5.5km の、加速終了から衝突点までの装置全体を BDS と呼ぶ。

- IP(Interaction Point)

現在の設計では 2 つの衝突点を設けることになっているが、一方を小角 (2mrad)、他方を大角 (20mrad) にする案と、どちらも大角 (14mrad) にしてしまう案がある。

大角・小角の境は、(z,x) 面におけるビーム形状の対角線の角度  $\sigma_x^*/\sigma_z$  にある。交差角  $\phi_c$  がこれより大きいと、図 1.12 のように、衝突の際に 2 つのビームが十分に重ならず、ルミノシティが上がらなくなる。

そこでルミノシティを上げるために crab-crossing という方法をとる。これは図 1.13 のように衝突前にビームを横方向にかつ頭尾を逆向きに蹴ることにより、衝突の際にビームを平行にする方法である。ビームを蹴るには、マイクロ波空洞に横方向に蹴るモードを励起し、正弦波のゼロ点付近でバンチを通過すればよい。

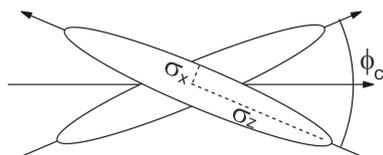


図 1.12: 交差角 ( $\phi_c$ ) [1]。

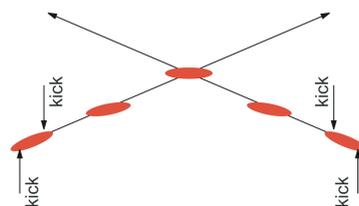


図 1.13: crab-crossing 方式 [1]。

## 1.5 GLD Detector

標準模型のヒッグス粒子 ( $H$ ) を検出するための代表的な反応は、

$$e^+e^- \rightarrow ZH, Z + q\bar{q} \quad (1.5.1)$$

である。そのため ILC 検出器にとって特に重要になるのが、クォークの 4 元運動量を正確に測定することであり、検出器には以下の性能が要求される。

- 質量分解能がボソン ( $W$  と  $Z$ ) の  $q\bar{q}$  クォークジェットへ崩壊する際の崩壊幅 (2.0GeV と 2.5GeV) と同程度で、それらが識別可能であること。
- $b$ 、 $c$  クォークが高精度で識別できること。
- 荷電粒子の運動量が高精度で測定できること。
- 測定可能領域が十分であること。
- 各ビームバンチにおけるイベントを区別できるような時間分解能をもつこと。

このような要求を満たすために、GLD[6]、LDC[7]、SiD[8] といった検出器デザインが世界各国で検討されているが、どの測定器案でも PFA<sup>7</sup>を重視するという点では一致している。

現在 ILC の測定器の開発は、WWS (Worldwide Study on Physics and Detectors for Linear Colliders)[9] により調整が行われており、本研究はアジア地域が推している GLD 検出器 (図 1.14) に基づいて研究が進められている。

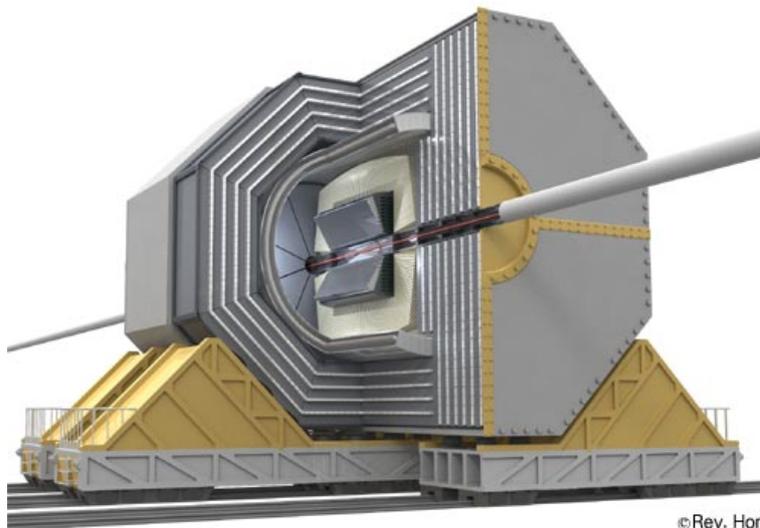


図 1.14: GLD 検出器概観 [4]。

<sup>7</sup>要求されるジェット分解能を達成するうえで有望と考えられているのが PFA (Particle Flow Algorithm) である。PFA は、荷電粒子のエネルギーは飛跡検出器で測定し、光子は ECAL (electromagnetic calorimeter) で測定し、中性ハドロンは HCAL (hadron calorimeter) で測定し、重複を除いて足し合わせるという方法である。

GLD 検出器の特徴は、荷電粒子の飛跡測定 (トラッキング) 及び中性粒子との区別を高精度で実現するため、大容量のガス飛跡検出器及び Calorimeter を用い、磁場を 3T にするというものである。

GLD 検出器は内側から VTX (Vertex Detector)、IT(Intermediate Tracker)、TPC (Time Projection Chamber)、CAL(Calorimeter)、Muon Detector などから構成されている ( 図 1.15 と図 1.16 参照 )。

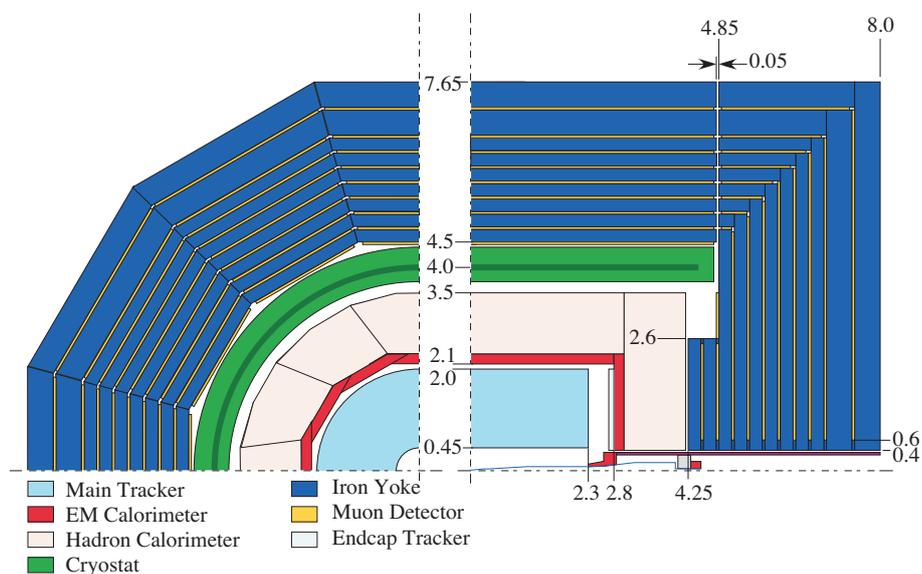


図 1.15: GLD 断面図 (左が  $r-z$ 、右が  $r-\phi$  方向)。単位はメートル。ただし、VTX と SIT は示していない [6]。

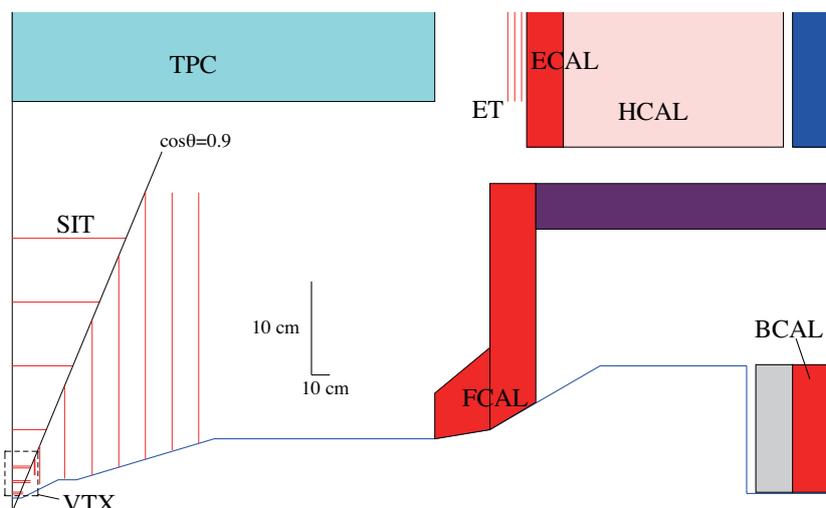


図 1.16: Sub-Detector 配置 [6]。

- VTX(Vertex Detector)

VTX は、ヒッグス粒子が  $b$  クォーク対に崩壊したのか、 $c$  クォーク対に崩壊したのかを区別できなければならない。これは、ヒッグス粒子とフェルミオンの反応の強さがフェルミオンの質量に比例することを確認するために重要である。そのため高いジェット分解能を実現するために、impact parameter resolution の目標値を、

$$\sigma_b = 5 \oplus \frac{10}{p\beta \sin^{\frac{3}{2}}\theta} (\mu\text{m}). \quad (1.5.2)$$

に定めている。これは、VTX をビームの近くに配置すること、VTX のピクセル高細化、そして VTX のレイヤーの厚さを  $100\mu\text{m}$  以下にすることなどで達成できると思われる [10]。

VTX の基本設計では、内半径、外半径がそれぞれ  $20\text{mm}$ 、 $50\text{mm}$  で、センサーには Fine Pixel CCDs (FPCCDs) を使うことを想定している (図 1.17 参照)。

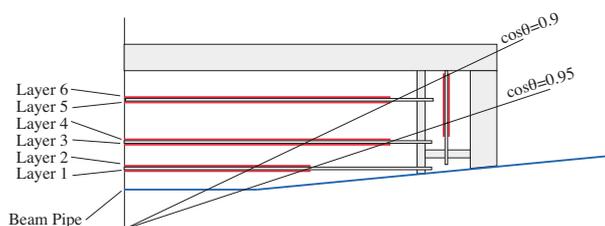


図 1.17: VTX 概観 [6]。2 層 (間隔  $2\text{mm}$ ) からなるセンサー 3 組で構成。ピクセルサイズ  $5\mu\text{m}^2$ 、位置分解能  $2\mu\text{m}$ 。

- SIT(Silicon Inner Trackers)

SIT は VTX と TPC によるトラッキングを補完して運動量分解能を向上させるために、VTX と TPC の中間領域に置かれる。ビーム軸に巻き付くような形で配置されている BIT(Barrel Inner Tracker)4 層とビーム軸に垂直な面上に配置される FIT(Forward Inner Tracker)7 層からなる (図 1.18 参照)。

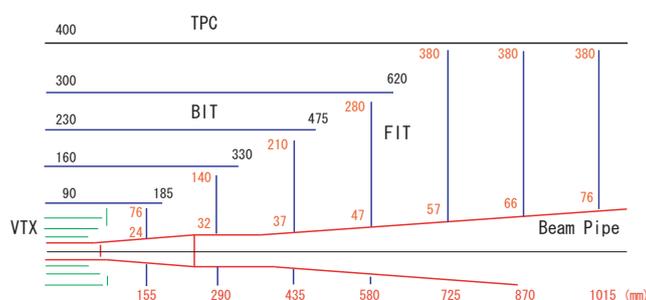


図 1.18: SIT レイアウト [6]。

BIT にはシリコンストリップ検出器が使われる。FIT には内側の 3 層にはシリコンピクセル検出器が、残り 4 層にはシリコンストリップ検出器が使われる。

- **Main Tracker**

Main Tracker には、TPC(Time Projection Chamber) が考えられている。GLDにおける TPC の要求性能は運動量分解能が SIT と VTX を合わせて  $\delta p_t/p_t^2 < 5 \times 10^{-5}$  となることを目指している。TPC の内径、外形はそれぞれ 40cm、200cm であり、z 方向の最大ドリフト長は 230cm である。

これまで TPC の電子検出にはワイヤを使う Multi-Wire Proportional Chambers (MWPCs) が使われてきたが、位置分解能が悪いという欠点があった。そのため Micro-Pattern Gas Detectors (MPGDs)<sup>8</sup>が研究されている。方式としては GEM(Gas Electron Multiplier)[11] と Micromegas[12] がある (図 1.19 参照)。

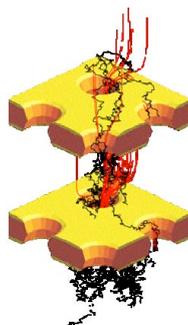


図 1.19: GEM による増幅の様子 [11]。穴の直径、ピッチはそれぞれ  $50\mu\text{m}$ 、 $150\mu\text{m}$ 。

- **Calorimeter**

GLD の calorimeter は、PFA によって高いジェットエネルギー分解能<sup>9</sup>を得るために十分な半径の大きさと精細性が求められる。

内側に電子や光子が起こす電磁シャワー用の ECAL(Electromagnetic Calorimeter) があり、その外側にハドロンシャワー用の HCAL(Hadronic Calorimeter) がある。

ECAL には、主として電離検出にシリコンを用いるものとシンチレータを用いるものがある。吸収体には密度が高く、電磁シャワーが横に広がりにくいタングステンを使用する。

HCAL はシンチレータを用いたカロリメータで、比較的シンチレータのサイズを大きくした物を想定している。シンチレータの読み出しには最新の光検出素子 MPPC (Multi-Pixel Photon Counter)<sup>10</sup>を用いる (図 1.20 参照)。

<sup>8</sup>MPGD は増幅がドリフトした電子の当たった  $100\mu\text{m}$  周辺で起こり、シグナルが電子によって起こるので早い。さらに陽イオンの TPC 内へのフィードバックも少ないという利点を持つ。

<sup>9</sup>ジェットエネルギー分解能の目標値は、

$$\frac{\sigma(E_j)}{E_j} = \frac{30\%}{\sqrt{E_j(\text{GeV})}}. \quad (1.5.3)$$

である。

<sup>10</sup>MPPC は低電圧 (約 60V) で作動し、5 テスラの磁場の中でも問題なく、小型で安価という特徴を持つ。

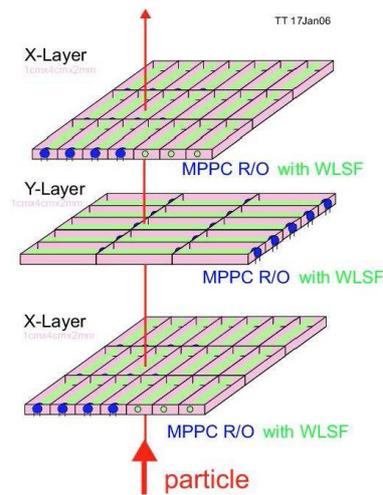


図 1.20: MPPC を用いたカロリメータ [6]。

- Muon Detector

Muon Detector は、ミュオンの再構成に用いられる。ミュオンはその性質から Calorimeter を突き抜けてその外側まで到達することが多く、Calorimeter の外側にある Muon Detector のシグナルと、飛跡検出器から得られたトラックをつなげるによりミュオン ID を行うことが可能となる。

現在考えられている GLD での Muon Detector の構造は、鉄と棒状のシンチレータを交互に置いたデザインが有力である。

## 第2章 Pair Monitor

衝突点でのビームは、垂直方向に 5.7nm、水平方向に 655nm、進行方向のバンチ長が  $300\mu\text{m}$  の扁平な形をしている。計画通りのルミノシティを得るためには、2つの扁平ビームを正確に重ね合わせなければならない。

これまでの高エネルギー加速器で実現しているビームサイズは  $5\sim 10\mu\text{m}$  の領域にある。これは稼働中の電子蓄積リングで実現されているもので、SPring-8 ではリング全周にわたって、また KEKB では衝突点において、この程度のビームサイズが実現されている。もちろん、ILC 技術の開発研究においても、ATF<sup>1</sup>における極小ビームの生成と測定技術の開発、あるいは FFTB(Final Focus Test Beam)<sup>2</sup>における実験などで成果があがっているが、実際のリニアコライダーにおいては、長期間にわたってビーム軌道を安定させ、高ルミノシティを維持しなければならない。

衝突点のビームサイズは単にその近傍の電磁石のパラメータだけで決まるのではなく、リニアックや最終集束系を含む全ての上流部の影響を受ける。したがって、初期のアライメントばかりでなく、実際に出来上がった状態でビームサイズを測定し、それを最小にするように電磁石系のパラメータをオンラインで調整しなければならない。そのため、衝突点においてナノメートルサイズのビームが測定できる測定器の開発が不可欠である。

### 2.1 Beam Profile Monitor

ILC では先端的で高分解能の Beam Profile Monitor が多くの部分で必要とされ、様々なビーム診断技術が新たに開発されている [13]。その中でもビーム形状測定には、次のような方式がありビームテストの段階まで達成している。

- レーザーワイヤーあるいはワイヤースキャン方式
- OTR スクリーンや X 線 SR モニターのような結像方式

この内、ワイヤーや OTR は金属を標的に用いるために衝突点付近では使えない。

一方、レーザーワイヤー方式は、次の 3 種類に大別される。

- 単一パルス型レーザーワイヤーモニター [14]
- 共振器蓄積型レーザーワイヤーモニター [15]

<sup>1</sup>ATF はリニアコライダーに必要な高安定な超低エミッタンスビームの生成とその位置制御に焦点を合わせた開発研究を行っている試験加速器。

<sup>2</sup>FFTB は SLAC にあった最終収束系を実証するための施設で、電子ビームを 70nm 程度にまで絞り込むことに成功している。

- レーザー干渉縞モニター [16]

レーザーワイヤーは収束させたレーザー光のスポットを利用したモニターであるが、この手法では回折限界のため、光を収束できるのはその波長程度が限界である。そこで、ナノメートルサイズを測定するためにレーザー光を用いて作る干渉縞を利用する方法が考案された (図 2.1 参照)。

レーザー干渉縞モニターでは、電子ビーム、あるいは干渉縞をスキャンしながらコンプトン散乱信号の強度を測定する (図 2.2)。電子ビームサイズが干渉縞間隔に比べて大きな場合には、スキャンの信号強度はあまり変動しないが、ビームサイズが干渉縞間隔より十分に小さい場合には、レーザー標的の光子密度構造に対応した変調が高いコントラストが観測される。

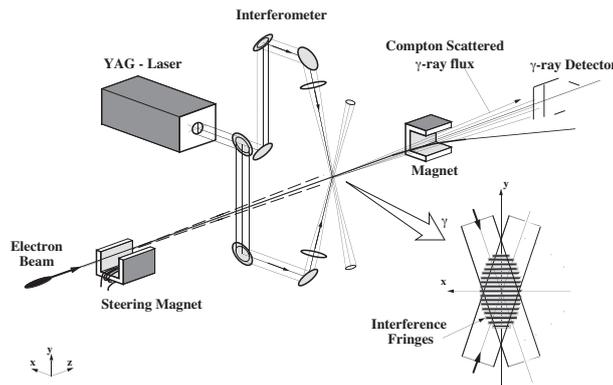


図 2.1: FFTB で開発されたレーザー干渉モニター [16]。

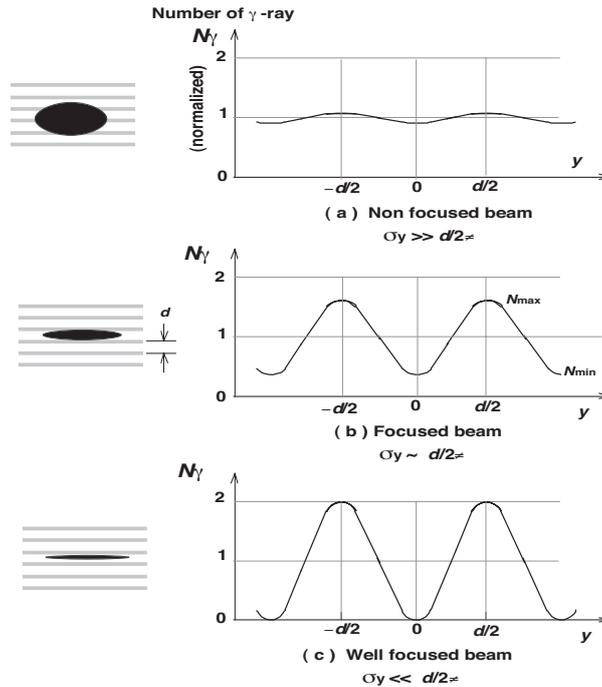


図 2.2: レーザー干渉モニター原理 [16]。

だがこのレーザー干渉モニター方式でも約 70nm のモニターが実証されただけで、しかも衝突点に干渉装置を置くことは他の Sub-Detector の妨げになるので困難であろう。

そこで、衝突点での Beam Profile Monitor としては、Beamstrahlung で発生する電子・陽電子対を利用した Pair Monitor が有効だと思われる。衝突点から約 400cm 付近に設置する Pair Monitor であれば Sub-Detector の妨げにならない。しかも、5～10% の精度でビームサイズの計測が可能であり、ビームの上下、左右方向のずれも見積もることができる [19]。

## 2.2 Beamstrahlung

2つのビームが衝突する際のシンクロトロン放射光のことを Beamstrahlung と呼ぶ。

Beamstrahlung によって GeV 程度のエネルギーを持った光子が生成され、衝突点ではそれらの光子・光子衝突が起こる。その衝突が実光子同士の場合は、電子・陽電子対が発生する (図 2.3 参照)。また、電子・陽電子には仮想光子が付随している。それらの仮想光子がもう一方のビームからくる実光子、または仮想光子と反応して電子・陽電子対を発生させる (図 2.4 と図 2.5 参照)。これらの過程で生じた電子・陽電子対は、衝突エネルギーに広がりをもたらし、検出器周辺に当たり 2 次、3 次粒子を作りバックグラウンドになる [17]。

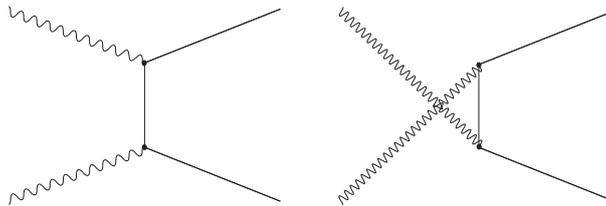


図 2.3: Breit-Wheeler process :  $\gamma\gamma \rightarrow e^+e^-$   
実光子と実光子。

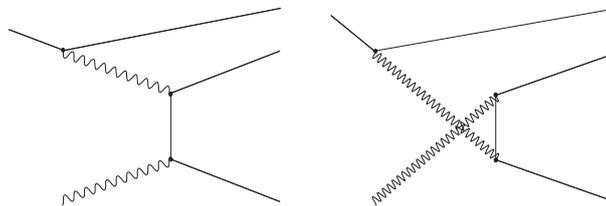


図 2.4: Bethe-Heitler process :  $e\gamma \rightarrow ee^+e^-$   
仮想光子と実光子。

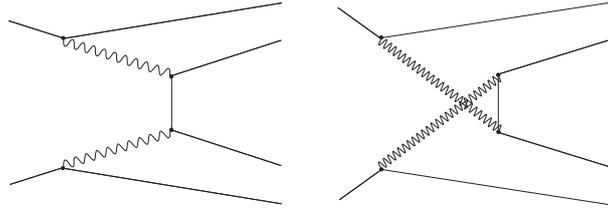


図 2.5: Landau-Lifshitz process :  $ee \rightarrow eee^+e^-$   
仮想光子と仮想光子。

Beamstrahlung によるビーム内の臨界エネルギーとビームエネルギーの比は、 $\Upsilon$  パラメータと呼ばれ、ビーム・ビーム相互作用の強さを表すパラメータの一つである。詳しい解析によるとビームとビームがすれ違う時の平均の  $\Upsilon$  は、 $r_e$  (古典電子半径) と  $\alpha$  (微細構造定数) を使って、

$$\Upsilon_{ave} \approx \frac{5}{6} \frac{n_e r_e^2 \gamma}{\alpha \sigma_z (\sigma_x^* + \sigma_y^*)} \quad (2.2.1)$$

さらにこの  $\Upsilon_{ave}$  を使って、Beamstrahlung により生成される光子の数、及びビームビーム効果によるビームのエネルギー減少量は、

$$\frac{N_\gamma}{N} \approx \frac{2.12 \alpha N \gamma_e}{\sigma_x^* + \sigma_y^*} \frac{1}{\sqrt{1 + \Upsilon_{ave}^{\frac{2}{3}}}} \quad (2.2.2)$$

$$\delta_E = \left\langle -\frac{\Delta E_\gamma}{E} \right\rangle \approx \frac{0.864 \gamma N^2 r_e^3}{\sigma_z (\sigma_x^* + \sigma_y^*)^2} \frac{1}{(1 + 1.5 \Upsilon_{ave}^{\frac{2}{3}})^2} \quad (2.2.3)$$

ここで、式 (2.2.2)、式 (2.2.3) の最後の項は量子力学的な補正項であり、 $\Upsilon_{ave}$  が小さい時は 1 となる [18]。

式 (2.2.2)、式 (2.2.3) から Beamstrahlung により生成される粒子数、およびエネルギー減少量は水平垂直方向のビームサイズの和で表されることがわかる。これは、ビームにより生成される磁場の強さはビームの表面積に比例しているからで、ビームの表面積はビームサイズの和に比例する。

一方、ルミノシティは、1 秒当りのバンチ衝突回数を  $f_{col}$ 、衝突の最中の水平方向、垂直方向のビームサイズの標準偏差をそれぞれ  $\sigma_x^*$ 、 $\sigma_y^*$  とすると、

$$\mathcal{L} = f_{col} \frac{N^2}{4\pi\sigma_x^*\sigma_y^*} \quad (2.2.4)$$

となり、水平垂直方向のビームサイズの積で決まることが分かる。

つまり、ビームサイズの積が一定の条件のもとビームの縦横比  $r$  を変えていけば、ルミノシティは変わらず、Beamstrahlung により生成される粒子数は  $2\sqrt{r}/(1+r)$  に比例して減少し、エネルギーの減少量も  $4r/(1+r)^2$  に比例して小さくなる。よって衝突点ではビームの形は可能な限り扁平である方が Beamstrahlung の影響は弱くなる。

## 2.3 Pair Monitor 原理

Beamstrahlung で発生した電子または陽電子は粒子ビーム本体の強い電場によって散乱される。ビームがフラット ( $\sigma_y \ll \sigma_x$ ) である場合、同符号の粒子は大きく散乱され、異符号の粒子はビーム面を振動して散乱される事はない (図 2.6 参照)。

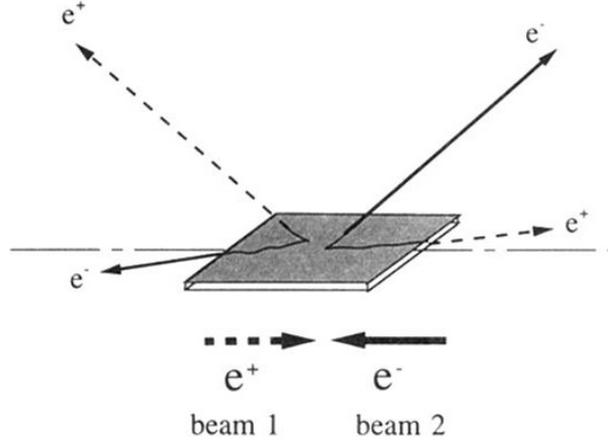


図 2.6: 電子・陽電子対の散乱 [18]。

電子・陽電子対が受けるクーロン力は、ほぼ光速中でのビーム衝突のためローレンツ収縮により、非常に良い近似で 2 次元力となる。そこで、ビームの進行方向 ( $z$ ) に対して垂直な電場成分を考える。ビーム静止系での垂直方向の電場を  $E'_\perp$  とすると、重心系 (実験室系) で観測される電場  $E_\perp$  と磁場  $B_\perp$  は、ローレンツ変換により

$$\mathbf{E}_\perp = \gamma \mathbf{E}'_\perp, \quad \mathbf{B}_\perp = -\gamma \mathbf{v} \quad (2.3.1)$$

となる。ここで  $v$  はビームの静止系に対する重心系の速度とする。この電磁場により電荷  $e$ 、速度  $v_e$  の粒子の受ける力  $F$  は、

$$\mathbf{F} = e(\mathbf{E}_\perp + \mathbf{v}_e \times \mathbf{B}_\perp) \quad (2.3.2)$$

となる。ここで、 $\mathbf{v} = (0, 0, v)$ 、 $\mathbf{v}_e = (0, 0, \pm v_e)$  (符号は電荷の進む方向を示す) とすると式 (2.3.1) と式 (2.3.2) の磁場による寄与は、

$$\begin{aligned} \mathbf{v}_e \times \mathbf{B}_\perp &= \mathbf{v}_e \times \left( -\mathbf{v} \times \frac{\mathbf{E}_\perp}{c^2} \right) \\ &= \pm \frac{1}{c^2} (v v_e E_x, v v_e E_y, 0) \\ &= \pm \frac{v v_e}{c^2} \mathbf{E}_\perp \end{aligned} \quad (2.3.3)$$

となり、結局、電荷が受ける力は、

$$\mathbf{F} = e \left( 1 \pm \frac{v v_e}{c^2} \right) \mathbf{E}_\perp \quad (2.3.4)$$

となる。よって、 $v \simeq v_e \simeq c$  なので、式 (2.3.4) よりビームと同じ方向に進む電荷の受ける力はゼロとなり、反対方向に進むものは電場  $E_\perp$  の 2 倍の力を受ける。つまり、生

成された電子・陽電子対は向かってくるビームによって散乱されるため、そのビームの情報だけを持つことになる(同じ方向に進むビームの情報を持たない)。

散乱された電子・陽電子対は検出器のソレノイド磁場の影響で螺旋運動をした後、衝突点から 400cm の所にある Pair Monitor に衝突する。その際螺旋運動によってビームの情報が失われることはない。Pair Monitor 上での電子または陽電子の衝突位置は、螺旋運動をする粒子の軌道半径が  $\rho[cm] = p_t/3B$  なので、

$$r = 2\rho \sin \frac{\phi}{2}, \quad \phi = \frac{3BL}{p_z} \quad (2.3.5)$$

と表す事ができる(図 2.7 参照)。ここで、 $B[\text{Tesla}]$  は検出器のソレノイド磁場、 $L[\text{cm}]$  は衝突点から Pair Monitor までの距離、 $p_z$  はビーム方向の運動量、 $p_t[\text{MeV}]$  は  $p_z$  に垂直方向の運動量である。

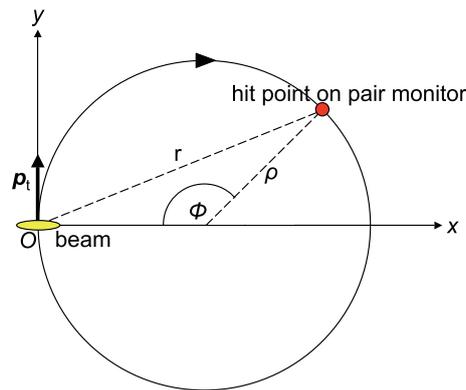


図 2.7:  $\rho$ ,  $r$  と  $\phi$  の関係。

図 2.8 に陽電子ビーム側の Pair Monitor での衝突分布を示す。外側(半径 8.5cm)と内側(半径 2cm)の円は Pair Monitor の縁を表している。陽電子ビーム側では、大きく散乱される粒子は陽電子なので、図 2.8 の分布の大部分が陽電子によるものである。一方、あまり散乱されない電子は半径 2cm の円の内側を通るため Pair Monitor にはほとんど衝突しない。

また、図 2.8 からは半径 3~5cm の分布が非対称になっていることも分かる。これは衝突点で生成された電子・陽電子対が検出器のソレノイド磁場によって螺旋運動しても、ビームサイズの情報失われておらず、衝突位置分布がビームサイズの情報保持していることを意味する(もしビームが円形( $\sigma_x = \sigma_y$ )であれば、Pair Monitor 上の衝突分布に図 2.8 のような非対称性は現れない)。

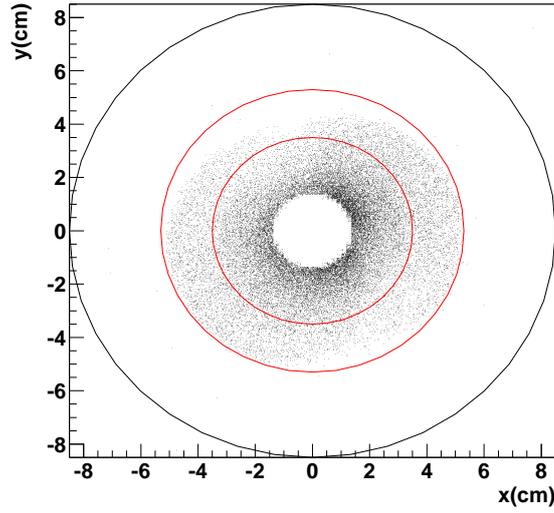


図 2.8: Pair Monitor での衝突点分布 [23].

図 2.9 に Pair Monitor に衝突した粒子の半径位置 ( $r$ ) とそのエネルギー ( $E$ ) の分布を示す。ここから、最大半径  $r_{max}$  を持つことが分かる。

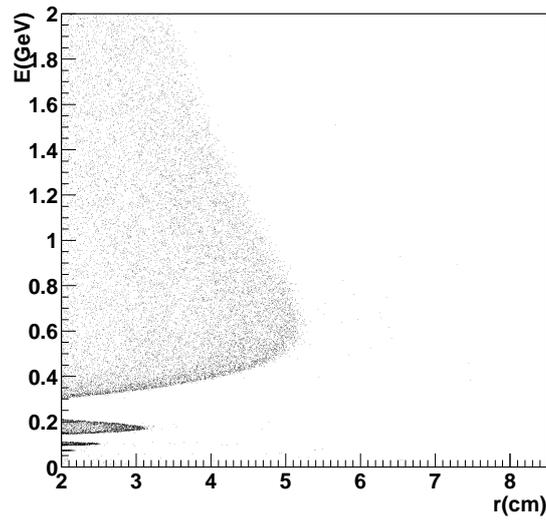


図 2.9: エネルギーと半径の関係 [23].

$r_{max}$  は式 (2.3.5) より  $\phi = \pi$  の時であり、 $p_t^{max} = p \sin \theta_{max}$ 、 $p_z \simeq p$  とすると、

$$r_{max} = 2\rho = \frac{2p_t^{max}}{3B} \simeq \frac{2L \sin \theta_{max}}{\pi} \quad (2.3.6)$$

となるため、 $r_{max}$  は  $\theta_{max}$  によって決まることが分かる。

$\theta_{max}$  はビームビーム相互作用での散乱によって与えられるとすると近似的 ( $D_x/\epsilon \geq 1$  の時) に、

$$\theta_{max} \simeq \left( \frac{\ln \left( \frac{4\sqrt{3}D_x}{\epsilon} \right)}{\sqrt{3\epsilon D_x}} \right)^{\frac{1}{2}} \theta_0 \sqrt{2} \quad (2.3.7)$$

となる。ここで、 $\epsilon \equiv p/E_{beam}$ 、 $D_x \equiv 2Nr_e/\gamma\sigma_z/(\sigma_x(\sigma_x + \sigma_y))$ 、 $\theta \equiv D_x\sigma_x/\sigma_z$  である。また、 $\sigma_{x(y)}$  はそれぞれの方向のビームサイズ、 $r_e$  は古典電子半径、 $\gamma$  は電子質量 ( $m_e$ ) をビームエネルギーで割ったローレンツ係数を表している。これより  $\theta_{max}$  は  $\sigma_y \ll \sigma_x$  の条件のもとでは  $\sigma_y$  に依存せず、 $\sigma_x$  と粒子数  $N$  によって決まる事が分かる。

粒子数  $N$  は壁電流モニターなどを使用することにより測定する事が可能であるため、Pair Monitor で  $r_{max}$  を測定することにより  $\sigma_x$  を見積もることができる。

図 2.10 と図 2.11 はそれぞれ、 $\sigma_y$  を変化させた時の衝突点での散乱角分布と Pair Monitor 上の方位角分布である。

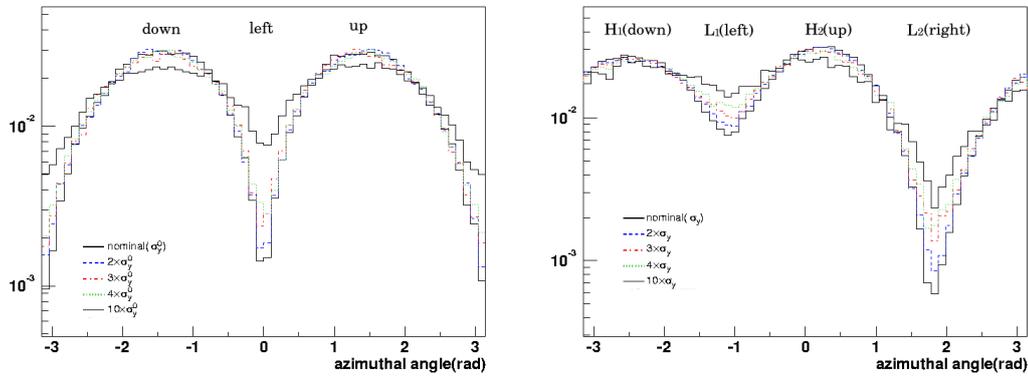


図 2.10: 衝突点での散乱角分布 [23]。 図 2.11: Pair Monitor 上の方位角分布 [23]。

これらの図を比較すると、Pair Monitor 上の方位角分布は衝突点での散乱角分布に依存していることが分かる。特に、この領域は Pair Monitor に衝突した粒子の回転角が 360 度以下であり、回転角が 360 度以上の粒子であればこの依存性が失われてしまう。

したがって、ビームサイズに関する情報は  $L_1$ (left)、 $L_2$ (right)、 $H_1$ (down)、 $H_2$ (up) の領域での分布から引き出せる。ここで、 $R_{pv}$  (Peak-to-valley ratio) を、

$$R_{pv} \equiv \frac{L_1 + L_2}{H_1 + H_2} \quad (2.3.8)$$

ここで、 $L_1$ 、 $L_2$ 、 $H_1$ 、 $H_2$  はそれぞれの領域に衝突した粒子数とする。図 2.12 はこの  $R_{pv}$  をアスペクト比  $R(\sigma_y/\sigma_x)$  に対してプロットしたものである。

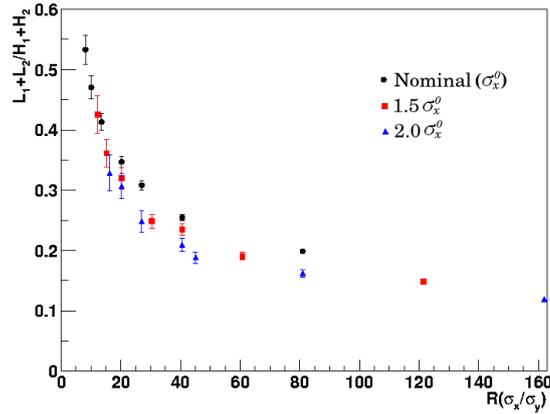


図 2.12:  $R_{pv}$  と  $R$  の関係 [23]。

図 2.12 から分かるように、 $R_{pv}$  は  $\sigma_x$  の変化の寄与は小さく、 $R$  の関数となる。したがって、 $r_{max}$  から  $\sigma_x$  が求まっていれば、 $\sigma_y$  も見積もることが可能である。

## 2.4 Pair Monitor 構成

図 2.13 に IR(Interaction Region) のレイアウトを示す。Pair Monitor は衝突点から 400cm 付近に置かれる。また、衝突点から 430cm の位置には QC1(最終収束四極磁石) が設置される。この QC1 からは、ビーム衝突時に発生した電子・陽電子対との衝突により多量の光子が後方に散乱される。これらは、検出器に侵入するのを防ぐための円錐状のタンゲステンマスクによって吸収される。さらにカーボンマスクは QC1 からの反跳電子を効果的に吸収する。

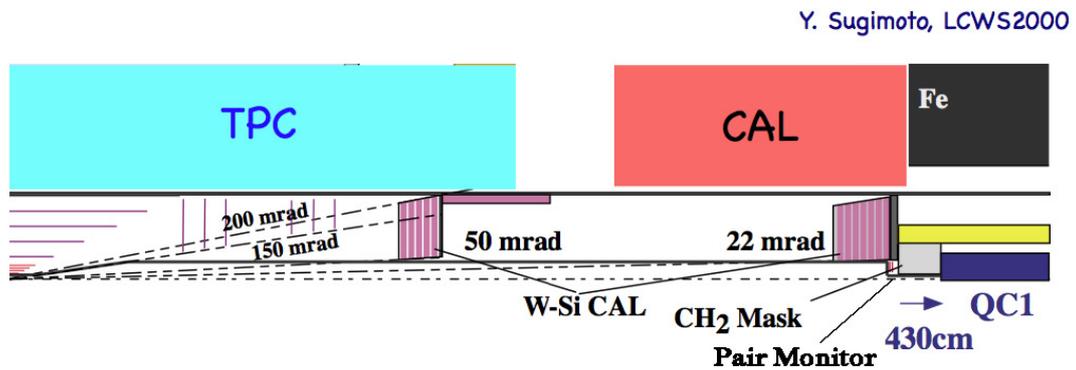


図 2.13: Pair Monitor は衝突点から 400cm 付近に置かれる。

図 2.14 が Pair Monitor の概観である。Pair Monitor の内径、外径はそれぞれ 2cm、8.5cm で台形の 3-D ピクセルセンサーを組み合わせた円盤状をしている。図 2.15 のように各ピクセルセンサーは読み出し回路に bumps ボンドされ、その読み出し回路によってデジタル化された信号は、バックエンドデータプロセスに渡される。

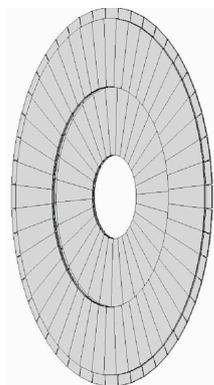


図 2.14: Pair Monitor[23]。

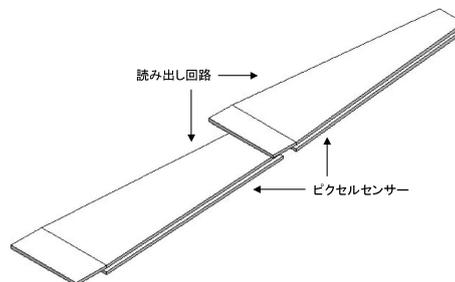


図 2.15: セグメント。  
下が IP 側。

## 2.5 3-D シリコンピクセルセンサー

Pair Monitor のセンサーは、高いレートで粒子がやってくるため高速応答でなければならない、しかも多量の電子・陽電子対にさらされるため、それに耐える事ができなければならない。

3-D ピクセルセンサーは図 2.16 に示すように、ポール状電極がセンサーを縦に貫くように配置されピクセルを形成する。そのため、平行平板型の電界を構成するプレーナー型の検出器に比べて電荷収集の速度が速い(約 10 倍早く数 ns 以下)。さらにセンサーの縁の電場整形や表面を流れる暗電流を抑えるためのガードリングなどを設ける必要がなく、センサーの縁も有感領域にすることができる。また、全空乏化電圧は 10V 以下であり、放射線を受けた後も空乏化電圧が大きく上昇することはない。

Pair Monitor に用いられる 3-D シリコンピクセルセンサーは厚さが  $200\mu\text{m}$ 、平面のサイズが  $1\text{cm}\times 3\text{cm}$  程度を想定しており、ピクセルセンサーにはピクセルサイズが  $400\mu\text{m}\times 400\mu\text{m}$  の読み出し回路が bumps ボンドされる。図 2.17 は実際に試作されたピクセルセンサーである [20]。

図 2.18 は電子陽電子対が Pair Monitor に衝突した際の各ピクセルにおけるエネルギーデポジットである。90keV あたりに明らかなピークが見られる。0~70keV あたりの分布は粒子のトラックが複数のピクセルにまたがって衝突したことによるものがほとんどで、バックグラウンドとなる。2 次光子による Pair Monitor への寄与もわずかではあるがバックグラウンドとなる。これらのバックグラウンドは 70keV 以下をカットすることにより効率的に取り除ける。本研究回路では外部から与えるスレッシュホールド電圧を 70keV 相当の電圧に設定することにより、バックグラウンドを取り除く方式をとる。この時、シリコン検出器は電子 1 個生成するために約 3.6eV が必要であることが分かっているので、電圧に換算しスレッシュホールド電圧を設定する。ただし、このシミュレーションのセットアップは ILC Beam Parameter が Warm の時を参考

にしているのので、20 バンチ相当の陽電子をソレノイド磁場 3T で螺旋運動させ、IP から 176cm にある Pair Monitor に入射させている。また、Pair Monitor は内径 2cm、外径 8.5cm、暑さ  $300\mu\text{m}$  のシリコンディスクとし、読み出し回路のピクセルサイズを  $100\mu\text{m}\times 100\mu\text{m}$  としている。そこで Cold 仕様で考えるとすれば、3-D ピクセル検出器のエネルギーデポジット量はほぼ厚さに比例するので、 $300\mu\text{m}$  の厚さのもとでのシミュレーション結果を  $2/3$  倍し、 $200\mu\text{m}$  の下での値に換算する必要がある。

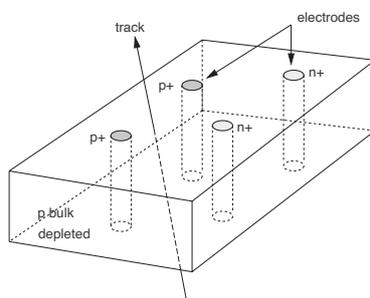


図 2.16: 3-D ピクセルセンサー。

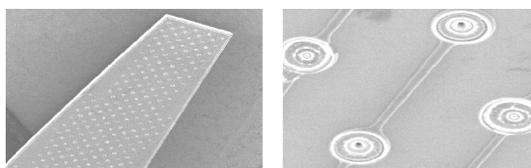


図 2.17: 実際に試作されたピクセルセンサー [20]。

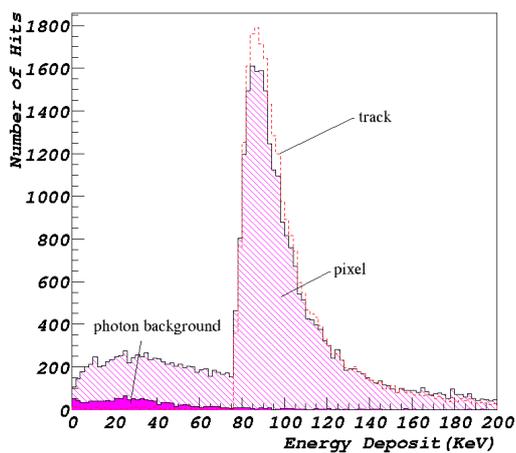


図 2.18: Pair Monitor でのエネルギーデポジットの分布 [19]

## 第3章 YH01

本研究では、Beam parameter が表 3.1 のように Warm から Cold に変更されたことに伴い、Cold に見合った仕様の Pair Monitor 用読み出し回路の開発を行った<sup>1</sup>。

回路設計には JAXA 宇宙科学研究本部で開発された Open IP<sup>2</sup> (PI: 池田博一教授) を使用した [21]。レイアウト<sup>3</sup>はデジアンテクノロジー社に外注した。LSI の製造は、東京大学 VLSI 設計教育センター (VDEC) を経由して MOSIS 社に依頼した。以下、試作した LSI を『YH01』と呼ぶ。

表 3.1: ILC Beam parameter.

	Warm(NLC/GLC)	Cold(Tesla)
Bunch/train	192	2820
Train/s	150Hz	5Hz
Bunch sp.	1.4ns	337ns
Train length	269ns	950 $\mu$ s
Gap/train	6.6ms	199ms

図 3.1 は、YH01 の CELLA(ピクセル回路)である。左上には直径約 50 $\mu$ m の八角形をしたボンディングパッドがある。このボンディングパッドが 3-D シリコンピクセルセンサーに bumps ボンドされ、センサーからの信号が YH01 に入るようになっている。YH01 によってデジタル化された信号はバックエンドデータプロセスに渡される。

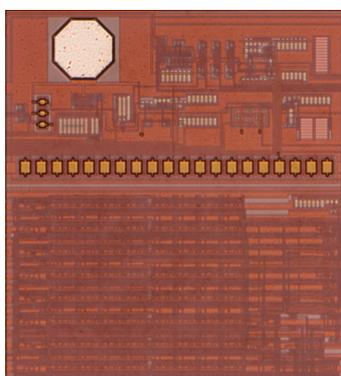


図 3.1: CELLA。

<sup>1</sup>Warm 仕様の読み出し回路は 2002 年に東北大学にて試作されている (付録 A)。

<sup>2</sup>検出器の読み出し回路の集積化を目的にして、オペアンプ、コンパレータ、インバータ、フリップフロップなどの基本回路ブロックを設計し、公開している。

<sup>3</sup>レイアウトとは、半導体製造プロセスにおいて使用する露光マスクの原図のことである。

### 3.1 YH01 試作プロセス

LSI 製作に至る流れは、大きく分けて以下の5つである。

#### 1. 要求仕様とプロセスの検討

信号処理回路の仕様、ノイズレベル、電源電圧、チャンネル数、チップのサイズ等を用途に合わせてとりまとめる。ピクセルが  $400\mu\text{m}$  ピッチであるため、実装密度の問題から、ゲート長は  $1\mu\text{m}$  よりも小さいプロセスである必要がある。そのため、TSMC 社の  $0.25\mu\text{m}$  プロセスを使うことにした。表 3.2 が YH01 のアウトラインである。

#### 2. 回路ブロックの設計

IP ライブラリを用いて回路ブロックを設計する。

#### 3. 回路シミュレーション

シミュレーションを行うことで当該回路の検証を行う。シミュレーションを行い、その結果をフィードバックして開発をすすめることで、目的の回路が出来上がっていく。シミュレーションでは、ロジックの検証を行い、目的とする波形が得られることを確認するだけではなく、温度依存、ノイズ評価、電源電圧の揺らぎなどを考慮する必要がある [22]。

#### 4. レイアウトデザイン

実際に製作するチップのレイアウトを作成する。このレイアウト作業はデジタルテクノロジ社に委託した。その中で我々が行ったのは、ノイズを意識した各ユニットの配置の指示、最小線幅の指示である。

#### 5. LSI の製造

レイアウトデータをファウンダリに渡して製造を依頼する。今回は VDEC を通して MOSIS に依頼し、TSMC(Taiwan Semiconductor Manufacturing Company) に委託された。

YH01 の試作には、仕様とプロセス検討・回路ブロック・シミュレーションに約2ヶ月、レイアウトデザインに約2ヶ月、メーカーでの製作に約3ヶ月と合計で半年以上の期間がかかった。チップ開発の際にはこの半年以上の期間を考慮したスケジュールを立てる必要がある。

表 3.2: YH01 のアウトライン

ファブリケーションプロセス	0.25- $\mu\text{m}$ CMOS , TSMC
オプション	5-metal , deep N-well <sup>4</sup> , MIM <sup>5</sup>
チップサイズ	4mm by 4mm
ピクセルサイズ	400 $\mu\text{m}$ by 400 $\mu\text{m}$
ピクセル数	36
製作個数	40 個

## 3.2 要求性能

センサーとして用意される 3-D ピクセル検出器は、製造上の便宜から  $200\mu\text{m}$  程度の厚みを有するものを想定している。そうすると、典型的な信号スケールは 15000 電子相当と見積もることができる。したがって、雑音レベルを 1000 電子相当とし、コンパレータのスレッシュホールドを 2000 電子相当に設定すれば、電子回路上は noise-free な計測環境が実現できると考えている。また、3-D ピクセル検出器は信号極性を自由に選択して実装することが可能であるが、回路の単純化と設計負担の軽減のため今回の試作では負電荷入力方式とした。

さらに、信号電荷は最小間隔 300ns で発生するので、増幅器の立ち上がり時間は、100ns 程度に設定し、その後すみやかにベースラインに復帰するような構成をとることが必要である。そこで、今回の試作では定電流帰還によるベースライン復帰方式をとることにする。これにより RC 時定数による回路構成 (付録 A) と比較して高速な波形整形を実現することができる。

YH01 はマルチヒットによる入力信号を前提としているのでヒット数を計数し、トレインとトレインの間 (199ms) に計数値を読み出す方式をとる。そこで増幅器からの出力信号をコンパレータ (差動スレッシュホールド) によってデジタル (CMOS のフルスウィング信号) 化し、その数をカウンタ回路によって計数する。その際、バンチトレイン長 ( $950\mu\text{s}$ ) を 16 等分することで、それぞれの時間間隔におけるヒット数を計数でき、ビームプロファイルの時間解析を可能にした。また、コンパレータに 2 次粒子等のバックグラウンドを除くための適切なスレッシュホールド電圧を与えることで、バックグラウンドによる計数を除くことができる。

表 3.3 に YH01 への要求性能をまとめた。

表 3.3: YH01 への要求性能

典型的信号スケール	15000 電子相当
雑音レベル	1000 電子相当
スレッシュホールドレベル	2000 電子相当
入力信号極性	負電荷
増幅器立ち上がり時間	100ns
ダブルパルス分解時間	300ns
帰還方式	定電流帰還方式
コンパレータ	差動スレッシュホールド
電源電圧、ロジックレベル	+2.5V/0V <sup>6</sup>

<sup>4</sup>MIM(Metal Insulator Metal) とは、絶縁層を金属で挟み込んだ構造のこと。従来の電極に多結晶シリコンを用いるキャパシタと比べて、伝送損失を減らし高容量化高密度化が可能である。

<sup>5</sup>deep N-well とは、通常の Bulk CMOS のプロセスよりもさらに深く N-well を設けること。デジタル回路が発生するノイズとアナログ回路との干渉をブロックすることができる。

<sup>6</sup>電源電圧は 2.5V の単一電源とすることで外部とのインターフェイスを容易にしている。

### 3.3 YH01 の構成

YH01 は図 3.2 のようなアレイ構造をしている。

ピクセル回路である CELLA が 36 個、上方に CAPT と CAPB がそれぞれ 6 個、左方に CAPL が 6 個、さらに CAPO と CAPXY がそれぞれ 1 個ずつ配置されている。CAPO、CAPXY、CAPB、CAPT、CAPL は CELLA を統合して集積回路としてまとめた動作をするために必要な周辺回路であり、主に次のような役割を持つ。

- CAPO : アナログ信号の入出力を統括する。
- CAPXY : デジタル信号の入出力を統括する。
- CAPB : バイアス電圧やテストパルスの分配を行う。
- CAPT : XSEL シフトレジスタを構成する。
- CAPL : YSEL シフトレジスタを構成する。

YH01 にテストパルスを印可したり、計数値を読み出ししたりするためには、36 個の CELLA から対象とする CELLA を 1 つ選択しなければならない。対象とする CELLA の列を指定するための XSEL シフトレジスタは CAPXY、CAPT からなり、CELLA の行を指定するための YSEL シフトレジスタは CAPXY、CAPL からなる。

CAPO	CAPB	CAPB	CAPB	CAPB	CAPB	CAPB
CAPXY	CAPT	CAPT	CAPT	CAPT	CAPT	CAPT
CAPL	CELLA	CELLA	CELLA	CELLA	CELLA	CELLA
CAPL	CELLA	CELLA	CELLA	CELLA	CELLA	CELLA
CAPL	CELLA	CELLA	CELLA	CELLA	CELLA	CELLA
CAPL	CELLA	CELLA	CELLA	CELLA	CELLA	CELLA
CAPL	CELLA	CELLA	CELLA	CELLA	CELLA	CELLA
CAPL	CELLA	CELLA	CELLA	CELLA	CELLA	CELLA

図 3.2: YH01 のアレイ構造。

CELLA はアナログ回路部とデジタル回路部からなる。アナログ回路部の役割は検出器の電気信号を増幅し、デジタル化することである。デジタル回路部の役割はアナログ回路部でデジタル化された信号を計数・保持することである。

### 3.4 アナログ回路

YH01 のピクセル回路である CELLA に含まれるアナログ回路ブロックは以下のサブブロックからなり、図 3.3 が CELLA におけるアナログプロセスである。

- 前置増幅器サブブロック

前置増幅器サブブロックは、SW1(テストパルス用スイッチ)、PrC2(プレアンプ)、FB4(直流帰還要素) 及び 0.025 pF の帰還容量とから構成されている。FB4 は、定電流帰還による直流帰還回路であり、前置増幅器の出力信号を 200 ns 以内にベースラインまで復歸させることができるようになっている。TPENB 信号がアクティブの時、0.0125pF のコンデンサを挿んだ TP 端子からテストパルスを印加できる。

- 差動増幅回路サブブロック

差動増幅回路サブブロックは、ソースフォロア回路、ACC(増幅要素) 及び DIFA(差動増幅要素) から構成されている。ソースフォロア回路は、ACC の RB(スイッチ) 信号を動かしたときの影響を弱め、ドライブ能力を高める。ACC 回路は、前段との直流を切るとともにコンパレータ回路のためのスレッシュホールドを与える。ここで前段との直流を切るのは、前段の信号が温度条件などによって揺れた時の影響を小さくするためである。DIFA 回路は、ACC 回路からの信号を増幅し、その増幅率は外部電源によって決まる。

- コンパレータ回路サブブロック

コンパレータ回路サブブロックは、COMP0(コンパレータ) と INV1S(インバータ) から構成されている。COMP0 はシングルスレッシュホールドのコンパレータであって、スレッシュホールド電圧は ACC に入力される ADC と BDC の電位差に比例した値となる。その比例定数は DIFA の増幅機能に依存している。また、INV1S はシュミットトリガー機能を備えており、スレッシュホールド近傍でのイレギュラー動作を防止している。コンパレータ回路サブブロックからの出力はデジタル回路に送られる。

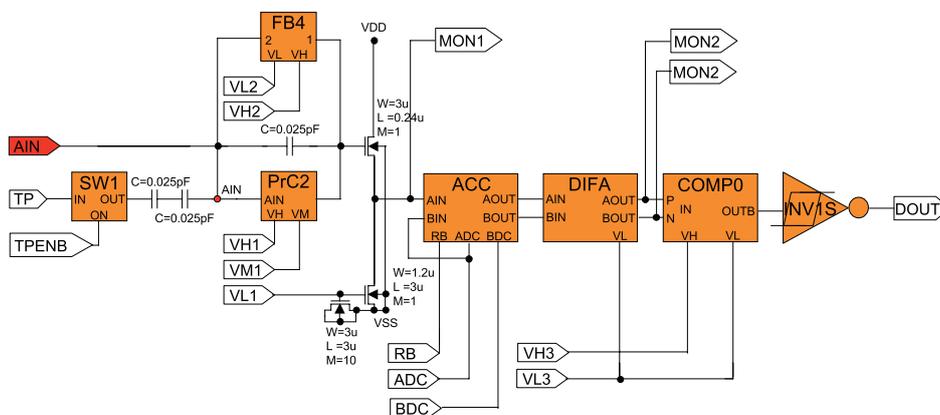


図 3.3: CELLA におけるシグナルプロセス。

## 3.5 アナログ回路の設計

### 3.5.1 シミュレーションツール

シミュレーションには、米 Tanner EDA 社の T-Spice Pro を用いた。T-Spice Pro は、IC 設計の回路シミュレーション、回路図入力、波形解析が Windows プラットフォームで行える総合シミュレータである。高い収束性を持ち、アナログシグナルだけでなくミックスシグナルに対応したシミュレーションができる。T-Spice Pro は次の 3 つのツールを含む。

- **T-Spice**

T-Spice(Tanner-Simulation Program with Integrated Circuit Emphasis) は等価回路から、作成された回路記述データを用いて、入力信号に対する出力信号や回路各点における振る舞いをシミュレーションできるツールである。Synopsys 社の HSPICE 互換の言語仕様であり、パラメータスイープ、モンテカルロ解析、ビット及びバスの波形入力ができる。

- **S-Edit**

S-Edit は標準の回路図エディタであり、デザインの取り込みと解析用のグラフィックツールである。

- **W-Edit**

W-Edit は波形ビューワであり、シミュレーションの結果を表示、比較、解析するためのツールである。

### 3.5.2 T-Spice シミュレーション

アナログ回路部への要求性能としては表 3.3 に挙げたように、典型的信号スケールを 15000 電子相当と考えて、ダブルパルス分解時間 300ns を目指している。そこで、アナログ回路シミュレーションでは、500ns に 25000 電子相当のテストパルスを、その後 300ns おきに 18750、12500、6250 電子相当の負電荷インパルスを順番に入力して、コンパレータからの出力が分離されているかどうかをテストした。ここで、入力するテストパルスを最初が一番大きく、その後徐々に小さくしたのはコンパレータが正常に動作するかどうかを確認するためである。

シミュレーションには、ファウンダリである TSMC 社から提供された 0.25 $\mu\text{m}$  プロセス用のパラメータを使用している。そのため、トランジスタ等の特性が正しく反映されたシミュレーションとなっており、より精度の高いシミュレーションを行うことができた。

図 3.4 が上記セットアップにおけるシミュレーション結果である。ここで、TP はテストパルス用端子からの入力信号、AIN はセンサーからの入力信号、MON1 は前置増幅器の出力、MON2 と MON3 は差動増幅器からの出力、DOUT はコンパレータの出力である (図 3.3 参照)。

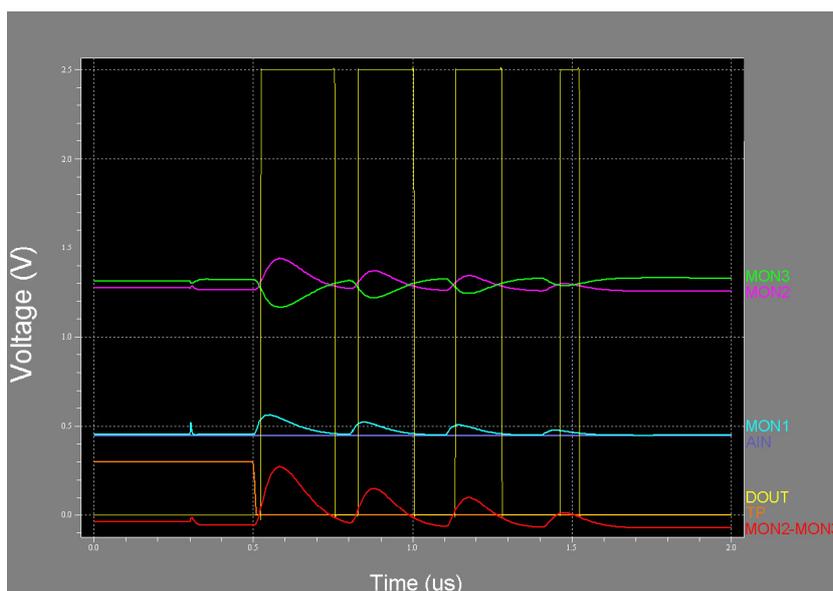


図 3.4: 時間分解能

差動増幅回路サブブロックからの出力信号 (MON2-MON3) のピーク値はそれぞれのパルスごとに 418.45 mV、293.53 mV、183.96 mV、76.93 mV となった。また、 $300\mu\text{s}$  での TPENB 信号印加の影響でノイズが生じているが、信号が入る十分に前に TPENB 信号を入力しておけばノイズが悪影響をもたらすことはない。

25000 電子相当の信号が入力した場合でも連続する信号が完全に分離されていることが分かる。3-D ピクセルセンサーからの典型的な信号スケールが 15000 電子相当だとすると、YH01 は十分な時間分解能を持つと言える。

次に、SKEW 条件を考慮したシミュレーション、温度条件を考慮したシミュレーションを行った。

- SKEW 条件

MOS は製造の過程でどうしても性能にばらつきが生じてしまう。MOS の性能ばらつきの中でも動作速度のばらつきは時間分解能に直接影響を及ぼすので、次のような MOS モデル (SKEW 条件) を使ってその影響をテストした (図 3.5 参照)。使用した MOS モデルは TSMC が提供しているものを使用した。

- TT : 典型的な NMOS と PMOS モデル。
- SS : 製造上考えられるばらつきの中で最低速度の NMOS と PMOS モデル。
- FF : 製造上考えられるばらつきの中で最高速度の NMOS と PMOS モデル。
- SF : 最低速度の NMOS と最高速度の PMOS モデル。
- FS : 最高速度の NMOS と最低速度の PMOS モデル。

SKEW 条件を考慮することで MON1(前置増幅器の出力)、MON2 と MON3(差動増幅回路の出力) のベースラインが変化していることが分かる。しかし、MON2 と MON3 は同方向の変化をしており、MON2-MON3(コンパレータに入る信号) への影響は小さく、コンパレータからの出力は分離されている。

したがって SKEW 条件を考慮しても、YH01 は十分な時間分解能を保持しつつ、アナログ信号をデジタル信号に変換できる回路であると言える。

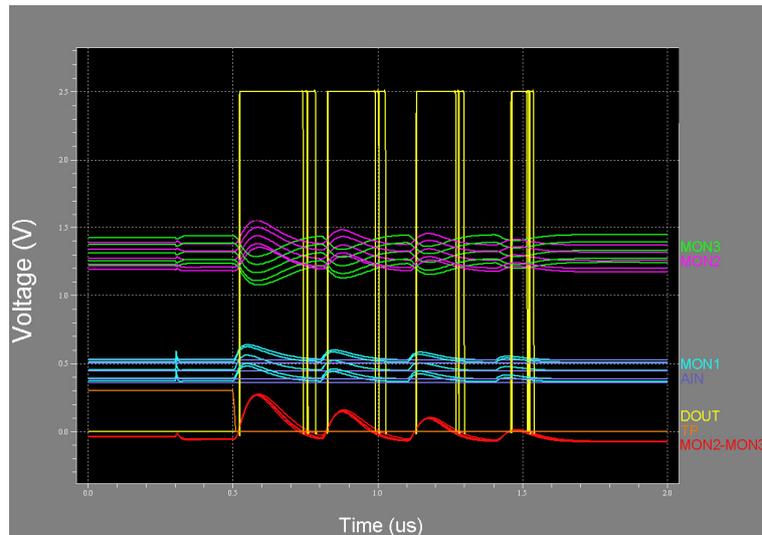


図 3.5: SKEW 条件

- 温度条件

CMOS は温度によって信号の電搬時間が長くなるので、温度が時間分解能にもたらす影響を確認した。ここでは TSMC から提供された -50、-25、0、25、50 における MOSFET モデルを使用して各温度での時間分解能をテストした。

MON1 へのベースラインの変化という影響はあるが、後段の回路への影響は少なく、コンパレータからの出力は分離されている。

したがって温度条件を考慮しても、YH01 は十分な時間分解能を保持しつつ、アナログ信号をデジタル信号に変換できる回路であると言える。

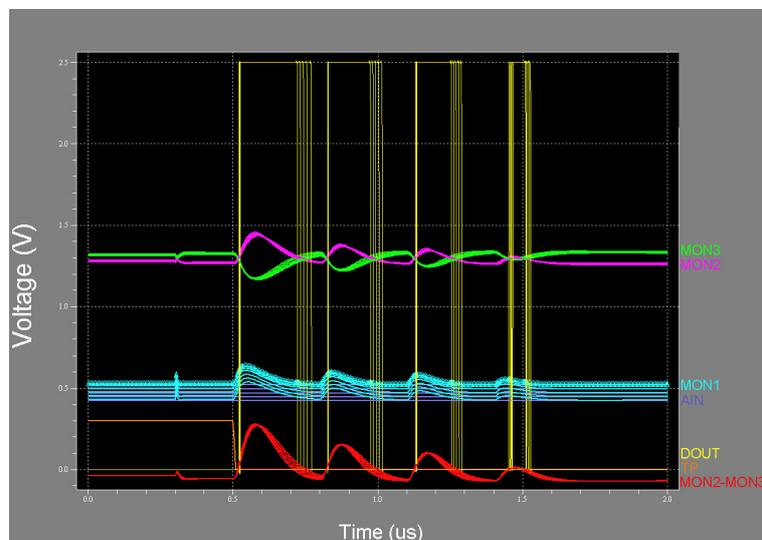


図 3.6: 温度条件

### 3.6 デジタル回路

YH01 のピクセル回路である CELLA に含まれる計数值読み出し回路は以下の回路から構成されている (図 3.7 参照)。

- グレイコードカウンタ回路
- 計数值を保持するレジスタ回路
- レジスタを選択するための制御回路

計数值読み出し回路は、コンパレータでデジタル化された信号をカウンタ回路によって計数する。その際、コンパレータの出力信号をグレイコードでカウントする。これは、カウンタを駆動するコンパレータ出力信号と、ラッチレジスタへの取り込みのタイミングが同期していないためである。すなわち、通常の 2 進コードを用いると、カウンタの桁上げのトランジエントとラッチのタイミングが競合した場合に大きな誤差が発生することがある。この点、グレイコードは 1bit ずつ変化するので、誤差は高々 1 カウントにおさめられる。

REGBNK4(レジスタ)の中には 8bit ラッチが 4 個入っているため、1 つの CELLA 中には 16 個の 8bit ラッチが存在する。したがって 4096(256×16) 個までの信号を保持できるので、最大 3333(ビーム継続時間:1ms/0.3us) 個の信号を余裕を持って計数することができるようになっている。

また、1ms の間に REGBNK4 に 8bit グレイコードカウンタ値を格納するわけであるが、1/16ms ごとに使用するラッチを振り分けることでビーム衝突の性状を時間領域において解析できるようになる。

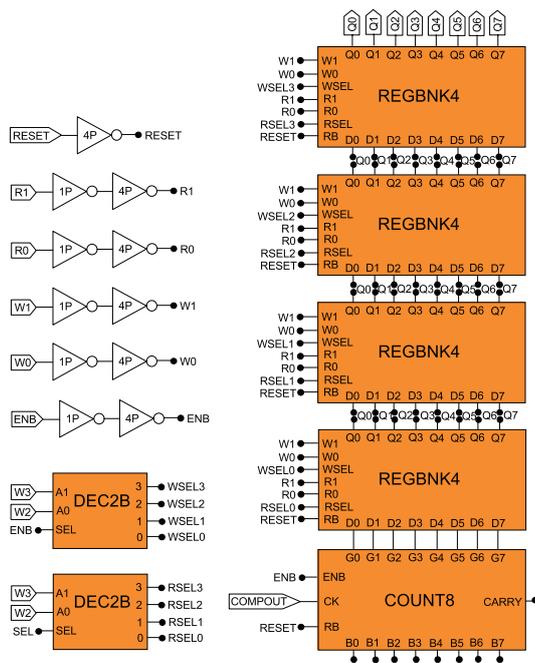


図 3.7: 計数值読み出し回路。

## 3.7 デジタル回路の設計

YH01 はアナログ・デジタル混載チップであり、しかもデジタル回路の規模が T-Spice でシミュレーションするには大きすぎるため、デジタル回路に関しては HDL(Hardware Description Language)<sup>4</sup>を用いたシミュレーションを行った。シミュレーションの目的はピクセル選択、カウンタの動作、計数値の書き込み、そして読み出しが正しく行われているかどうかを確認することである。

### 3.7.1 シミュレーションツール

VerilogHDL(Cadence 社が開発した HDL) で記述した動作・構造を用いて Verilog-XL (Cadence 社が開発した VerilogHDL 事実上の標準的プログラム) を用いてシミュレーションを行う。Verilog-XL には、VHDL で記述したモデルの入力も可能で、タイミング検証、故障診断シミュレーション、テスト生成などを行うツールが含まれている。

### 3.7.2 Verilog-XL シミュレーション

主なシミュレーション用セットアップを以下に挙げる。

1. ゲートに 1ns の遅延時間を与える<sup>5</sup>。
2. クロックを 100ns 周期でグレイコードカウンタ回路に入力する。
3. 2040 ~ 17060ns まで 1000ns 間隔で書き込むラッチを変えていく。
4. ある 1 つの CELLA を選択する。
5. 20060ns から読み出しを行う。
6.  $\{W0,W1,W2,W3,R0,R1,R2,R3\}$ <sup>6</sup>のいずれかが変化した時の値を出力する。

シミュレーション結果が表 3.4 である。青色がレジスタにラッチしたカウント値で、赤色が計数値読み出し回路からの出力値である。これより、17060 ns までに書き込まれた数値が順番、値とも正しく読み出されていることがわかる。

したがって、VerilogHDL によるシミュレーションではデジタル回路部が期待通りに動いていることが確認できた。

<sup>4</sup>HDL は電子回路やシステムの振る舞いを記述するためのプログラム言語である。

<sup>5</sup>ゲート遅延、配線遅延でなんらかの問題が生じないかをチェックする。

<sup>6</sup>これらの信号は書き込み・読み出し時に使用するラッチを選択する信号である。

表 3.4: 計数値読み出し回路のシミュレーション結果。GG(b) は計数値読み出し回路に書き込まれるグレイコードのバイナリー表示。QQ(b) は計数値読み出し回路からの出力のバイナリー表示。GG(h) と QQ(h) はそれぞれ GG(b) と QQ(b) の 16 進表示したもので、W と R はそれぞれ W0 ~ W3 と R0 ~ R3 を並べて表示したものである。

2040	GG(b)=00011110	QQ(b)=xxxxxxxx	GG(h)=1e	QQ(h)=xx	W=1000	R=0000
3040	GG(b)=00010001	QQ(b)=xxxxxxxx	GG(h)=11	QQ(h)=xx	W=0100	R=0000
4040	GG(b)=00111100	QQ(b)=xxxxxxxx	GG(h)=3c	QQ(h)=xx	W=1100	R=0000
5040	GG(b)=00101011	QQ(b)=xxxxxxxx	GG(h)=2b	QQ(h)=xx	W=0010	R=0000
6040	GG(b)=00100010	QQ(b)=xxxxxxxx	GG(h)=22	QQ(h)=xx	W=1010	R=0000
7040	GG(b)=01100101	QQ(b)=xxxxxxxx	GG(h)=65	QQ(h)=xx	W=0110	R=0000
8040	GG(b)=01111000	QQ(b)=xxxxxxxx	GG(h)=78	QQ(h)=xx	W=1110	R=0000
9040	GG(b)=01110111	QQ(b)=xxxxxxxx	GG(h)=77	QQ(h)=xx	W=0001	R=0000
10040	GG(b)=01010110	QQ(b)=xxxxxxxx	GG(h)=56	QQ(h)=xx	W=1001	R=0000
11040	GG(b)=01011001	QQ(b)=xxxxxxxx	GG(h)=59	QQ(h)=xx	W=0101	R=0000
12040	GG(b)=01000100	QQ(b)=xxxxxxxx	GG(h)=44	QQ(h)=xx	W=1101	R=0000
13040	GG(b)=11000011	QQ(b)=xxxxxxxx	GG(h)=c3	QQ(h)=xx	W=0011	R=0000
14040	GG(b)=11001010	QQ(b)=xxxxxxxx	GG(h)=ca	QQ(h)=xx	W=1011	R=0000
15040	GG(b)=11011101	QQ(b)=xxxxxxxx	GG(h)=dd	QQ(h)=xx	W=0111	R=0000
16040	GG(b)=11110000	QQ(b)=xxxxxxxx	GG(h)=f0	QQ(h)=xx	W=1111	R=0000
17060	GG(b)=11110001	QQ(b)=xxxxxxxx	GG(h)=f1	QQ(h)=xx	W=0000	R=0000
20060	GG(b)=11110001	QQ(b)=00011110	GG(h)=f1	QQ(h)=1e	W=0000	R=1000
21060	GG(b)=11110001	QQ(b)=00010001	GG(h)=f1	QQ(h)=11	W=0000	R=0100
22060	GG(b)=11110001	QQ(b)=00111100	GG(h)=f1	QQ(h)=3c	W=0000	R=1100
23060	GG(b)=11110001	QQ(b)=00101011	GG(h)=f1	QQ(h)=2b	W=0000	R=0010
24060	GG(b)=11110001	QQ(b)=00100010	GG(h)=f1	QQ(h)=22	W=0000	R=1010
25060	GG(b)=11110001	QQ(b)=01100101	GG(h)=f1	QQ(h)=65	W=0000	R=0110
26060	GG(b)=11110001	QQ(b)=01111000	GG(h)=f1	QQ(h)=78	W=0000	R=1110
27060	GG(b)=11110001	QQ(b)=01110111	GG(h)=f1	QQ(h)=77	W=0000	R=0001
28060	GG(b)=11110001	QQ(b)=01010110	GG(h)=f1	QQ(h)=56	W=0000	R=1001
29060	GG(b)=11110001	QQ(b)=01011001	GG(h)=f1	QQ(h)=59	W=0000	R=0101
30060	GG(b)=11110001	QQ(b)=01000100	GG(h)=f1	QQ(h)=44	W=0000	R=1101
31060	GG(b)=11110001	QQ(b)=11000011	GG(h)=f1	QQ(h)=c3	W=0000	R=0011
32060	GG(b)=11110001	QQ(b)=11001010	GG(h)=f1	QQ(h)=ca	W=0000	R=1011
33060	GG(b)=11110001	QQ(b)=11011101	GG(h)=f1	QQ(h)=dd	W=0000	R=0111
34060	GG(b)=11110001	QQ(b)=11110000	GG(h)=f1	QQ(h)=f0	W=0000	R=1111
35060	GG(b)=11110001	QQ(b)=11110001	GG(h)=f1	QQ(h)=f1	W=0000	R=0000

# 第4章 評価試験

## 4.1 評価準備

YH01 の評価試験は図 4.1 のフローチャートに則って行った。

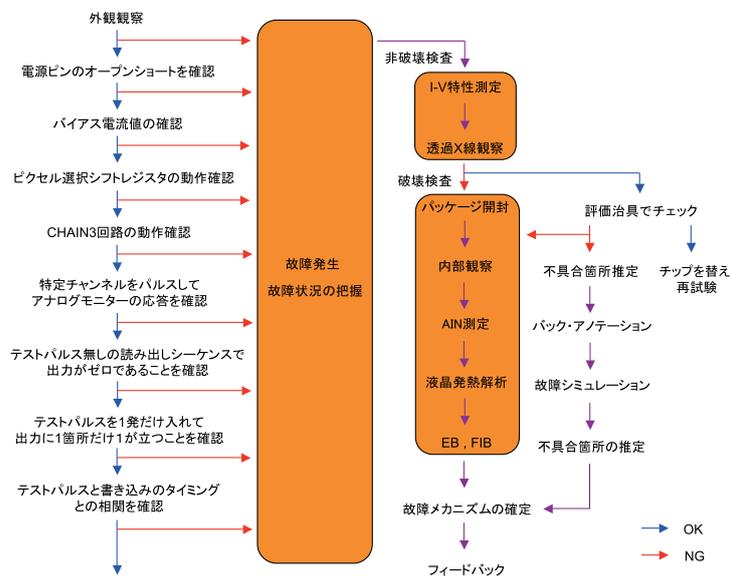


図 4.1: 評価試験フローチャート。



図 4.2: 評価試験用基板。

図 4.1 のフローチャートで言うところの『ピクセル選択シフトレジスタの動作確認』以降の評価試験のために、試験基板を作成した(図 4.2 参照)。基板作成に際し、回路図作成及び使用する素子の指定を行い、レイアウト及び実装製作は東北ミノグループに依頼した。基板作成にあたっては、以下のことに留意した。

- バイアス抵抗の交換が可能であること。
- すべての信号端子についてテストピンを用意する。
- ソケットと基板の接続部にはジャンパーピンを使用する。
- アナログ・デジタルのグラウンドは共通化しない(ジャンパーピンで接続可能)。
- TPDC0 と TPDC1(テストパルス用端子) は同軸用端子を用いる。
- 安定した電圧を電源確保のため、ブレードを使用する。
- 電源端子とグラウンド端子の近くに、パスコン(バイパスコンデンサ)を実装。

特にパスコンを用いると、IC の動作にともなって生じる過渡電流がコンデンサに蓄積された電荷によって供給されるため、過渡電流はパスコンを流れ、外部の電源ラインにはほとんど流出しなくなる。そのため、電流ループ面積の最小化による放射ノイズの抑制だけでなく、デジタル回路部から電源供給系に漏れだすノイズ電流を低減する効果がある(図 4.3 参照)。

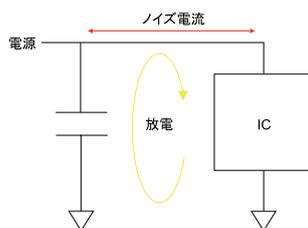


図 4.3: パスコンの配置。

今回の試験基板では、高周波をカットするためにセラミックコンデンサ  $0.1\mu\text{F}$ 、低周波用に電解コンデンサ  $10\mu\text{F}$  を用いている。これは、セラミックコンデンサが数百 kHz 程度までしかパスコンとして機能しなので、それ以下の周波数をカバーするためにはより大容量のものが必要だからである。

## 4.2 外観観察

デバイス評価はデバイスをよく観察することから始まる。外観の観察には光学顕微鏡(2~20倍)を用いた。特に封止樹脂の外観(変色、異物付着、クラック<sup>1</sup>)、リードの外観(変色<sup>2</sup>、ウイスカ<sup>3</sup>、折れ)に注目して観察する。

<sup>1</sup>封止樹脂のクラックとはひび割れのこと、外部湿気の侵入の原因となる。

<sup>2</sup>リードの変色は、加熱による酸化や硫化などによる変色・欠陥・不完全な前処理やメッキの欠陥などによって起こる。

<sup>3</sup>リードのウイスカとは金属めっき皮膜表面に発生したヒゲ状の結晶生成物である。



図 4.4: YH01

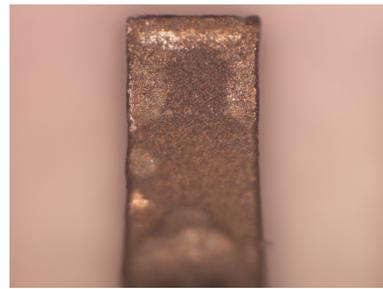


図 4.5: パッケージピン観察

### 4.3 オープンショートテスト



図 4.6: ピン配置。

表 4.1: 電源端子の名前と役割。

VDD	周回部とコア部にアナログ系統用 2.5V の電圧を印加する
VSS	周回部とチップコア部にアナログ系統用 0.0V の電圧を印加する
VDD0	周回部にデジタル系統用 2.5V の電圧を印加する
VSS0	周回部にデジタル系統用 0.0V の電圧を印加する
VDD1	コア部にデジタル系統用 2.5V の電圧を印加する
VSS1	コア部にデジタル系統用 0.0V の電圧を印可する

YH01 のピン配置は図 4.6 のようになっており、安定した電圧を供給するために同じ役割の電源端子を複数用意している。そこで、同じ電源端子は YH01 内部でショート、異なる電源端子の間はオープン状態のはずなので、それを確認した。

オープンショートを確認する電源端子の名前と役割は表 4.1 の通りである。これら

の端子間の抵抗値を DVM(Digital Volt Meter) を用いて測定した。

DVM を使用した結果、VSS0 と VSS 間を除く他の電源端子間はオープン状態であったが、VSS0 と VSS 間は 1.6 Ω となった。VSS と VSS0 間は LVS ではショートしていないので、deep N-well 間の抵抗値がどうなるかが問題である。また、抵抗として見るとすれば、VSS と VSS0 間は Back-to-Back ダイオード接続になっているので、漏れ電流を測定しなければならない。そこで Summit 9551U probe station と Agilent 4156c parametric analyser(図 4.7 参照) を用いて I-V 特性を測定し、漏れ電流かを判定した。I-V 特性は本当の抵抗であれば電圧と電流は線形関係になるが、ダイオードが見えているのであれば非線形となる。図 4.8 が比較のための VSS1 と VSS 間の I-V 特性、図 4.9 が問題の VSS0 と VSS 間の I-V 特性である。



図 4.7: I-V 特性測定環境。



図 4.8: VSS1 と VSS。

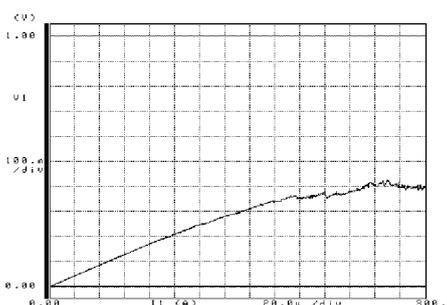


図 4.9: VSS0 と VSS。

測定の結果、どちらも非線形となりダイオードが見えていることが分かった。直接アルミ配線が短絡しているということではなかったため、VSS0 と VSS のショートが問題になることはない。

## 4.4 バイアス電流値テスト

YH01 には表 4.2 に挙げた 4 つのバイアス端子がある。バイアス電流値の中心設定は  $100\mu\text{A}$  であり、各バイアス電流はバイアス回路 (図 4.10 参照) によって調整される。バイアス端子に抵抗を介して  $2.5\text{V}$  を印加する。そのとき流れる電流値が  $100\mu\text{A}$  にな

表 4.2: バイアス端子の名前と役割。

GENREF	モニター、テストパルス系統及び LVDS レシーバ用
TMREF	DIFA(差動増幅器)、COMP0(コンパレータ) 用
FBREF	FB4(帰還回路) 用
PRREF	PrC2(前置増幅器) 用

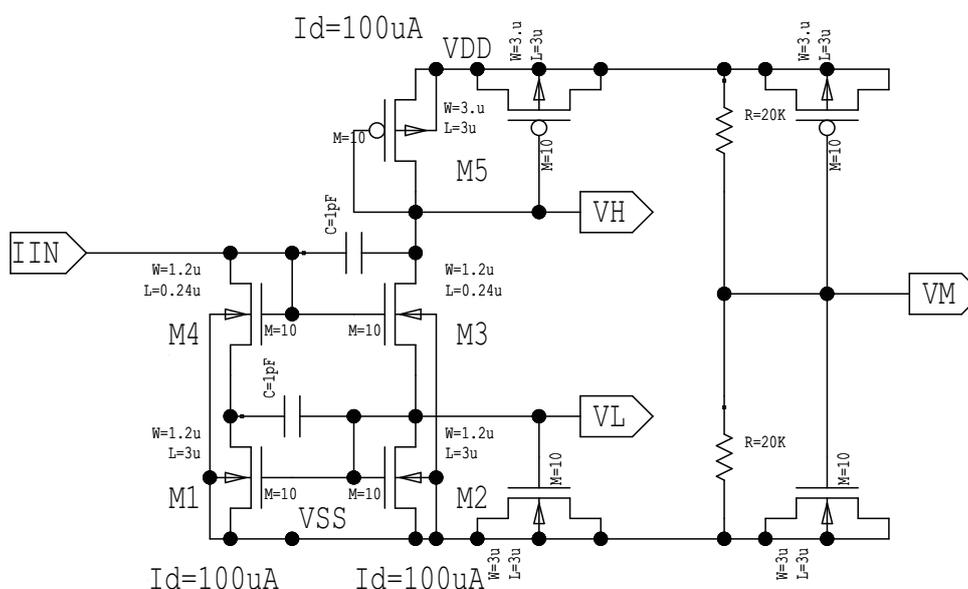


図 4.10: バイアス調整回路。

るように抵抗の両端の電圧降下を測定しながら抵抗を入れ替えていく。 $100\mu\text{A}$  流れるようになった時に用いた抵抗値とシミュレーションで求められた抵抗値を比較することで、バイアス回路が作動しているかどうかを判定する。

シミュレーションの結果は  $7\text{k}$ 、実際の YH01 では  $7.5\text{k}$  の抵抗を使用したときに  $100\mu\text{A}$  が流れた。シミュレーションとの違いは、実際の YH01 ではチップ内部の等価回路には記されていない寄生ダイオードなどが存在するため、等価回路だけに起因して電流が流れるとは限らないからである。したがってバイアス電流値テストの結果、バイアス回路が作動していると言うためには十分な値が得られたと言える。

## 4.5 ピクセル選択シフトレジスタの動作確認

YH01 は 36(6×6) 個のピクセル回路である CELLA がアレイ状に並ぶ構造をしており (図 3.2 参照)、1 つのピクセル回路を選択するためには X 方向、Y 方向のピクセル選択シフトレジスタを動作させなければならない。

XSEL シフトレジスタ (X 方向のピクセル選択シフトレジスタ) は CAPXY と CAPT で構成され、CELLA (ピクセル回路) の列を選択する機能を持つ (図 4.11 参照)。同様に、YSEL シフトレジスタ (Y 方向のピクセル選択シフトレジスタ) は CAPXY と CAPL で構成され、CELLA の行を選択する機能を持つ。

このピクセル選択シフトレジスタが正常に動作して CELLA を選択できないと、これ以降のアナログ回路の評価ができないため、少なくとも YH01 の評価試験にとっては重要な回路と言える。

このシフトレジスタを動作させるためにはデータ兼リセット信号になる XSEL 信号 (または YSEL 信号) と、クロックである XCK 信号 (または YSEL 信号) を用いる。また、このシフトレジスタからの出力は XSELP 信号である。

期待される動作を T-Spice でシミュレーションした結果が図 4.12 である。つまり、XSEL=High の時に XCK7 発目で XSELP が立ち上がる、XSEL の立ち下がりと同期して XSELP が立ち下がるという動作である。

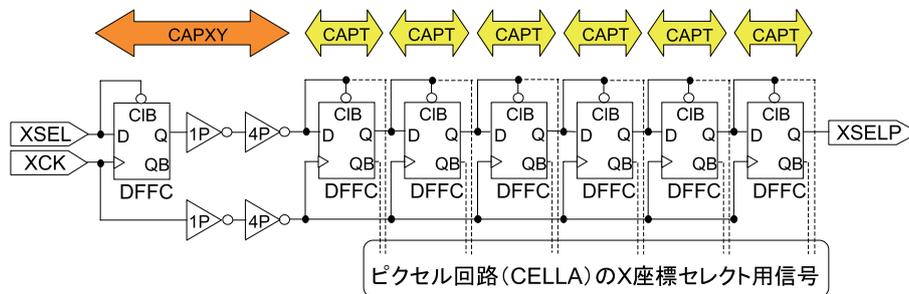


図 4.11: XSEL シフトレジスタ

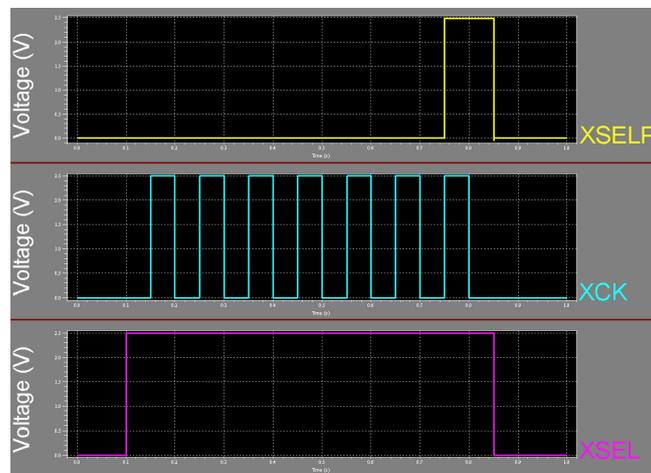


図 4.12: XSEL シフトレジスタに期待される動作。

以下に YH01 の XSEL シフトレジスタ機能テスト結果例を挙げる。YH01 にはファンクションジェネレータを使用して XSEL、XCK 信号を入力し、それらの入力信号と出力信号 XSELP をオシロスコープで測定した。

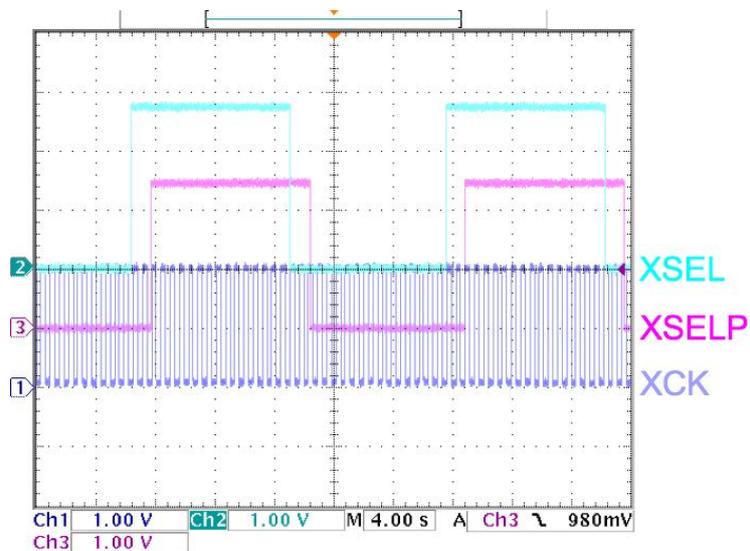


図 4.13: XCK7 発前に XSELP が立ち上がる。

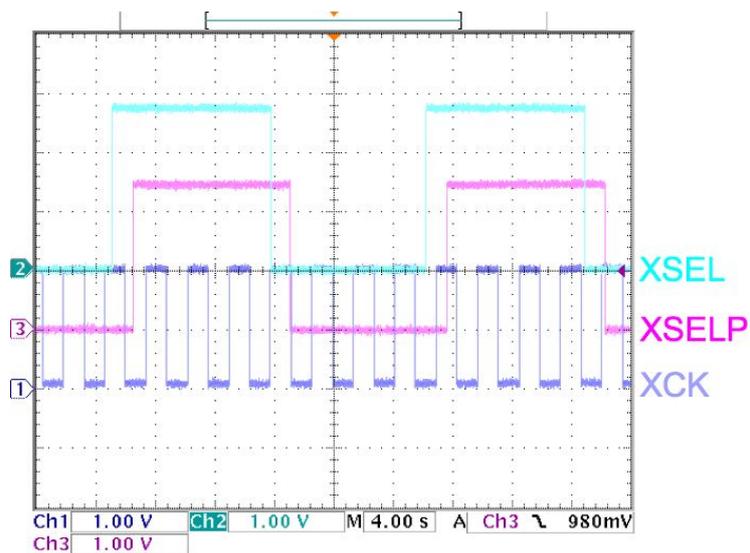


図 4.14: XSEL の立ち下がりでは XSELP が立ち下がらない。

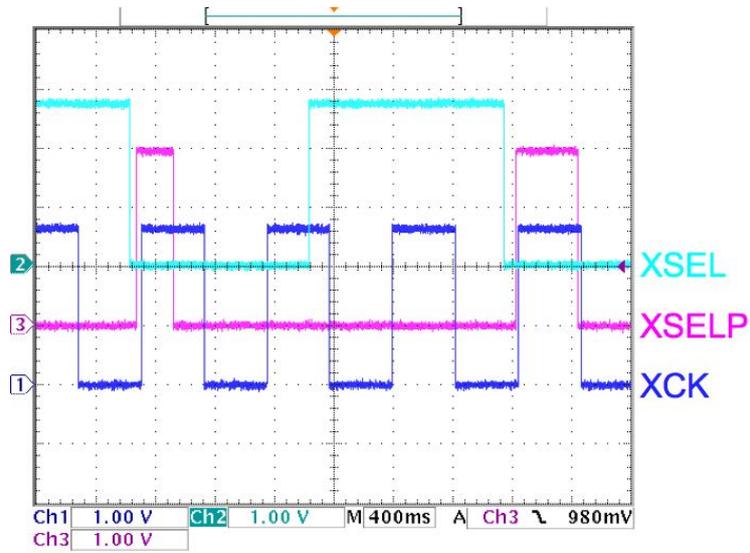


図 4.15: XSEL が Low でも XSELP は立ち上がる。

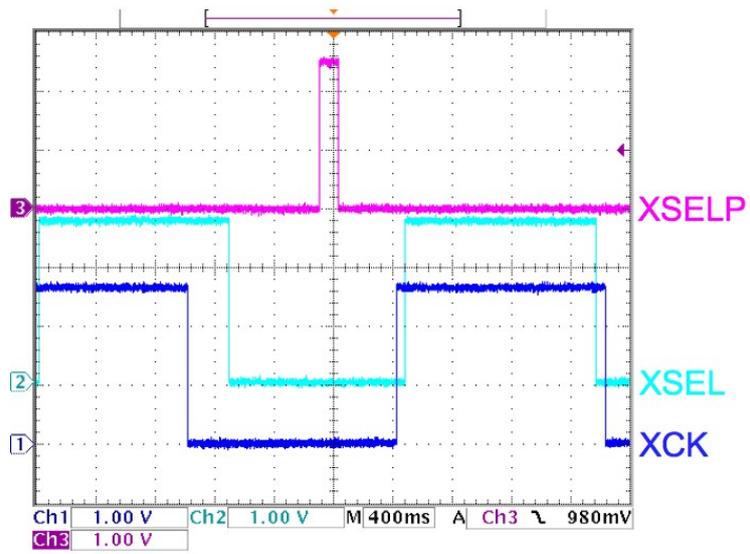


図 4.16: 入力信号に変化がないところでも XSELP は立ち上がる。

シフトレジスタの測定を通して、また、以上の測定結果例と期待される動作 (図 4.12 参照) を比較して、次のようなことが分かった。

- XSEL、XCK の周波数を数百 ms 程度にしないと反応しない。
- 動作には入力信号同士のタイミングが関係している。
- 7 発目ではなくても XSELP が立ち上がる。
- 立ち上がるタイミングが XCK と同期していない。
- XSELP の立ち下がりには XSEL の立ち下がりから約 1 秒後である。

これは全く予期していない動作であり、YH01 の動作不具合が発見できたことになる。この誤動作は YSEL シフトレジスタ及び試作した 40 個全てに共通するものである。ピクセル選択シフトレジスタでピクセルが選択されないことには以降のアナログ系統の評価ができないため、不具合原因の解明が急がれた。

ここまでの評価試験 (特に機能テスト) 内容を分析すると、アナログ系統には問題がなく、少なくともシフトレジスタが故障モジュールであると分かった。さらに周波数・時定数などのテスト条件によるフェイル状況から故障モードが機能テスト不良 (出力の論理が期待値と異なるなど) であることが分かる。

これらの情報は、以降の故障解析シミュレーションなどでチップ内部の I/O セル程度に故障位置を推定する上での重要な情報になり、故障箇所同定精度を向上させることに役立てられる。

## 第5章 故障解析

第4章での評価試験から故障モジュールがシフトレジスタで、故障モードが機能テスト不良(出力の論理が期待値と異なるなど)であることが分かった。

故障解析は、故障モードに最適な解析方法を通じて、故障に至ったメカニズムを明らかにし、設計・プロセスに対して迅速かつ正確なフィードバックを与えるために必要である。そのため、故障解析ではステップごとの因果関係を明確にしながら順次ステップを踏んでいくことが重要となる。

### 5.1 I-V 特性

電源を印可した状態で Agilent 4156c parametric analyser(図 4.7) を用いてバイアス端子(表 4.2 参照)に電流を流し、発生する電圧を測定する。その際、過剰な電流は回路を破壊する恐れがあるため、電圧値が 2.5V になった時にはそれ以上の電流が流れないように Constraint 設定をアクティブにしている。

I-V 特性をシミュレーションと比較することにより、少なくともバイアス回路にトランジスタが作られているかどうかを確認できる。図 5.1 が測定結果である。

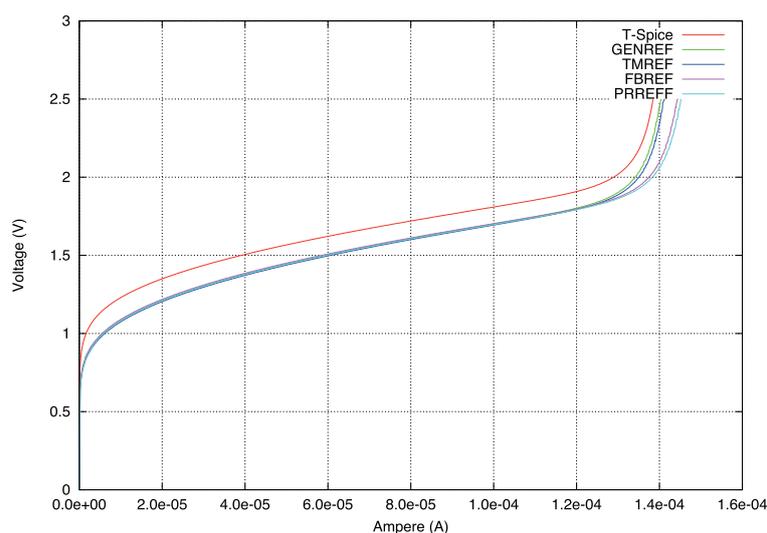


図 5.1: バイアス端子の I-V 特性。

ここで、T-Spice はシミュレーション値であり、シミュレーションには抽出ネットリストを使用しているため寄生容量を考慮した結果になっている。バイアス端子でもシミュレーションと同様のトランジスタ特性が出ていることが分かる。

## 5.2 透過 X 線観察

透過 X 線観察は、デバイスのパッケージを開封することなく非破壊で内部状態を観察できる方法である。また、樹脂開封作業の目安にもなるので下処理としても重要である。

X 線は材質、厚さにより透過度が違う。そのため、内部構造が X 線のコントラスト像として得られる。原子量の小さいアルミニウム (Al)、シリコン (Si) などは、透過度が大きく識別が困難だが、原子量の大きい金 (Au)、銅 (Cu)、はんだ (Sn、Pb) などは透過度が小さく状態を広く識別できる。

透過 X 線観察では、パッケージ内部の異物の有無、ボンディングワイヤの状態 (断線、ショート、ワイヤー流れ<sup>1</sup>、ループ異常) などパッケージ内部の状態が確認できる。透過 X 線観察は沖エンジニアリング社に依頼した。

試作した YH01 の 40 個にはナンバリングが施してある。その中の N0.28 の YH01 において不良ワイヤリングが観察された (図 5.4 参照) が、X 線観察を行ったその他の YH01 には異常は確認できなかった。

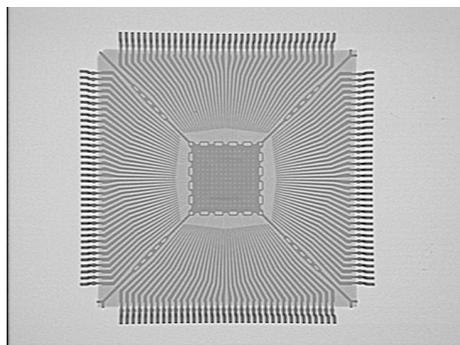


図 5.2: 全体観察例。

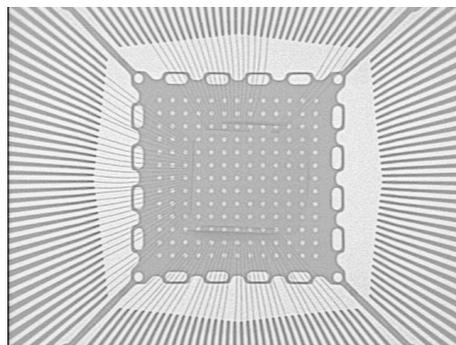


図 5.3: チップ周辺部観察例。

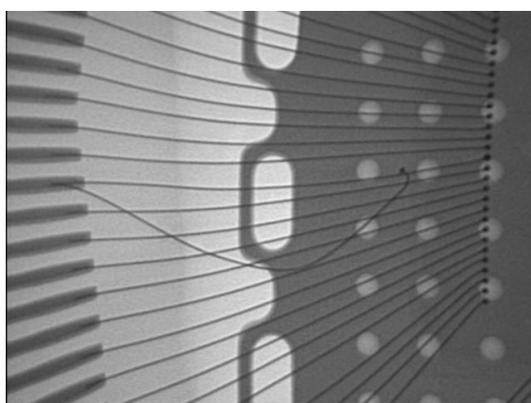


図 5.4: X 線観察で見つかった不良ワイヤリング

<sup>1</sup>ワイヤー流れとは、水平面におけるワイヤーの配置不良のことである。ワイヤー流れは、ワイヤーの接触の原因となるだけでなく、隣接するワイヤーのインダクタンスに影響を及ぼし、ノイズ発生の原因にもなる。

### 5.3 樹脂開封

開封の目的はチップ表面、ワイヤを損傷することなくチップ表面を露出することである。今回のような化学薬品における溶解は、チップ表面の異物が溶解によって除去される可能性もあるが、透過 X 線観察においてある程度ではあるが異物の有無は確認済みである。

YH01 のパッケージには i2a Technologies 社の MQFP を用いている。樹脂開封の際にはパッケージ仕様 (表 5.1 参照) に見合った開封方法を選択する必要がある。開封作業は沖エンジニアリング社に依頼した。

表 5.1: パッケージ仕様。

材質	エポキシ系樹脂
サイズ	28×28×3.4mm
リードカウント	144
リードピッチ	0.65mm

動作可能状態で開封し以後の観察と測定に便利な試料を作るため、以下の手順で開封した。

1. チップ上の樹脂をグラインダーやドリルなどで一部除去する。
2. パッケージ回りを耐酸テープで覆い、溶かしたい部分のテープをカットする。
3. 発煙硝酸 (70 ~ 80 ) に浸し樹脂を溶解する。
4. チップ表面が露出した段階で溶解作業を止める。
5. 有機溶剤液に入れて、超音波洗浄で仕上げる (図 5.5 参照)。

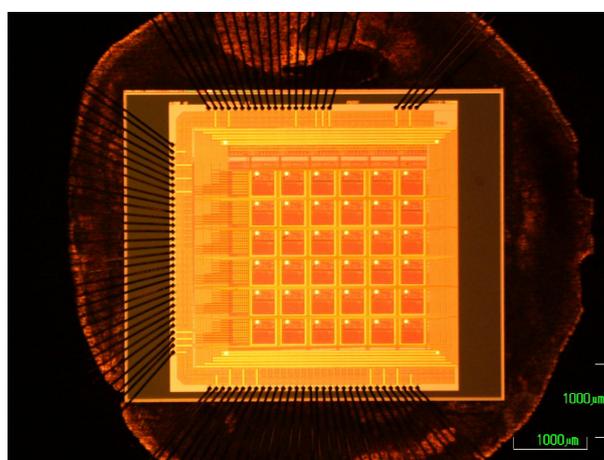


図 5.5: 樹脂開封した YH01。

## 5.4 内部観察

開封を行いチップ表面が露出したデバイスを光学顕微鏡<sup>2</sup>で観察する。内部観察で見つかる可能性がある異常には次のようなものがある。

- 異常付着
- パターン異常
- Al 配線の腐食<sup>3</sup>、断線、ショート
- パッシベーション膜のクラック
- 過電流や静電破壊による損傷
- ボンディングワイヤの異常の有無（図 5.6 参照）

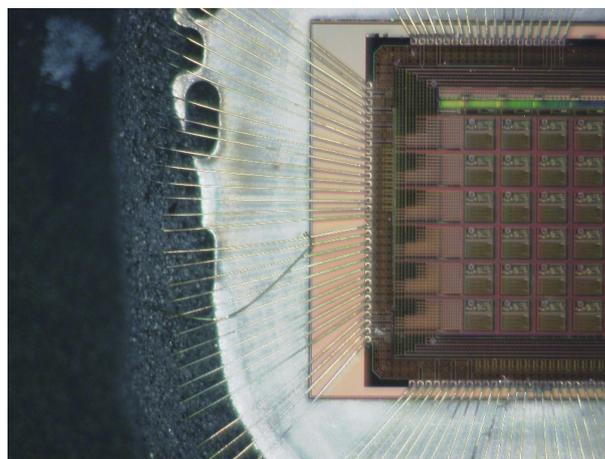


図 5.6: 光学顕微鏡による内部観察例。

図 5.6 が内部観察例であり、No.28 の不良ワイヤリングが見えている。チップ表面は酸化膜などの厚さが異なるため干渉により色づいて見えている。

内部観察の結果、No.28 を除いて樹脂開封を行った YH01 の中では、以上は観察されなかった。No.28 は X 線観察で異常ワイヤリングが見つかったが、故障解析のサンプルとして念のため樹脂開封も行った。

<sup>2</sup>光学顕微鏡は試料に垂直に光を入射し、試料表面から反射した光をレンズで拡大して観察するものである。特に、SEM では観測不可能なマクロな視野での観察（シミ状の汚染物など）に適している。

<sup>3</sup>配線の腐食が起こる事例としては、チップの保護膜であるパッシベーション膜の欠陥から水分などが侵入し、Al 配線が腐食することなどがあげられる。

## 5.5 AIN 測定

YH01 は 3-D ピクセルセンサーとバンプボンドするために、各 CELLA に AIN(8 角形のパッド) が設けられている (図 3.1 参照)。この AIN にはオフセット電圧がかかっており、AIN オフセット電圧を測定することで電源電圧がピクセル回路に印加されているかどうかを確認できる。

測定には Summit 9551U probe station(図 5.7 参照) と直径  $3\mu\text{m}$  のプローブ (図 5.8 参照) を使用した。

その測定結果と比較のためのシミュレーション値をそれぞれ図 5.9 と図 5.10 に示す。



図 5.7: プローブステーション。

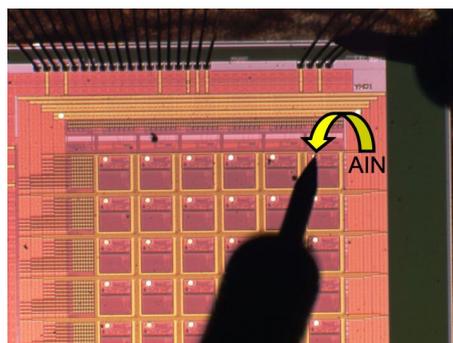


図 5.8: プローブの様子。

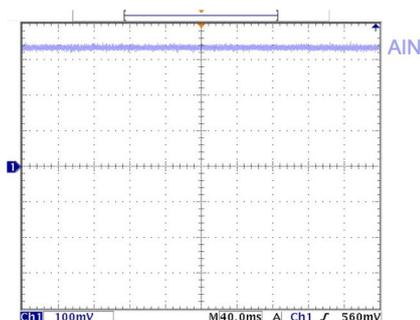


図 5.9: 実測値:340mV

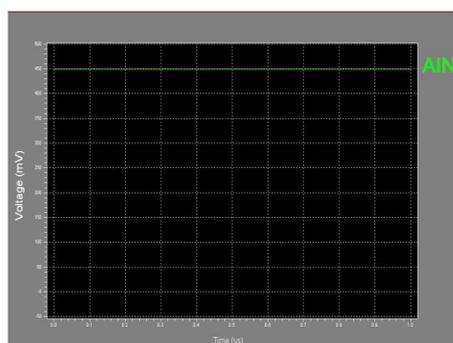


図 5.10: シミュレーション値:450mV

ここで、シミュレーション値と実測値の誤差には以下の要因が考えられる。

- SKEW パラメータ範囲でのばらつき。
- バイアス回路と CELLA でのトランジスタパラメータのランダムばらつき。
- シミュレーションモデルが CELLA1 つであること。

このため、実測値とシミュレーション値が正確に一致することはなかなかないと思われるが、CELLA に電源が通じていることは確認できた。

## 5.6 液晶発熱解析

液晶発熱解析は、表面では見えない下層の不具合推定に有効な解析方法である。特に今回の液晶発熱解析では、シフトレジスタがどの段階まで正常に動作しているのかを確認することが目的である。

液晶は、温度が上昇し相転移温度に達すると光学的性质が複屈折性から等方性に変化し(図 5.11 参照)、この変化は偏光顕微鏡により観察できる。

この性質を利用して、MOSFET のホットキャリア、またはリーク電流により局部的に発熱している箇所がホットスポット (黒点) として検出できる。

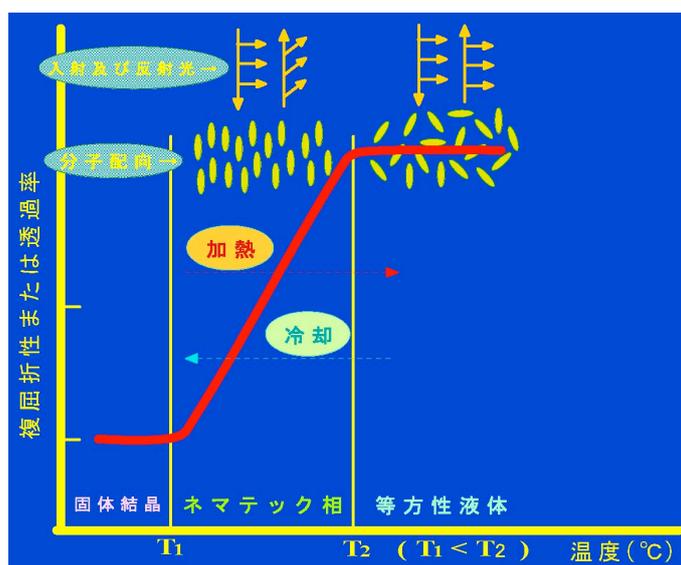


図 5.11: 熱光学効果

液晶発熱解析の際には適切なバイアス印可方法を指定した上で、解析作業は沖エンジニアリング社に依頼した。その解析手法を表 5.2 にまとめた。

表 5.2: 発熱解析の手法。

検出感度	0.5mW $\leq$
空間分解能	1 $\mu$ m
解析装置名称	光学偏光顕微鏡 Nematic 系液晶 メトキシ・ベンジリデン・ブチルアリニン
現象検出要因	酸化膜破壊 MOSFET のホットキャリア ショート、リーク電流
欠点	極微小リーク電流 温度コントロール 環境温度依存性

液晶発熱解析の手順を以下に挙げる。

1. 液晶を樹脂開封した YH01 に塗布する。
2. 温度制御されたヒーターに載せる。
3. 液晶の相転移温度 (約 30 ~ 40 ) の直前まで加熱する。
4. その状態のまま熱平衡を維持させる。
5. シフトレジスタ動作用信号 (4.12) を入力する。
6. 偏光顕微鏡で状態を観察する。

シフトレジスタの動作用信号を周期的に入力することで、発熱を一種の点滅状態として可視化させることができる。つまり、故障箇所の識別性が容易になるとともに、検出感度を高めることができる。図 5.12 が液晶発熱解析で液晶を塗布した状態である。



図 5.12: 液晶塗布後。

液晶発熱解析の結果、YH01 にホットスポット (黒点) は観測されなかった。これは発熱量が十分ではない、あるいはシフトレジスタが初段から動作していない、という可能性が考えられる。

## 5.7 バック・アノテーション

レイアウト設計<sup>4</sup>の手順を以下に挙げる。

<sup>4</sup>レイアウト設計は、詳細論理設計によってできあがったネットリストを LSI の製造で使用するマスクパターンに置き換える作業である。マスクパターンは物理的なデバイス (トランジスタなど) の構造に対応する。

1. 設計ルールに従って、ネットリストからレイアウトを作る。
2. DRC(Design Rule Check)<sup>5</sup>を実行する。
3. LVS(Layout Versus Schematic)<sup>6</sup>を実行する。
4. 以上の手順を各ブロック及びチップ全体に対して適用する。
5. 最終的に LSI を製造するためのマスクデータを GDS ファイルとして出力する。

YH01 は DRC、LVS のチェックを通過していたので、レイアウトには問題がないはずである。しかし、レイアウトには載っていない寄生容量が現実の回路には必ず生じてしまう。そこで、レイアウト情報から寄生容量の値を抽出することにした。この値を回路情報にフィードバックしてタイミング解析を行い、回路の動作に悪影響を及ぼしていないかどうかを検証する。この処理をバック・アノテーションと呼ぶ。

抽出に使用したツールはメンター社の Calibre xRC である。LPE ルールファイル<sup>7</sup>を元にレイアウトから抽出したメタルラインに対して、距離と間隔を計算して配線抵抗と寄生容量をネットリスト<sup>8</sup>に反映させて出力した。このネットリスト抽出作業は、デジアンテクノロジー社に依頼した。

この抽出したネットリストでシフトレジスタの動作をシミュレーションした結果が図 5.14 である。比較のために元のネットリストでのシミュレーション結果を図 5.13 に示す。

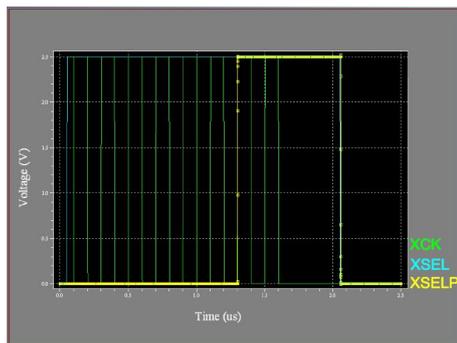


図 5.13: 元ネットリスト

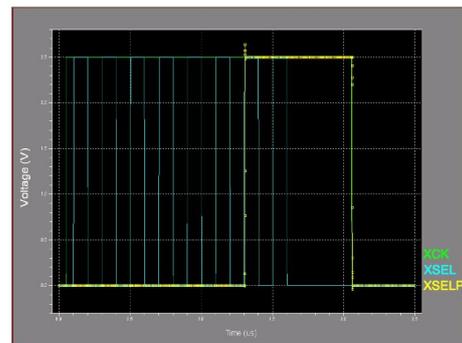


図 5.14: 抽出ネットリスト

バック・アノテーションの結果、寄生容量を考慮しても YH01 のシフトレジスタには正常な動作が期待されることが分かった。

<sup>5</sup>作成したレイアウトが設計ルールを満たしているかを検証するためのソフトウェア。DRC は配線の幅やその間隔が規定の寸法であるか、トランジスタなどの素子が規定の形状であるかのチェックを行う。

<sup>6</sup>作成したレイアウトがネットリストと同じ接続関係を実現しているかどうかを検証するためのソフトウェア。

<sup>7</sup>半導体メーカーが指定したプロセスの縦構造 (各メタルやゲートの厚みや、その間隔)、メタル配線抵抗値、各層の寄生容量 (配線の上下左右に他のメタルがあった場合の距離対寄生容量) などが記載されている。

<sup>8</sup>ネットリストとは、回路の接続状態について表現するための情報のことである。

## 5.8 故障シミュレーション

寄生容量が含まれている抽出ネットリストでシミュレーションし、YH01の誤動作を再現することを目指す。もし特定の条件下で誤動作が再現できれば、不具合原因箇所を推定することができる。故障シミュレーションをする上で考慮したのは以下の状況である。

- 1秒程度の時定数の存在。
- 40個試作したYH01全てに共通した誤動作であること。
- 少なくともXSEL、XCK、YSEL及びYCKというデジタル入力信号に関係した誤動作であること。

これらから、デジタル入力信号に関して予期していない高抵抗が発生しているのではないか、という推測を立てた。

一方、全てのデジタル入力端子には静電破壊<sup>9</sup>保護のために入力保護回路(図5.15参照)が入っており、信号はまずこの回路に含まれる入力抵抗を通過することが分かっている。

そこで高抵抗の存在という推測を検証するために、入力保護回路に含まれる抵抗値を様々な値に変えて誤動作の再現を目指すシミュレーションを行った。その結果が図5.17である。

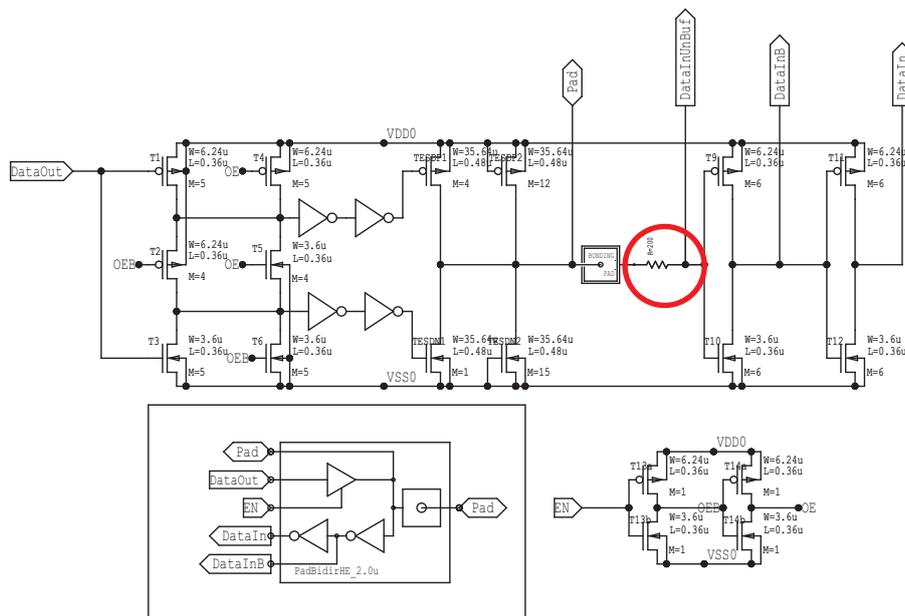


図 5.15: 入力保護回路。設計上の抵抗値は 200 Ω である。  
この値を様々な値に変えてシミュレーションを行う。

<sup>9</sup>MOSのゲート酸化膜は非常に薄いため、絶縁耐量は小さくなる。人体、あるいは検査装置からでる異常パルスがデバイスの対静電エネルギーを上回ることにより破壊に至ることがある。現象として、入力電流の増加、 $V_{th}$ の変化、リーク電流の増加、耐圧劣化、雑音の増加などが生じる。

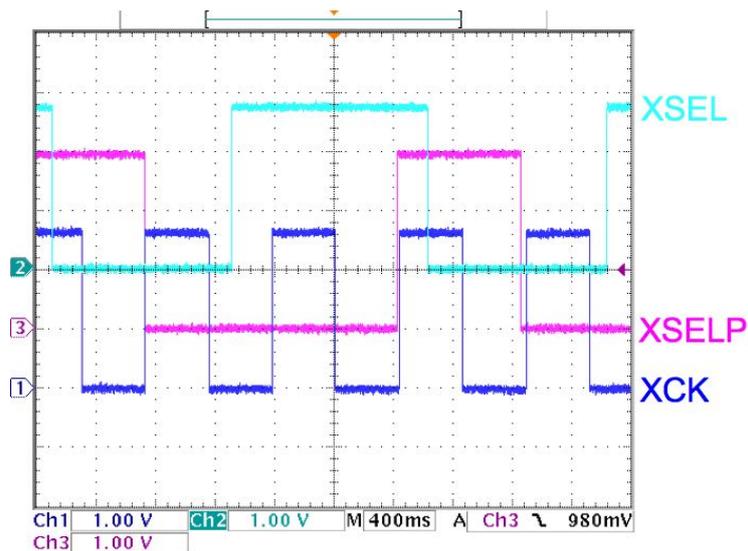


図 5.16: YH01 の誤動作例。

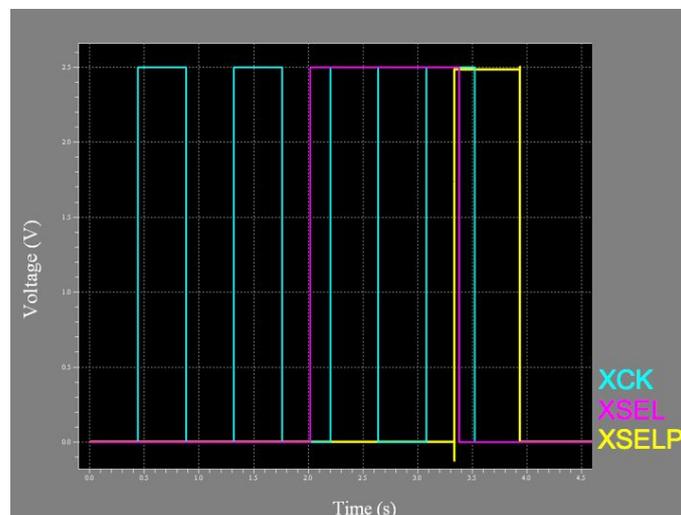


図 5.17: 誤動作再現シミュレーション。

図 5.17 のシミュレーションでは YH01 の誤動作例である図 5.16 の時の入力信号を参考に行っている。また、抵抗値は設計上  $200 \text{ }^{10}$  のところ、 $10^{10}$  としてシミュレーションを行った。

誤動作再現シミュレーションの結果、クロック信号である XCK に出力信号 XSELP が同期しない、リセット信号である XSEL が立ち下がってから 1s 程して XSELP が立ち下がる、という誤動作がある程度再現できていることが分かる。

したがって、不具合の原因となっている故障箇所は入力保護回路に含まれる入力抵抗だと推定できる。

<sup>10</sup>抵抗値は、LVS でレイアウト誤差 0.01 % 以内に入っているため、回路図上の  $200 \text{ }^{10}$  とほぼ同じ値になっているはずである。

## 5.9 EB・FIBテストシステム

### 5.9.1 EBテスト原理

EB(Electron Beam) テスタ解析は、SEM<sup>11</sup>内で半導体デバイスを LSI テスタで動作させながらデバイス表面に約  $0.1\mu\text{m}$  径の電子ビームを照射し、非接触でチップ内部の配線における電位分布や電圧波形を測定する解析方法である (図 5.18 参照)。

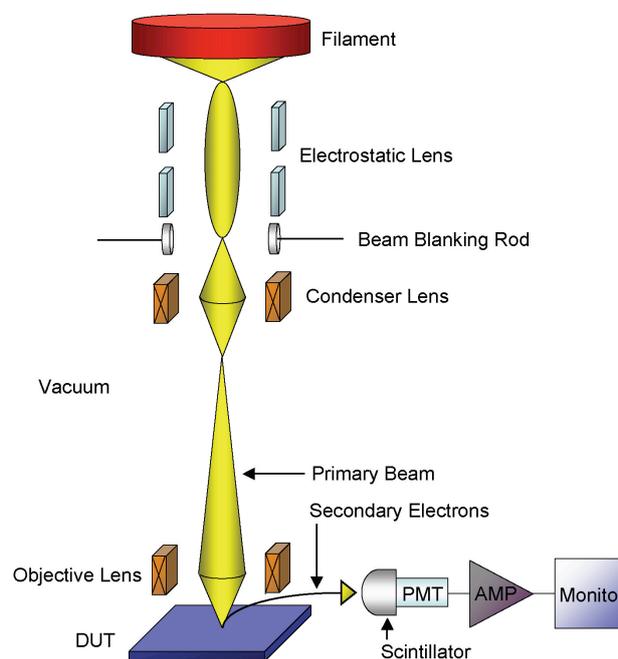


図 5.18: EB テスタの仕組み。

EB テスタ解析には以下の 2 つの観察モードがある。

- 像モード

LSI 内を伝搬している電気信号は正確な周期信号であるから、一周期ごとに同じ電気信号が繰り返される。電子ビームパルス照射する位相を固定して、Objective Lens を変化させ、電子ビームを 2 次元的に走査させると、その位相における配線の 2 次元的電圧分布をコントラスト<sup>12</sup>として観察することができる (図 5.22 参照)。

- 波形モード

パルス化した電子ビームを配線上に照射し、走査コイルに流す電流を固定して偏光信号の位相を変化させることで、LSI 上の一点の電圧の時間的変化 (波形) を観察することができる [25]。

<sup>11</sup>SEM(Scanning Electron Microscope) は数十 keV の電子線を試料に入射し、試料から放出される二次電子の数を検出して輝度変換して画像化する電子顕微鏡。光学顕微鏡に比べて焦点深度が深い。

<sup>12</sup>電子ビームをチップ表面に照射すると、マイナス電位の配線からエネルギーの高い二次電子が、プラス電位からエネルギーの低い二次電子が発生し、エネルギー分析するとマイナス電位からの二次電子がプラス電位より多く検出されるため、コントラスト差が生じ配線上の電位分布を知ることができる。

## 5.9.2 EBプローバ

測定は大阪大学 VDEC サブセンターで装置を借りて行った。使用した装置を以下に挙げる (図 5.20 と図 5.21 参照)。

- EB テスタ : クリーデンス・システムズ (旧シュルンベルジェ社) の IDS5000ZX
- LSI テスタ : アジレントテクノロジー社 (旧 HP 社) の HP83000

また、測定に際し図 5.19 のような基板を作成した。この基板は以下の基板 3 段重ねで構成されている。

- ピッチ変換基板 (0.5mm から 2.54mm ピッチへ変換)
- VDEC 標準ユニバーサル基板
- DUT(Device Under Test) 基板

基板作成の際には、ワーキングディスタンスが長すぎると EB テスタの分解能が低下するため、基板全体の高さが 2~3cm 以内に収まるように留意した。また、ノイズ対策として 0.1 $\mu$ F のパスコンを使用した。



図 5.19: 基板 3 段重ね。



図 5.20: 測定装置。



図 5.21: ドッキングした状態。

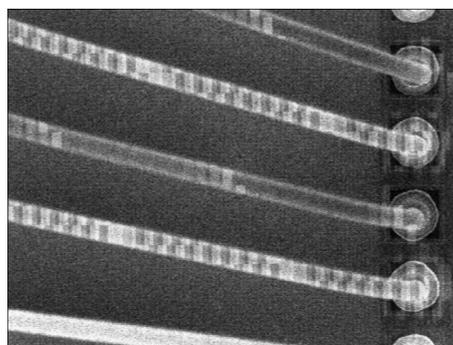


図 5.22: 黒 : 高電位、白 : 低電位

### 5.9.3 チャージアップ

試料に電子線を照射すると、入射電子は2次電子、反射電子として放出されるか、試料に吸収されるかするが、試料に導電性がないとチャージ・アップ(帯電)を起こす。そして、試料の表面が帯電すると、試料の形態には依存しない異常なコントラストが現れたり、観察視野がシフトしてしまうような現象が起こり、SEM像の質が低下することになる(図5.23と図5.24参照)。

このようなチャージ・アップを防止するための手法として、デバイスの入っているチャンパー内を $10^{-6}$ hPa程度の真空にし、かつ電子ビームエネルギーを5~10keV程度に抑えて測定を行った。

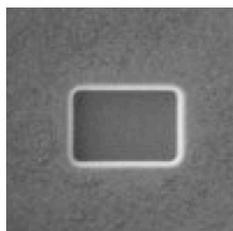


図 5.23: チャージアップ。

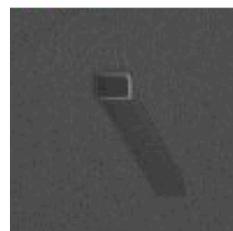


図 5.24: シフト現象。

### 5.9.4 FIB 加工装置

FIB(Focused Ion Beam) 加工装置(図5.20参照)は、以下の機能を持つ。

- 微細加工機能

ガリウム(Ga)液体金属イオン源に電界をかけ、引き出されたガリウムイオンビーム( $\text{Ga}^+$ )を静電レンズによって $0.1\mu\text{m}$ 程度に集束させる。集束させたイオンビームを試料に照射することによって微細加工を行う。微細加工は、イオンスパッタの原理<sup>13</sup>によって行われる。

- SIM(Scanning Ion Microscope) 機能

FIB加工装置はイオンを照射することにより試料から発生した2次電子を検出し、2次電子像が得られる。

ただし、FIB加工装置はガリウムなどのイオンをLSIに照射するので、電子を照射するEBテストと比べて試料にダメージを与えてしまうという欠点を持っている。

- 蒸着機能

ガリウムイオンビームと反応性のガス状金属化合物を同時に照射することにより、金属膜ならびに絶縁膜の蒸着が行える。

<sup>13</sup>イオンが固体表面に当たると、固体原子との弾性衝突によって固体原子に運動エネルギーを与える。運動エネルギーを得た固体原子が、さらに他の固体原子と衝突を繰り返すと、表面方向の運動エネルギーをもつ固体原子ができる。その中には固体表面の障壁を乗り越えて表面から飛び出す原子が存在する。このように固体表面へのイオン入射によって表面から固体原子が飛び出す現象をスパッタリング(sputtering)と呼ぶ[26]。

FIB 加工装置も EB テスタと同様に、大阪大学 VDEC サブセンターで装置を借りて行った。使用した装置はクリーデンスシステムズ社の IDS-P3XA であり、その仕様を表 5.3 にまとめた。

表 5.3: FIB 装置の仕様。

イオン源	ガリウム液体金属
ガリウムイオンビーム径	約 $0.1\mu\text{m}$
イオンエネルギー	5 ~ 30keV
エッチング精度	約 $0.1\mu\text{m}$
デポジション	Pt 化合物
インシュレータ	$\text{SiO}_2$

## 5.10 FIB 加工を用いた EB テスタ解析

故障シミュレーション (5.8 節) により、不具合原因が静電破壊保護のための入力保護回路に含まれる、入力抵抗の高抵抗値だと推定できた。

この入力抵抗は P<sub>+</sub>Poly 抵抗であり、デジタル I/O でしか使用されていない抵抗である。この抵抗は Poly の下地に PIMP が入り、上にはサリサイドブロック層<sup>14</sup>が入っている。入力 Poly 抵抗周辺で用いられているレイヤーを以下に示す。



図 5.25: P\_PLUS\_SELECT。

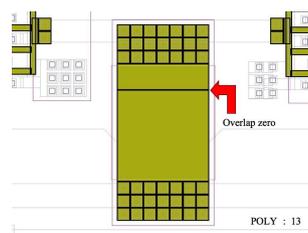


図 5.26: POLY。

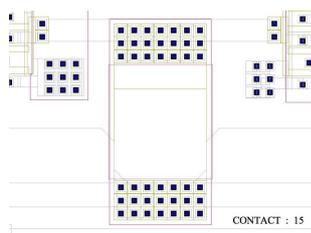


図 5.27: CONTACT。

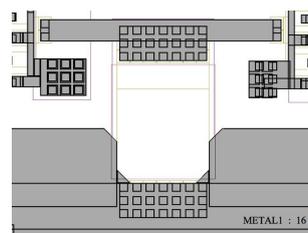


図 5.28: METAL1。

<sup>14</sup>ゲート POLY では抵抗値を下げるためシリサイド化しているが、これをブロックする事で POLY の抵抗値が上がり、抵抗素子として使用できる。

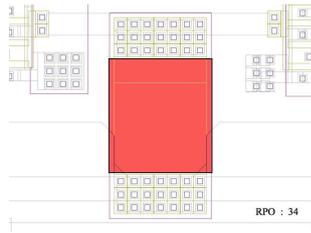


図 5.29: PRO。

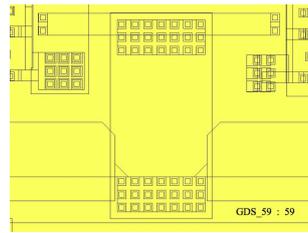


図 5.30: GDS\_59。

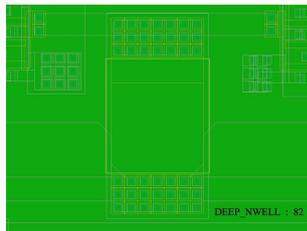


図 5.31: DEEP\_NWELL。

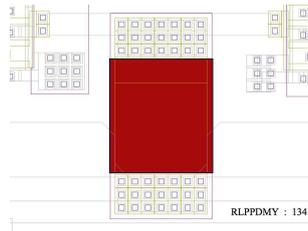


図 5.32: RLPPDMY。

入力 Poly 抵抗が不具合原因であるという推定を検証するために、LSI テスタで YH01 を動作させながら、EB テスタで入力抵抗前後における入力信号の状態を測定する。その際、上に示した各レイヤーを参考にして電子画像と比較しながら入力 Poly 抵抗の位置を特定する。

図 5.33 は入力 Poly 抵抗周辺のレイアウトであり、PAD からの信号 (XSEL) はまず入力 Poly 抵抗を通り (Poly\_out)、インバータで反転された信号 (INV1\_out) となる。さらにインバータで反転され (INV2\_out) バッファされた後、CAPXY へと信号が入る。

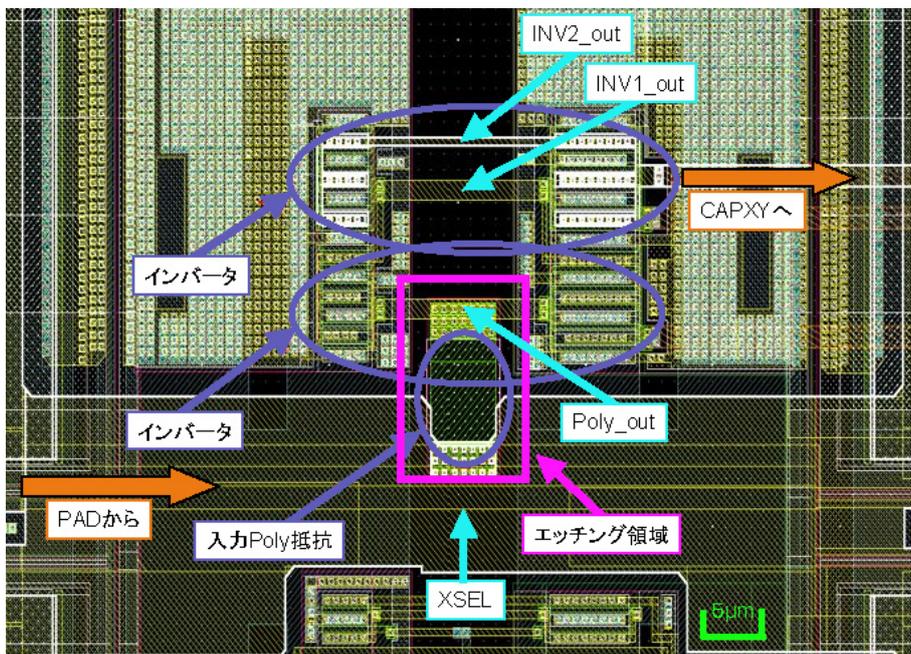


図 5.33: 入力 Poly 抵抗周辺のレイアウト。

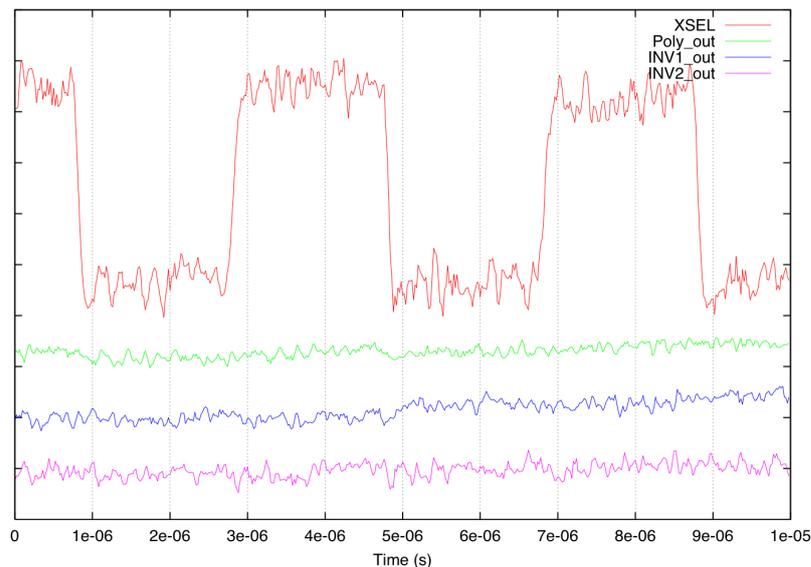


図 5.34: EB テスト結果。

EB テスタでの測定結果が図 5.34 である。PAD からの信号である XSEL では信号が見えているが、入力 Poly 抵抗後の信号である Poly\_out では信号が見えない。つまり、入力 Poly 抵抗後に信号が伝わっていないことが分かる。

この時点で少なくとも入力 Poly 抵抗が不具合原因箇所だと特定できたが、その他にも不具合原因が存在する可能性がある。そのため同箇所を FIB 加工装置を使い、入力 Poly 抵抗両端をショートさせ<sup>15</sup>、不具合原因箇所が入力 Poly 抵抗だけなのかどうかを確認した。以下に FIB 加工手順を挙げる。

1. METAL1 の配線が露出する程度にエッチングをする (図 5.33 と図 5.35 参照)。
2. VDD 層、VSS 層とのショート箇所を  $1\mu\text{m}$  以下に絞ったビームで修正する。
3. エッチング領域全面に絶縁膜を堆積させる (図 5.36 参照)。
4.  $1\mu\text{m}\times 1\mu\text{m}$  に絞ったビームで抵抗両端の配線の一部だけをエッチング。
5. 金属膜を堆積させて、4 でエッチングされた箇所をショートさせる (図 5.37 参照)。
6. 広範囲に低エネルギービームを照射させて飛び散った金属をクリーニングする。
7. 作業箇所全面に絶縁膜を広く堆積させて保護する。

<sup>15</sup>入力 Poly 抵抗は静電破壊保護のための抵抗であるので、YH01 の取り扱いを慎重にすればショートさせても問題はないと思われる。

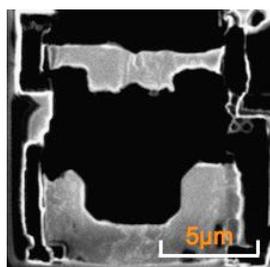


図 5.35: エッチング。

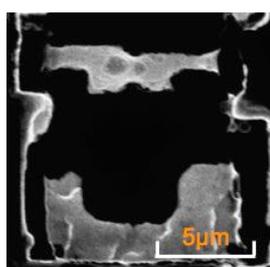


図 5.36: 絶縁膜堆積。

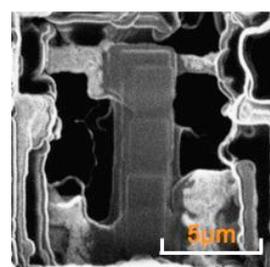


図 5.37: 金属堆積。

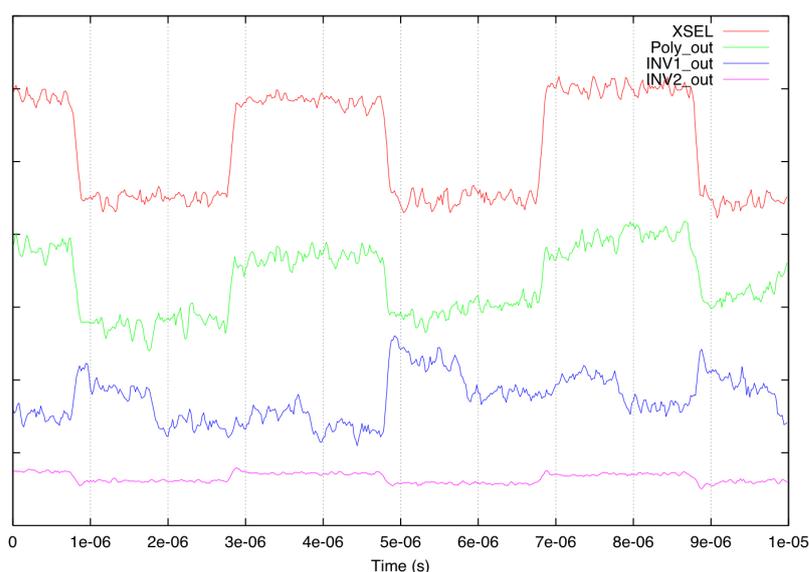


図 5.38: FIB 加工後の EB テスト結果。

図 5.38 は FIB 加工装置によるショート加工の後に EB テスタを行った結果である。入力 Poly 抵抗後にも信号が伝わっていることが分かる。また、INV1\_out と INV2\_out で信号が反転している様子が確認でき、インバータが動作していることが分かる。ここで、INV1\_out や INV2\_out は信号強度が弱く測定されているが、絶縁膜の厚さが各測定ポイントで異なるため、各 EB テスタ波形における絶対値は意味をなさず、波形同士のタイミングが重要である。

EB テストの結果、各信号間の正常な立ち上がり、立ち下がりの同期が確認できたので、入力 Poly 抵抗周辺の回路には不具合原因箇所が入力 Poly 抵抗以外他にはないと断定できる。次に、ピクセル選択シフトレジスタ全体を通して不具合原因箇所が入力 Poly 抵抗だけかどうかを確認するために、同様の FIB 加工装置によるショート加工を XCK、YSEL、YCK の入力保護回路にも施した。これにより XSEL シフトレジスタ、YSEL シフトレジスタにおいて少なくとも CAPXY までは信号が入り、CAPXY 以降の不具合箇所の有無を確認できる。

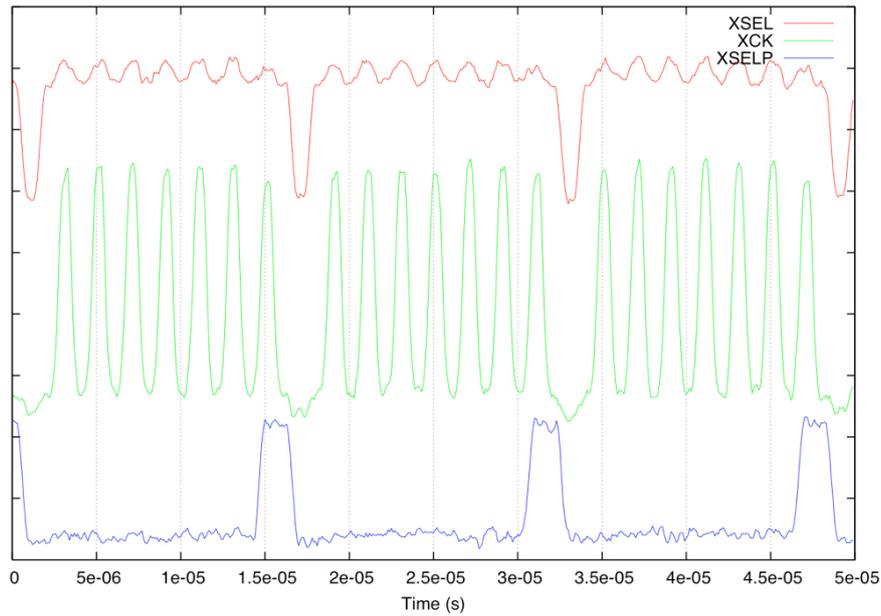


図 5.39: FIB 加工後の XSEL シフトレジスタ。

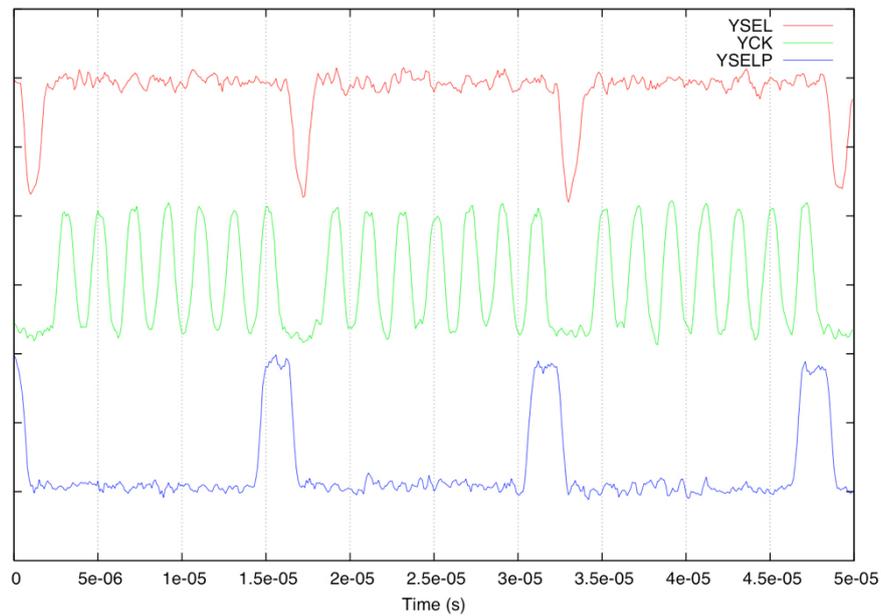


図 5.40: FIB 加工後の YSEL シフトレジスタ。

図 5.39 と図 5.40 が FIB 加工後のピクセル選択シフトレジスタの EB 測定結果である。XSEL 信号が High の時にクロックである XCK 信号 7 発目で出力信号 XSELP が立ち上がり、リセット信号でもある XSEL の立ち下がり で XSELP が立ち下がっている ので、期待される動作をしていることが確認できた。

以上の結果から YH01 に発生した誤動作の原因が入力保護回路に含まれる入力 Poly 抵抗であると確定できた。

## 第6章 フィードバック

### 6.1 入力保護回路修正

故障解析により、YH01における不具合原因箇所が保護回路に含まれる入力 Poly 抵抗だと確定できた。そこで再試作のために問題の箇所を修正する必要がある。

問題の入力 Poly 抵抗は全てのデジタル I/O に使われており、その全ての入力 Poly 抵抗を図 6.1 と図 6.2 のようにショートさせる回路修正を行った。

図 6.1 の PDTHR は LVDS 信号の入力保護回路であり、図 6.2 の Pad\_BidirHE\_0.25u 回路はシングルエンド信号の入力保護回路である。

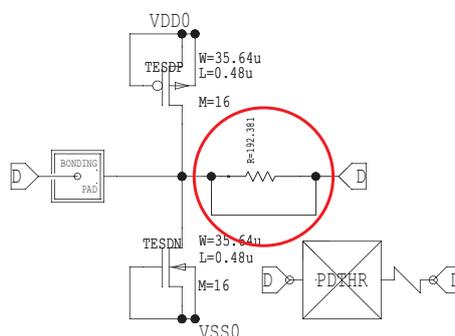


図 6.1: 修正後の PDTHR 回路。

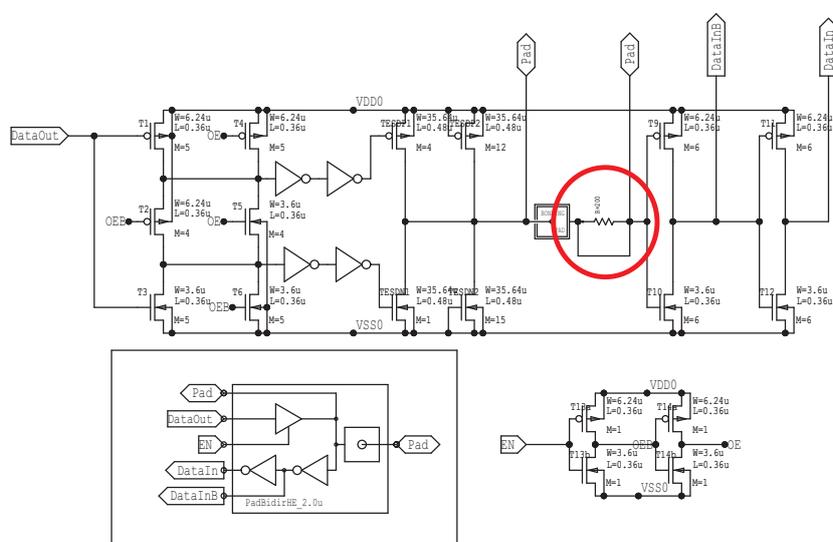


図 6.2: 修正後の Pad\_BidirHE\_0.25u 回路。

## 6.2 PrC2回路修正

評価試験の際の T-Spice によるシミュレーションで、ピクセル回路のプリアンプである PrC2 回路 (3.3 参照) に図 6.3 のような発振現象が現れる可能性が露呈した。しかしシミュレーションの精度を変更する、つまり KCL(Kirchoff's Current Law) にどの程度近づけた解を求めるかというパラメータを変更することで、発振現象が現れたり、現れなかったりと結果はまちまちであった。

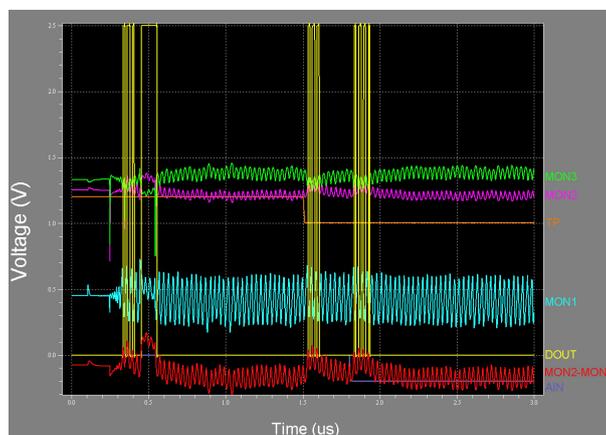


図 6.3: 発振現象。

不安定性のある回路であっても、発振現象を引き起こすためには、一定の擾乱が必要である。PrC2 回路は計算精度によって発振現象が現れたり、現れなかったりするが、これは計算精度の誤差が擾乱を引き起こしているものと理解できる。

そこで精度に依存しない結果を得るために、この不安定性を AC 解析<sup>1</sup>で調べた。図 6.4 は PrC2 回路の AC 解析用セットアップであり、AIN における電圧の実部 (入力インピーダンス) を測定した。その結果が図 6.5 の修正前という波形である。

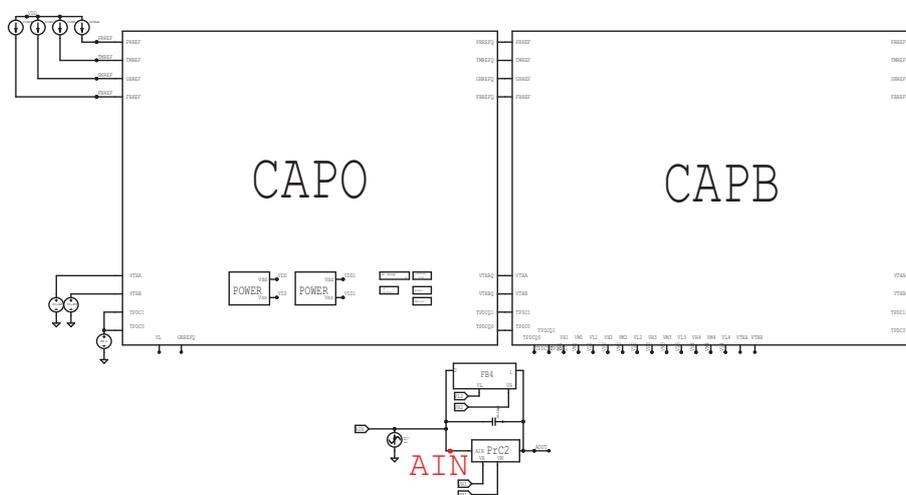


図 6.4: AC 解析用セットアップ。

<sup>1</sup>信号源の周波数を変化させて、そのときの出力の様子を調べる解析。

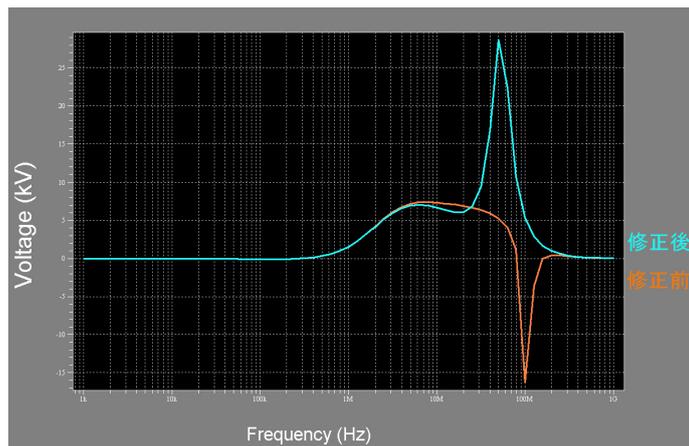


図 6.5: AC 解析

図 6.5 において PrC2 修正前の回路では入力インピーダンスに負抵抗が現れていることが分かる。このセットアップでは交流電流を信号源にしているため、電流を回路に向かって流し込むと正の電圧が、引き抜くと負の電圧が発生する状態が正常な状態である。負抵抗が現れるということは、この状態が反対になっていることを意味する。

一般に抵抗はエネルギーを消費する素子であるが、負抵抗は反対にエネルギーを発生させることになる。このエネルギーは電源である VDD や VSS から供給されているので、エネルギー保存則が破れているわけではないが、このような時に発振現象が発生する可能性がある。これは高周波回路で用いられる概念で K ファクターの理論として確立されている。

この負抵抗を解消するために、図 6.6 のように PrC2 回路にトランジスタを追加した。この回路修正を加えた後、再び AC 解析を行った結果が図 6.5 の修正後という波形である。修正前にはあった入力インピーダンスの負抵抗が解消されていることが分かる。

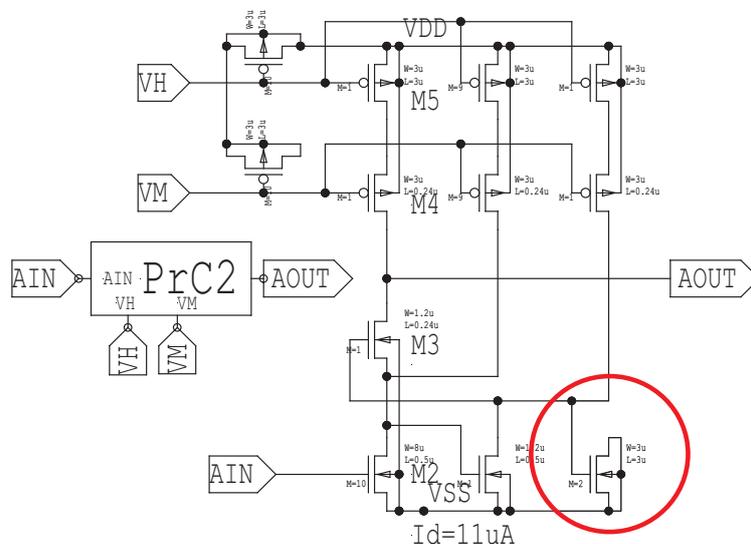


図 6.6: 回路修正後の PrC2 回路。

また、この回路修正を加えた後ではどのようなシミュレーション精度でも図 6.7 のように発振現象が見られなくなった。実際の YH01 で必ず発振現象が起こるかどうかは分からないが、安定性改善のために再試作の際には PrC2 回路に修正を加えることにした。

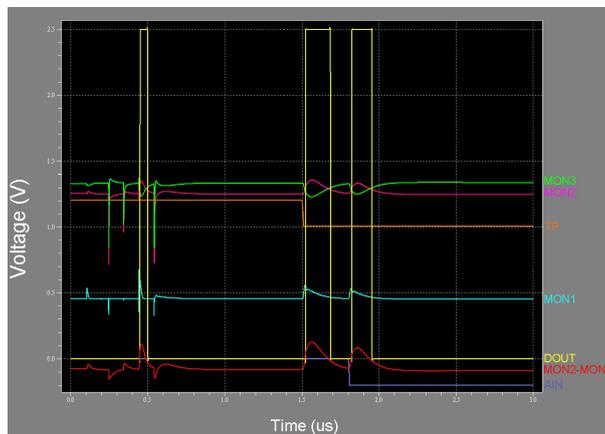


図 6.7: PrC2 回路修正後。

## 第7章 まとめ

### 7.1 研究結果

本論文では以下の研究結果を報告している。

- 評価試験では外観観察、オープンショート、バイアス電流値をチェックした。
- ピクセル選択シフトレジスタの動作確認において不具合が発生した。
- I-V 特性、透過 X 線観察、内部観察、AIN 測定、液晶発熱解析、バック・アノテーション、故障シミュレーションを通して不具合原因箇所を入力 Poly 抵抗だと推定した。
- FIB 加工装置を用いた EB テスタ解析で YH01 の不具合原因箇所が保護回路に含まれる入力 Poly 抵抗だと確定した。
- 回路シミュレータ T-Spice を用いて PrC2 回路の不安定性を発見した。
- 必要な回路修正を加えた再試作用のネットリストを作成した。

### 7.2 今後の計画

以上の結果を踏まえて回路修正を加えたネットリストでの再試作を試みている。次回の TSMC0.25 $\mu\text{m}$  プロセスのランは 2/27 で、設計提出締め切りは 2/12 である。また、再試作した YH01 の納入は 2007 年 5 月を予定している。

また、YH01 の入力 Poly 抵抗に高抵抗が発生した原因にはコンタクト不良、不純物ドーピングが不十分<sup>1</sup>、予期しないギャップの存在などが考えられる。これらの発生原因を追求していくとすれば、FIB 加工装置による断面観察や SIMS<sup>2</sup> と呼ばれるイオンビームを用いた質量分析法が有効だと思われる。

---

<sup>1</sup>出荷時は TSMC で、入荷時は MOSIS で TEG(Test Element Group) を用いてプロセス異常の有無を確認している。MOSIS によるチェック結果である WAT(Wafer Acceptance Tests) によると、プロセス異常は確認できなかったと報告されている。

<sup>2</sup>半導体チップの不純物・組成分析には、試料にイオンを照射することで試料表面から 2 次的に放出されるイオンの量子を検出し、分析する手法が有効である。

# 付録A 平成13年度試作LSI

ILC Beam parameter が Warm の時に、試作した LSI が図 A.1 である。その後 ILC Beam parameter が Cold に変更されたので、それに見合った仕様で再試作した LSI が YH01 である。

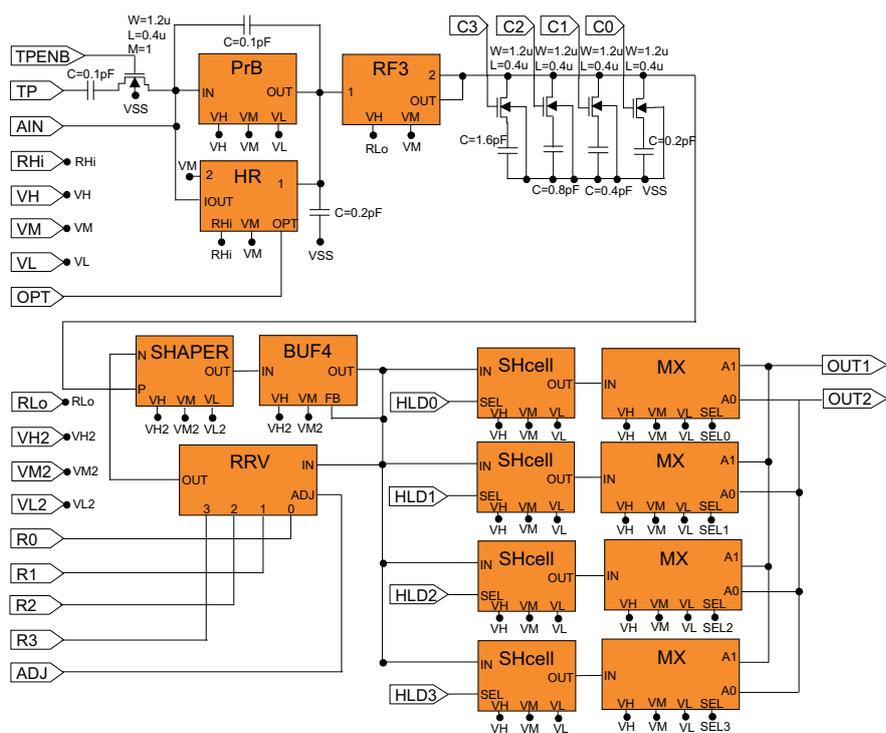


図 A.1: 平成 13 年度試作 LSI。

表 A.1: 平成 13 年度試作 LSI 回路構成。

PrB	増幅要素
HR	200 相当の抵抗
RF3	500k 相当の抵抗
SHAPER	増幅要素
BUF4	抵抗
RRV	抵抗
SHcell	サンプル・ホールド回路
MX	マルチプレクサ

このLSIはまず入力パルスに対して、増幅、波形整形を行う。次にその波形の4点の電圧のサンプリングを行いそれを保持する(図A.2参照)。最終的に、その保持していた電圧を階段状のパルスにして出力するという機能を有する(A.3参照)。

またこのLSIは約20nsの時間分解能を目標値としていた。これはビームの調整に相当と思われる時間間隔であるビームトレインを4等分した時間に相当していた(Warm時)。信号処理には離散時間関係の信号処理を用いた。この方式は一定時間間隔で信号をサンプリングし、その値を用いる事で信号を再構成して信号の大きさと入力時間を求めるというものである。

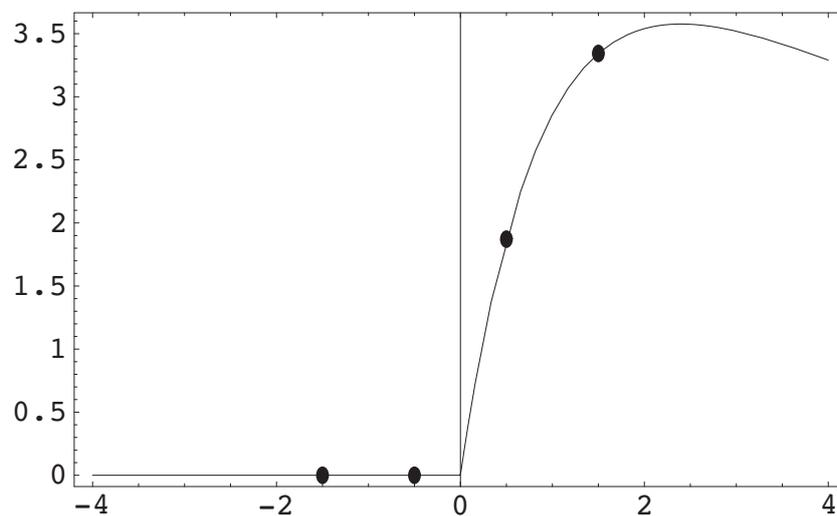


図 A.2: 波形の4点サンプリング。

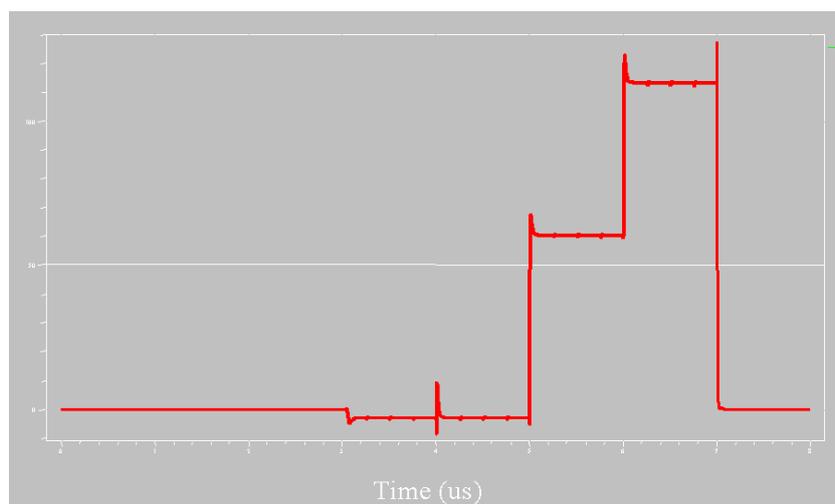


図 A.3: 階段状のパルス出力。

## 関連図書

- [1] OHO'06, 高エネルギー加速器セミナーテキスト.
- [2] International Accelerator School for Linear Colliders, Sokendai, Hayama, May 19-26, 2006.  
<http://www.linearcollider.org/cms/?pid=1000171>
- [3] <http://lcdev.kek.jp/ProjReport/>
- [4] <http://www.linearcollider.org/wiki/doku.php>
- [5] <http://www.linearcollider.org/cms/>
- [6] GLD concept Study Group, GLD Detector Outline Document version 1.2 (2006).
- [7] <http://www.ilcldc.org/>
- [8] <http://www-sid.slac.stanford.edu/>
- [9] <http://physics.uoregon.edu/lc/wwstudy/>
- [10] Y.Sugimoto, talk at LCWS2005, Stanford, Mar. 2005.
- [11] F.Sauli, "GEM: A New Concept for Electron Amplification in Gas Detectors", Nucl.Instr. and Meth. A386 (1997) 531.
- [12] Y.Giomataris, *et al.*, "Micromegas: A High Granularity Position Sensitive Gaseous Detector for High Particle Flux Environments", Nucl.Instr. and Meth. A376 (1996) 29.
- [13] M.Ross, "ILC Instrumentation and Feedback", ILC school web page,  
<http://cocoa.kek.jp/ilcschool/index.html>
- [14] G.Blair, *et al.*, "Proposing a Laser Based Beam Size Monitor for the Future Linear Collider", Presented at PAC 2001, Chicago, Illinois, 18-22 Jun 2001.
- [15] Y.Honda, K.Kubo, *et al.*, "Achievement of ultra-low emittance beam in the ATF damping ring", Phys.Rev.Lett.92, 054802 (2004).
- [16] T.Shintake, "Proposal of Nano-meter Beam Size Monitor for  $e^+e^-$  Linear Colliders", NIMA311, 453-464 (1992).

- [17] Daniel Schulte, "Study of Electromagnetic and Hadronic Background in the Interaction Region of the TESLA Collider", Hamburg (1996).
- [18] K.Yokoya and P.Chen, "Beam-Beam Phenomena In Linear Colliders", KEK-Preprint 91-2 (1991) .
- [19] 西郷学, 修士論文, 東北大学 (平成 14 年).
- [20] C.Kenny, S.Parker and E.Walckiers, "Results From 3-D Silicon Sensors With Wall Electrodes: Near-Cell-Edge Sensitivity Measurements as a Preview of Active-Edge Sensors", IEEE Trans.Nucl.Sci.46, No4 (1999).
- [21] H.Ikeda, "Electronics for Particle Measurement", KEK Report 2002-8, Sep. 2002.
- [22] 横山康博, 修士論文, 東北大学 (平成 18 年).
- [23] 畦田昌嗣, 修士論文, 東北大学 (平成 16 年).
- [24] 田中諭志, 修士論文, 東北大学 (平成 14 年).
- [25] 裏克己, 藤岡弘, "電子ビームテストハンドブック 電子ビーム研究 第7巻", 大阪大学工学部電子ビーム研究施設 (1987).
- [26] 石川順三, 荷電粒子ビーム工学, コロナ社 (2001).
- [27] [http://www.mosis.org/cgi-bin/cgiwrap/umosis/swp/params/tsmc-025/t5br\\_mm\\_non\\_epi-params.txt](http://www.mosis.org/cgi-bin/cgiwrap/umosis/swp/params/tsmc-025/t5br_mm_non_epi-params.txt)