

第5章 試作読み出しASICの性能 評価

5.1 読み出しASIC試験用基板

開発したチップの評価を行うために評価用試験基板を製作した。その写真を図5.1に示す。ア트워크及びチップを含めたパーツの実装はジー・エヌ・ディー社 [20] に依頼した。試験基板では主にチップへの電力供給、入出力信号の引き出し、バイアス電圧生成回路へ流入する電流の生成、可変抵抗によりADCの基準電圧生成を行っている。また設置したテストパルス入力用端子よりファンクション・ジェネレータを用いてCCDの出力を模擬した信号を入力することで、回路の動作試験が行える。

5.2 ASIC性能評価読み出しシステム

試作した読み出しASICの性能評価を行うために読み出しシステムを開発した。システムの全体図を図5.2に示す。読み出しシステムは回路のパラメータ設定を行うKEK-VME GPIOボード (GNV-250)、回路の動作指令信号の送信と信号のデジタル処理を行う読み出しボード、そしてPCに転送された信号を処理するソフトウェアに分類される。図5.3(a)にGNV-250、図5.3(b)に読み出しボードの写真を載せる。テストパルス入力にはエヌエフ回路設計ブロック社製ファンクションジェネレータWF1973を使用した。読み出しボードよりテストパルストリガーが入力され、テストパルスを生成しASICへ出力する。以下にそれぞれの説明を述べる。

5.2.1 ASICのパラメータ設定

開発したASICは各チャンネル毎にローカルコントロールレジスタを持っており、外部からデジタル信号を入力することでゲインやローパスフィルターの

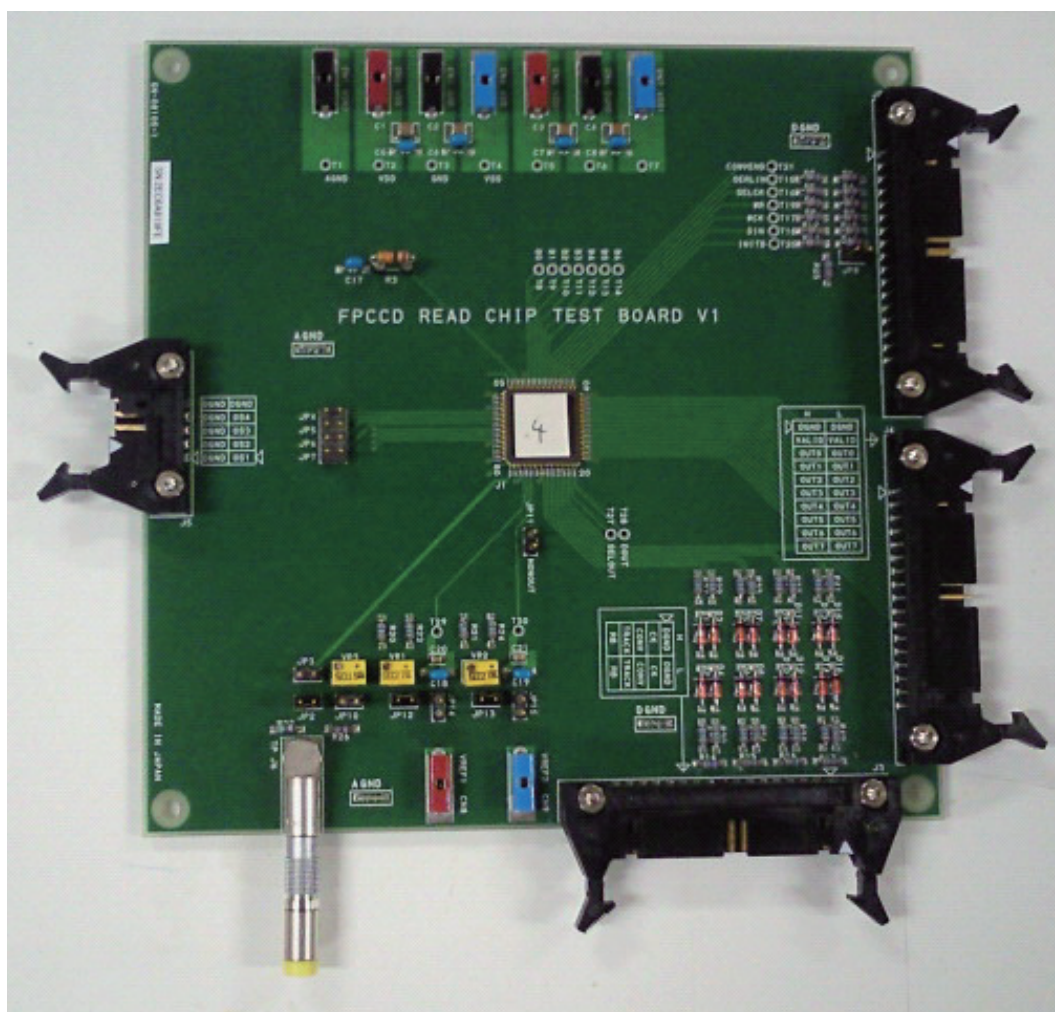


図 5.1: 試作 ASIC 評価基板

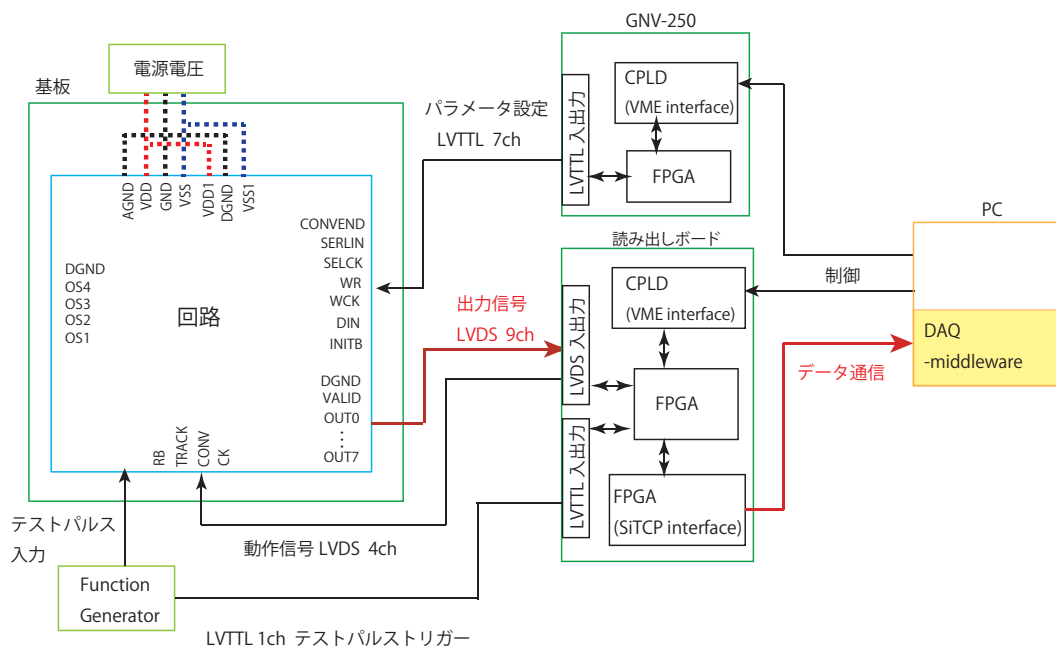


図 5.2: ASIC 試験セットアップ

調整ができる。回路制御のために KEK-VME6U モジュール (GNV-250) を使用した。GNV-250 には FPGA (Field Programmable Gate Array) が実装されており、論理回路設計には ISE (Integrated Software Environment) を使用し、ハードウェア記述言語には VHDL (VHSIC (Very High Speed Integrated Circuits) Hardware Description Language) を用いた。また GNV-250 に実装されている CPLD (Complete Programmable Logic Device) では VME バスを介した PC との通信を制御している。パラメータ設定信号には 3.3V 系の TTL 規格である LVTTTL を用いた。回路のパラメータ設定はこの GNV-250 を介して PC より行う。

5.2.2 ASIC からの出力信号の転送

ASIC からの出力信号の転送は数十 Mbps という高速で行う必要があり、GNV-250 では達成ができない。そこで高速処理が可能な専用の読み出しボードを開発した。読み出しボードの役割は読み出し ASIC からのデジタル信号を高速処理し、PC へ転送することである。またこの読み出しボードでは VME 通信も可能である。読み出しボードには CPLD、メインの FPGA に加えて SiTCP 用 FPGA が搭載されている。

SiTCP とは FPGA により TCP/IP の処理を実現したネットワークプロセッ

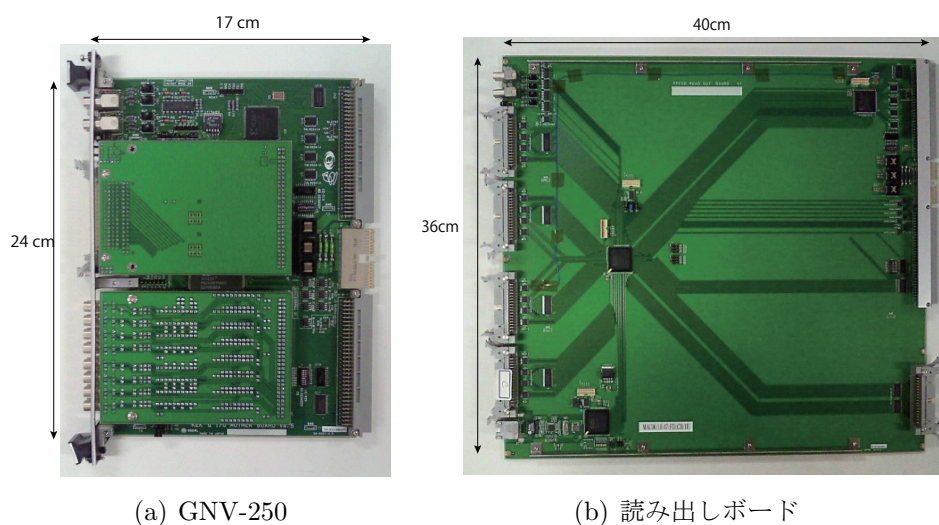


図 5.3: 読み出しシステムの各パーツの写真

サであり、Ethernet を用いてデータ転送を実現する [22]。近年の高エネルギー物理学実験における膨大なデータを処理するために、KEK の内田氏により開発された技術である。読み出しボードに搭載された SiTCP は Ethernet を通じて、ボードでデジタル処理されたデータを PC へと送信する。全てのプロトコル処理をハードウェアで行うため、高速転送が可能で Ethernet 回線の帯域上限で安定して TCP データ転送することができる。開発した読み出しボードでは 100Mbps 対応の SiTCP を用いた。

また読み出しボードでは ASIC の動作の基準となるクロックを生成し、回路へ動作信号の送信も行う。

5.2.3 DAQ-Middleware を用いた PC での信号処理

読み出しボードから SiTCP により転送されてきたデータは PC で処理される。PC におけるデータ処理のためのソフトウェアの開発には DAQ(Data Acquisition)-Middleware を用いた [23]。DAQ-Middleware はネットワーク分散環境下でデータ収集用ソフトウェアを構築するためのソフトウェアフレームワークであり、近年 KEK の測定器開発室により開発が進んでいる。DAQ-Middleware は産業技術総合研究所により開発された RT(Robot Technology) Middleware を拡張する形で構築された。XML 文章により DAQ システムを記述し構成できる。ネットワーク分散環境下でブート可能で、Web インターフェイス (XML/HTTP プロトコル) を持っており、Web ブラウザからランの制御

が可能である。さらにオンラインモニタでヒストグラムも見る事ができる。本システムでは DAQ-Middleware フレームワークを用いて、読み出しボードから転送されたデータの読み込みからヒストグラムの作成まで行う。

5.3 読み出し ASIC 動作検証

5.3.1 シフトレジスタの動作検証

シフトレジスタの基本動作は入力データがクロックによって順次フリップフロップの後段に移動していくというもので、データの一時的に記憶する装置である。1ビットのデータは1個のフリップフロップにより記憶させることができる。シフトレジスタの動作を理解するために図 5.4 に示す 4 ビットのシフトレジスタを例にして説明する。シフトレジスタは各フリップフロップのクロックを共通にし、データの入力と出力を直列に接続したものである。このシフトレジスタに入力されたデータはクロックの立ち上がり時にフリップフロップに読み込まれ、その前に蓄えられていたデータは次段に読み込まれる。図 5.4 では1つ目のクロックで1段目のフリップフロップにデータが読み込まれ、クロックの立ち上がりに合わせて2段目、3段目、4段目に読み込まれている様子を示している。4ビットのシフトレジスタはクロックを4つ入れると、それまでに蓄えられていたデータが出力される。

本回路ではチャンネル指定シフトレジスタとパラメータ指定シフトレジスタが CCR と LCR それぞれにあり、最終段は外部に接続されている。これらについて入力信号と出力信号をオシロスコープで確認することにより、正常に動作するか検証した。

チャンネル指定シフトレジスタの動作検証

チャンネル指定シフトレジスタは読み出しチャンネル8つと CHAIN2 を合わせて、9ビットのシフトレジスタである。したがって9発目のクロックが立ち上がる時、外部に信号が出力される。図 5.5 はチャンネル指定シフトレジスタの入力クロック (SELCK)、入力信号 (SELIN)、出力信号 (SELOUT) をオシロスコープで測定したものである。1発目の SELCK が入った時に SELIN は High の状態であり、9発目の SELCK が入るタイミングで SELOUT が High に立ち上がっている。したがって入力されたデータが9発目のクロックの立ち上

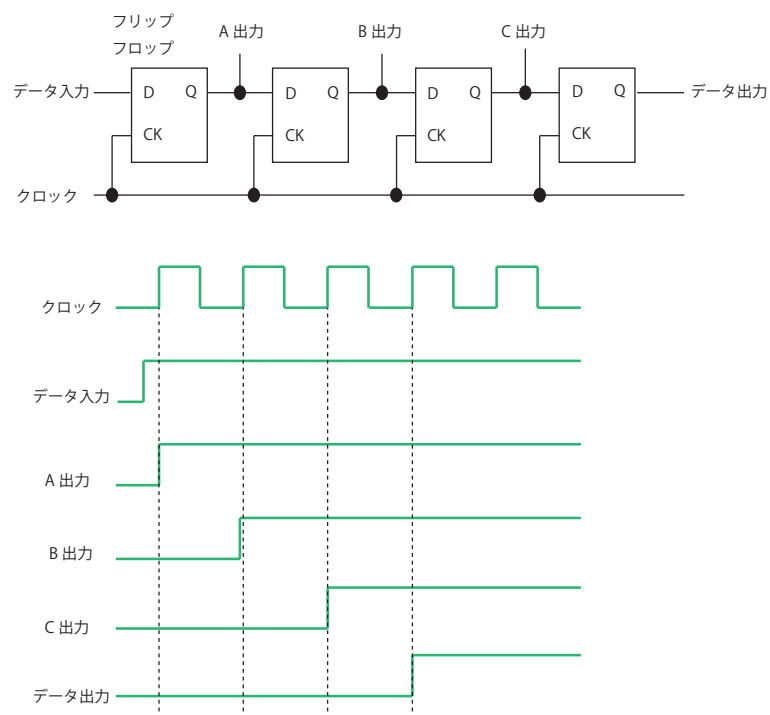


図 5.4: シフトレジスタの構成とタイムチャート

がりで出力されており、チャンネル指定シフトレジスタは正常に動作することが確認できた。

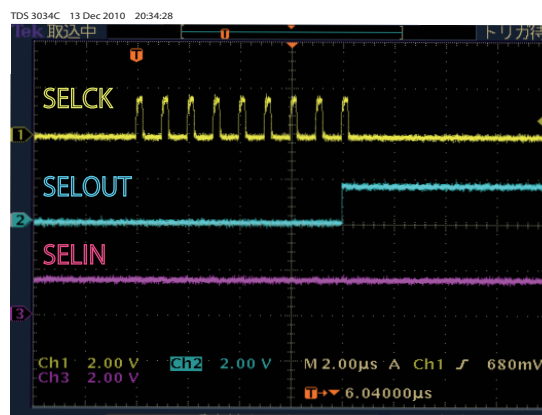


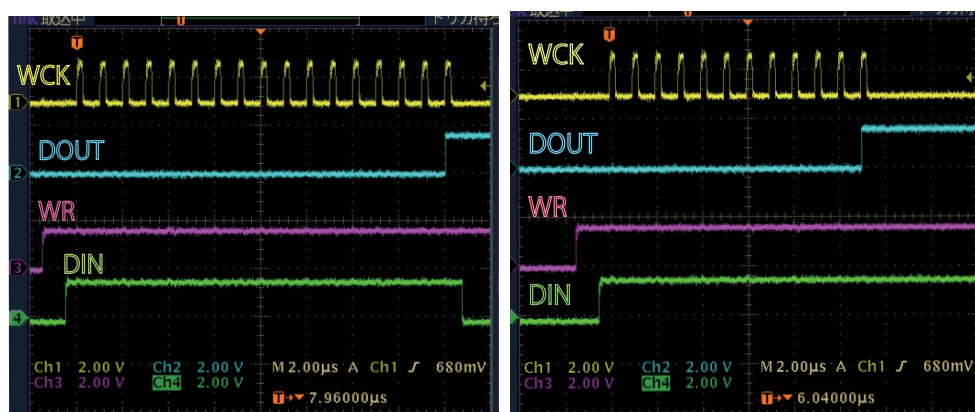
図 5.5: チャンネル指定シフトレジスタ動作検証 [SELCK(黄):入力クロック、SELOUT(青):出力信号、SELIN(紫):入力信号]

パラメータ設定シフトレジスタの動作検証

CCRのパラメータ設定シフトレジスタは17ビットのシフトレジスタである。したがって17発目のクロックの立ち上がりで入力されたデータが出力される。図 5.6(a) は CCR のパラメータ指定シフトレジスタの入力クロック WCK、出

力信号 DOUT、入力信号 DIN の信号をオシロスコープで見たものである。1 発目の WCK の時、DIN は High の状態であり、WCK の 17 発目の立ち上がりに DOUT が High になっている。また WR はシフトレジスタの動作許可信号であり、これが High のときのみシフトレジスタが動作する。これより CCR のパラメータ指定シフトレジスタが正常に動作することが確認できた。

LCR のパラメータ設定シフトレジスタは 12 ビットのシフトレジスタである。したがって 12 発目のクロックが立ち上がるタイミングで入力データが出力される。図 5.6(b) にその様子を示す。各信号は CCR のときと同様である。こちらも最終段のクロックでデータが出力されており、正常に動作することを確認した。



(a) CCR

(b) LCR

図 5.6: CCR と LCR のパラメータ設定シフトレジスタ動作検証

5.3.2 テストパルスを用いた動作試験

5.1 章でも述べたが、読み出し回路にはテストパルスの入力端子があり、テストパルスを用いた試験が可能である。これにより実際に CCD からの信号を入力せずとも、読み出し ASIC の動作を確認することができる。本 ASIC ではテストパルスを入力した際の信号をモニターできるポイントを前置増幅器の直後と ADC 直前の 2 箇所用意した (図 5.7)。これら 2 点においてオシロスコープにより、テストパルスの入力に対してモニター出力が正常に出ているかを確認した。そして同様に ASIC からの最終的な出力である ADC 出力も調べた。これらの検証の目的は ASIC の動作確認であるため、読み出し速度は要求性能より抑えて行った。前者二つが 0.6MHz、ADC 出力が 0.3MHz で測定をした。

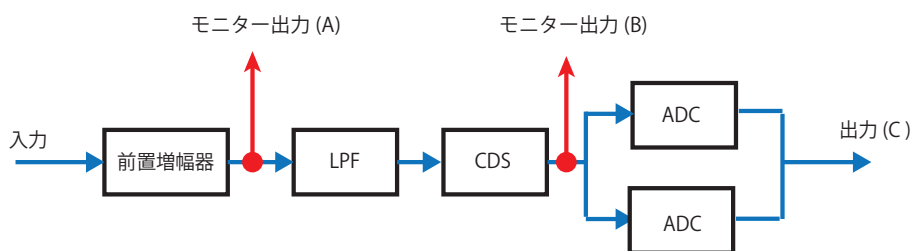
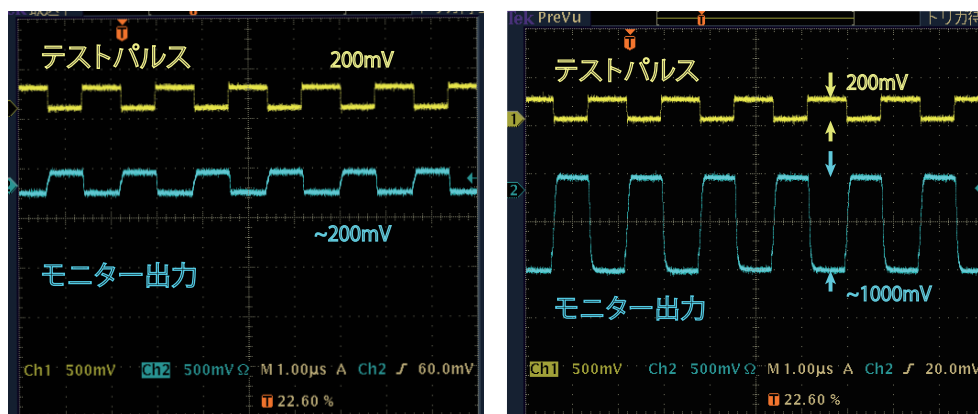


図 5.7: モニター出力の測定点

(A) 前置増幅器直後における回路動作検証

前置増幅器が正常に動作しているか確認するためにモニター出力 A を調べた。図 5.8 にテストパルス信号とモニター出力 A を示す。いずれもテストパルス信号が立ち上がるタイミングでモニター出力が High になっている。また図 5.8(a) は前置増幅器による増幅率が 1 の場合で、図 5.8(b) が増幅率 5 の場合である。増幅率 1 のときの信号の高さに比べて、増幅率 5 のときは 5 倍大きいことが確認できる。これらより前置増幅器が正常に動作していることが確認できた。



(a) 増幅率 : 1

(b) 増幅率 : 5

図 5.8: 前置増幅器直後のモニター出力

(B) ADC 直前における回路動作検証

LPF と CDS が正常に動作しているか確認するためにモニター出力 B を調べた。図 5.9 にテストパルス信号とモニター出力 B を示す。LPF 後の信号は差動信号であるため、差動の両方の信号を確認している。いずれもテストパルス信号が立ち上がるタイミングでモニター出力が High になっている。これより LPF と CDS は問題なく動作しているといえる。

(C) ADC 出力の検証

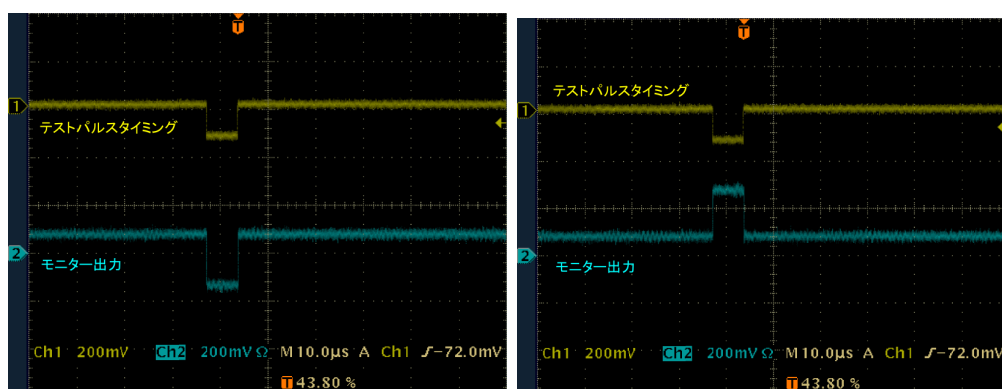


図 5.9: ADC 直前のモニター出力 (差動信号)

最後に ADC が正常に動作しているか調べるために、読み出し回路の最終的な出力である ADC 出力を調べた。図 5.10 にオシロスコープで見た信号を示す。上からテストパルス、A/D 変換開始の信号である CONV、A/D 変換終了の信号 CONVEND、ADC 出力である。CONV はもう一方の ADC には反転して入力されており、一方の ADC において CONV が Low のとき、他方は High となり A/D 変換が交互に実行される。CONVEND は A/D 変換が終了した次のタイミングで出される信号である。図 5.10 より CONV、CONVEND の信号は正常に出力されている。

A/D 変換後、信号は 1 ビットずつシリアルに出力される。1 ピクセル分の電荷情報はサインビット+6 ビットの計 7 ビットのデータとして変換される。図 5.10 の 1 ピクセル分の情報 (白枠) に注目すると、まずサインビットを出力し、次に 1 クロック分空けてから最上位ビット、再び 1 クロック分おいて残りの 5 ビットが連続で出力される。したがって CONVEND の 1 クロック分も含めて、1 ピクセルの情報は 10 クロック分使って転送される。サインビットと最上位ビット、最上位ビットと残りの 5 ビットの間には 1 クロック分の余裕を持たせた理由は、電荷の移動時間にある。上位 2 ビットはキャパシタ間を移動する電荷の量が多いため、1 クロックで全ての電荷が移動することが難しい可能性があることを考慮し、このような対策をとった。ADC 出力の 1(High)、0(Low) を見ると、一定のテストパルス電圧に対し、同じ A/D 変換結果が得られていることが確認できる。

以上より低速 (0.3MHz) の読み出しでは ADC の動作に問題がないことが確認できた。



図 5.10: ADC 出力:テストパルス (黄)、A/D 変換開始の信号である CONV(水色)、A/D 変換終了の信号 CONVEND(紫)、ADC 出力 (緑) である。

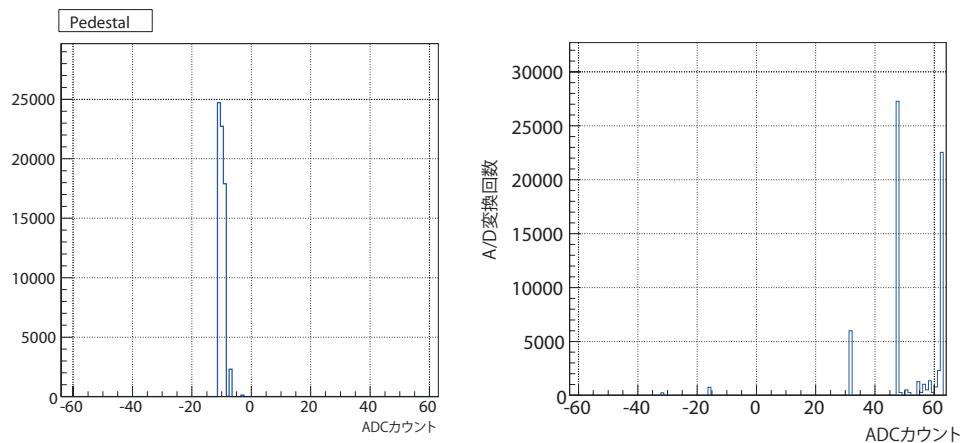
5.4 読み出し ASIC の性能評価

5.3 章より、読み出し ASIC が正常に動作することが確認できた。次に、この開発した ASIC の性能評価を行っていく。項目は読み出し速度、ADC の線型性、ノイズレベルの 3 点である。

5.4.1 読み出し速度の評価

最初に、読み出し速度が要求性能の 10 MHz を達成できるかを評価した。図 5.11 は読み出し速度 1.5 MHz と要求性能 10 MHz でのペDESTAL 分布である。ペDESTAL 信号とは信号が何も来ていないときの信号レベルを意味する。ASIC からの信号はサインビット 1 ビット+6 ビットであるため、-64 から 63ADC カウントの範囲をとる。読み出し速度 1.5MHz の (a) のペDESTAL 分布は幅が狭く、ペDESTAL として本来あるべき分布となっており、ASIC によって A/D 変換が正常に行われている。一方、(b)10MHz の分布は (a) とは明らかに異なる分布となっており、A/D 変換が正しく実行されていない。また中心値が 0 からずれているのはどこかでオフセットが入ってしまっている影響と考えられるが、これは補正をかければ問題にならない。

以上より、本 ASIC では読み出し速度に関して要求性の 10 MHz には到達しておらず、1.5 MHz までは正常に動作することが確認できた。



(a) ペDESTAL分布：読み出し速度 1.5MHz (b) ペDESTAL分布：読み出し速度 10MHz

図 5.11: 読み出し速度の検証

5.4.2 ADC の線形性

次に ADC の線形性の評価を行った。Function Generator より $-35\text{ mV}\sim 0\text{ mV}$ で 5 mV 刻みのテストパルスを入力して、出力された ADC カウントを測定した。CCD のキャリアは電子であるため、入力電圧は負の範囲のみで測定を行う。各入力電圧で CCD1 チャンネルあたりのピクセル数に相当する 65536 回の A/D 変換を行い ADC カウントの分布を作成し、その中心値を各入力電圧の ADC カウントとした。測定結果を図 5.12(a) に示す。横軸が入力電圧、縦軸が ADC カウントである。測定結果を直線でフィットし、線形性の評価を行った。フィット線とプロットのずれ (Residual) を定義し、線形性を定量的に見積もった。Residual は以下の式で定義される。

$$Residual(\%) \equiv \frac{\Delta y}{y_{max} - y_{min}} \times 100 \quad (5.1)$$

今、 Δy はプロットと直線との差を意味し、 y_{max} は最大入力電圧 (0 mV) での ADC カウント、 y_{min} は最小入力電圧 (-35 mV) での ADC カウントである。Residual をプロットしたのが、図 5.12(b) である。入力電圧 $-35\text{ mV}\sim 0\text{ mV}$ の範囲で Residual は $\pm 1\%$ 程度であり、線形性が十分良く得られることが確認できた。

5.4.3 ノイズ評価

ノイズレベルの評価

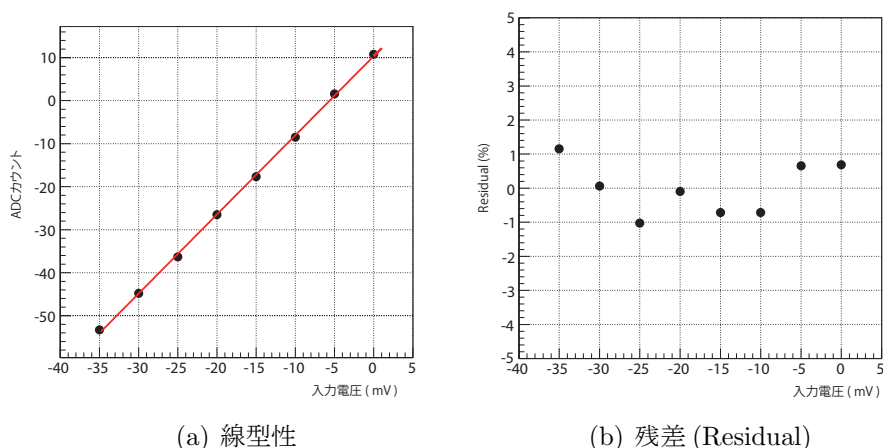


図 5.12: 線型性の評価

最後に、ノイズレベルが要求性能 30 電子以下を達成できるかを評価した。ノイズレベルはペDESTAL分布の幅から見積もる。図 5.13 に図 5.11(a) を拡大した図を示す。線型性の評価のとき同様、65536 回の A/D 変換の結果をプロットした。この分布の横軸は ADC カウントで、RMS(Root Mean Square) は 1.01ADC カウントであった。これを電子数に換算するには以下のようにする。図 5.12(a) の傾き 0.5 mV と、CCD で 1 電子当たり $5 \mu\text{V}$ に変換されることから、ADC カウントと電子数の関係は次式で表わされる。

$$1\text{ADC} = 0.5\text{mV} \times \frac{8\text{pF}}{20\text{pF}} \times \frac{1e}{5\mu\text{V}} = 40 \text{ 電子} \quad (5.2)$$

ここで 8 pF はテストパルスを入力容量、20 pF は CCD の信号の入力容量である。したがって 1ADC カウントは 40 電子に相当する。この変換式は前置増幅器のゲイン最大のときに相当する。ゲインを下げると、1ADC カウントあたりの電子数は大きくなる。ノイズレベル評価の際はゲインを最大に固定し 1ADC カウントあたりの電子数を小さくして、より細かく評価できるようにした。

今、RMS=1.01 であるのでノイズレベルは、

$$\text{RMS} = 1.01\text{ADC カウント} = 1.01 \times 40 \text{ 電子} \sim 40 \text{ 電子} \quad (5.3)$$

と見積もることができる。これより要求性能 30 電子には達していないことがわかった。

しかし改善の余地は残されている。1つ目は図 5.13 を良く見ると、-7ADC カ

ウントが 2000 以上出力されているのに対し、-8ADC が 1 つも出力されていない。他にもこのように出力されない特定の ADC カウントが見られた。何らかの理由で ADC で出力されない ADC カウントがあることが考えられる。これが改善できれば分布の幅が今より小さくなりノイズレベルが小さくなると考えられる。2 つ目は 1ADC カウントに対する電子数が 40 と大きいため、今回のような小さなノイズレベルを評価するには分解能が十分でないという問題である。1 ADC カウントがもっと小さな電子数に対応するように設定すれば、より細かくノイズレベルを評価でき改善されると考えられる。これらの問題点は次回試作時に対策を行う。

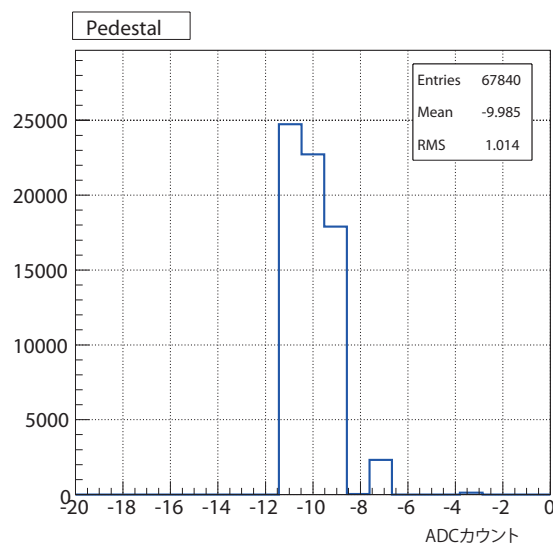


図 5.13: ペDESTAL 分布 : 1.5MHz 拡大図

ノイズの温度依存性の評価

崩壊検出器は読み出し回路を含めて、 -50°C に冷却されたクライオスタット内に設置することを予定している。したがって読み出し回路は室温だけでなく -50°C 程度の低温でも小さなノイズレベルで動作することが要求される。そこでノイズレベルの温度依存性の評価を行った。冷却装置は図 5.14 に示す yamato 社製の小型恒温恒湿器 IW242 を用いた。読み出し回路をこの小型恒温恒湿器の中に入れ、 -40°C ~ 20°C まで、 10°C 刻みでペDESTAL 測定をし、ノイズレベルを見積もった。その結果が図 5.15 で、横軸が温度 ($^{\circ}\text{C}$)、縦軸がノイズレベル (電子数) である。ノイズレベルが最小であったのは -20°C のときで、 $\text{RMS}=0.69\text{ADC}$ カウント ~ 28 電子、最大は -40°C のときで $\text{RMS}=1.1\text{ADC}$ カウント ~ 44 電子であった。ばらつきは ADC で約 0.4、電子数で 16 電子である。したがってノイ

ズの温度依存性は小さいことが確認できた。



図 5.14: 小型恒温恒湿槽

5.5 一次試作読み出し回路のまとめ

以上の試作読み出し回路に関する性能評価により、達成された点と明らかになった問題点をここでまとめる。

5.5.1 達成点

試作回路の各要素の動作確認を行い、低速の読み出しでは全ての要素が正常に動作していることを確認した。また低速での見積もりではあるがノイズレベルは室温で 40 電子を達成した。要求性能は 30 電子以下であるためまだ十分ではないが、次回試作では達成できると見込んでいる。またノイズレベルを -40°C ~ 20°C で測定し、温度依存性を調べた結果 28 電子~44 電子の範囲を得た。これより温度を下げてもノイズレベルは十分安定しているといえる。

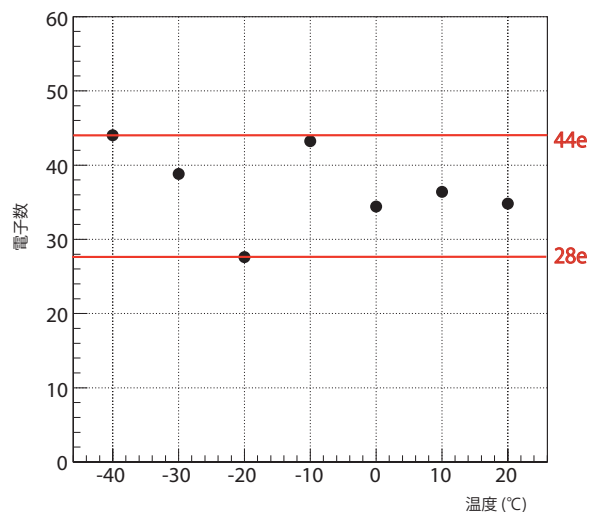


図 5.15: ノイズレベルの温度依存性

5.5.2 問題点1 ～読み出し速度不足～

読み出し速度に関しては、要求性能 10MHz に対し性能が確認されたのは 1.5MHz であった。これは電荷再配分型 ADC のコンパレータに流入する電流が高速動作時に不足し、電圧が安定せず変換結果にばらつきが出ていると考えられる。次回試作では、ADC 周りの電源の強化をし高速動作時にも十分な電流が供給できるよう設計する。

5.5.3 問題点2 ～ADC カウントの欠け～

ADC カウントの欠けの問題とは、図 5.13 において出力の欠けが見られる点である。この出力の欠けがどの程度現れるかを調べるために、図 5.16 テストパルスの電圧を 1mV 刻みに細かく入力し、出力される ADC カウントをプロット (黒) した。このとき前置増幅器の増幅率を最低に設定し、より細かく入力電圧と ADC カウントの関係を調べた。この図を見ると、1~2 ADC カウント程度の飛びが確認できる。これは 30~60 電子に相当し、ノイズレベルの要求性能と同等であるため見逃すことはできない。

この問題の原因は電荷再配分型 ADC のコンデンサアレイの容量比が浮遊容量の存在により崩れていることが考えられる。電荷再配分型 ADC では、蓄えられる電荷比が 32:16:8:4:2:1 のコンデンサ・アレイを用いて 7 ビットのデジタル信号に変換している。したがってこの容量比が崩れると ADC カウントの

欠けが生じる。ADC カウントの欠けが実際に容量の比が崩れていることから起きているかを確認するために、シミュレーションで検証した。MATLAB 互換のソフトウェア Scilab を用いて、ADC 内の容量比を 32:16:8:4:2:1 のから 34.5:19:9.5:5:3:1.5 として、入力電圧と出力 ADC カウントの関係を調べた結果が図 5.16 である。黒のプロットが測定値、赤線がシミュレーション結果であり、両者は非常に良く一致している。この結果より、ADC 内の浮遊容量が原因で容量比が崩れ ADC カウントの欠けが生じていると確認できた。浮遊容量を持ちうるのは、容量素子の底面電極とシリコン基板の間、そして容量の接続を切り替えるスイッチ内である。次回試作では、これらの浮遊容量の影響が除去できる設計とする。

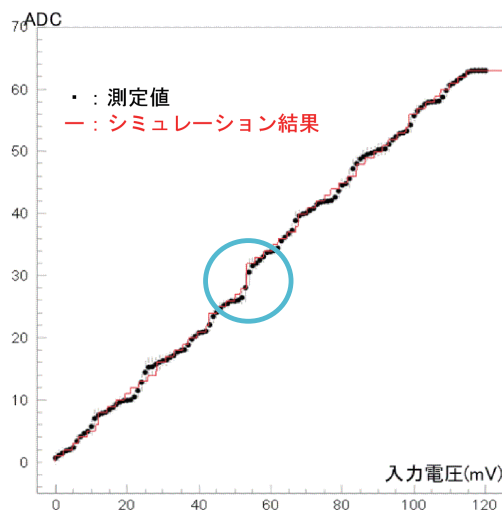


図 5.16: 入力電圧と ADC カウントの詳細な関係

5.5.4 問題点 3 ～消費電力が大きい～

ここまで消費電力の測定に関しては言及しなかった。その理由は ASIC の構造上、1 チャンネル分の消費電力を実測することが難しいためであり、今回はシミュレーションで評価を行った。その結果、要求性能 6 mW/ch に対して、得られた結果は 13 mW/ch であった。また現状ではアナログ部とデジタル部で同程度の消費電力であった。この消費電力の問題も残された課題である。

第6章 試作FPCCD読み出し試験

本章では開発、性能評価を行った読み出しASICを用いて、試作FPCCDの読み出し試験を行う。

6.1 FPCCD試験用基板

図6.1にFPCCD試験用基板の写真を示す。試験に用いるCCDは、型名VTX-CCD 5866 SPL、シリアル番号BWK1 21-CP201-07である。パッケージングされたFPCCDを図6.2(a)に示す。基板左下にはCCDを駆動する18ピンのドライバーカードが設置される(図6.2(b))。これでクロック電圧をCCDに供給できる電圧に変換する。CCDを駆動するためには、複数の電源が必要となり、ドライバーカードには(+13.5 V、-13.5 V、GND)が供給され、+3 V、+8 V、+10 Vが直接CCDに供給される。またCCDと回路の間には、エミッタフォロア回路がある。エミッタフォロアとは、エミッタの電位がベース(入力信号)に追従する(フォロワー)回路という意味である。エミッタフォロア回路は電流利得が得られる回路であるため出力インピーダンスが低く、接続された回路(負荷)による変動が少ないという特徴がある。エミッタフォロアをCCDの後段に接続することにより、回路の出力インピーダンスを下げ出力を強化できる。本基板ではCCDからの出力信号をエミッタフォロアを通して出力インピーダンスを下げ、信号レベルを減衰させずに読み出し回路に接続することができる。また出力エミッタ直流電位は常にベースより0.6V低くなる。エミッタフォロアには電源より+10Vが供給される。

6.2 FPCCD読み出しシステム

図6.3に試作FPCCD読み出し試験のための読み出しシステムを示す。基本的には図5.2と同様で、この読み出しシステムで評価基板を図6.1に変更し、試作FPCCDを接続した。CCDの出力が読み出し回路に入力される。またFPCCD

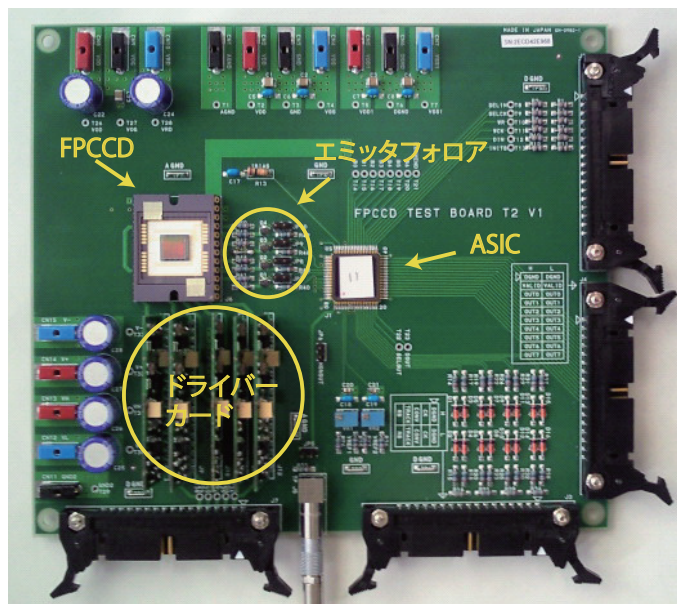
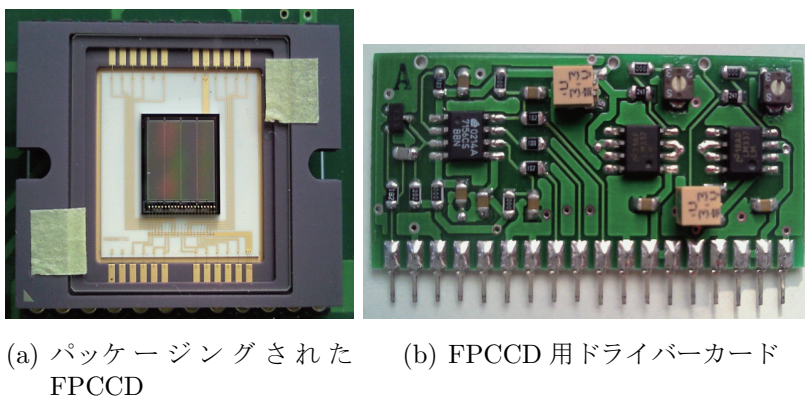


図 6.1: FPCCD 読み出し評価基板



(a) パッケージされた FPCCD (b) FPCCD 用ドライバーカード

図 6.2: FPCCD とドライバーカード

を動作させる信号を出力する論理回路を新たに読み出しボード上の FPGA に実装した。

6.3 試作 FPCCD の性能評価

以上で示した読み出しシステムを用いて FPCCD からの信号を読み出した。まず動作検証を行い、FPCCD と読み出しシステムの性能評価を行った。なお読み出し速度は 1.5 MHz である。

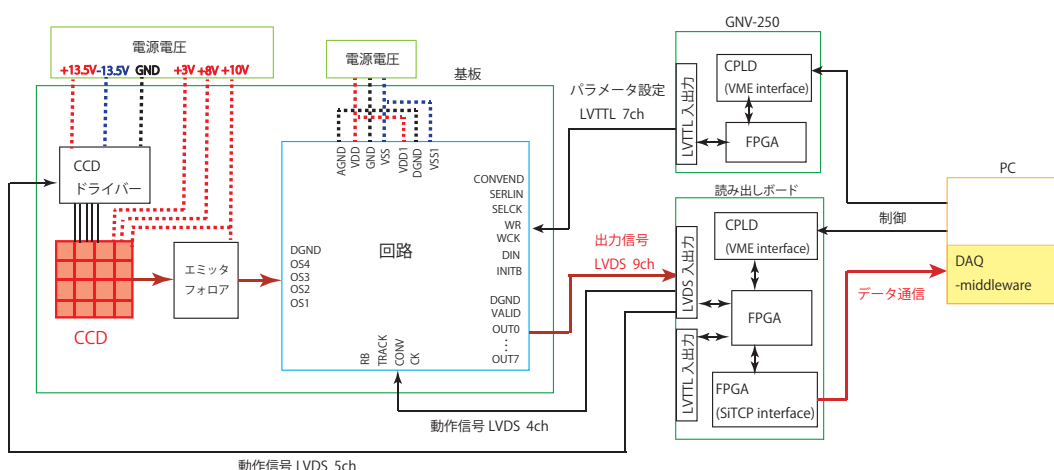


図 6.3: FPCCD 読み出しシステム

6.3.1 FPCCD 動作試験

図 6.3 のシステムを用いて試作 FPCCD の動作試験を行った。読み出し速度は 1.5MHz である。CCD から出力され、エミッタフォロアを通った後のアナログ信号を調べた。測定は CCD には十分光をあて飽和させた状態で行った。図 6.4 がその信号の波形である。リセット信号の立下りのタイミングで、CCD の出力信号は基準電圧に戻り、水平方向クロックのタイミングで電荷情報の電圧が出力される。以上よりエミッタフォロアも含めて、FPCCD は正常に動作していることが確認できた。

6.3.2 2次元ペDESTAL画像

1チャンネル分の信号を2次元 ADC カウント分布に焼き直したのが図 6.5 である。(a) の図は CCD を暗室 (小型恒温恒湿槽) に入れて室温で撮ったペDESTAL画像である。色は ADC カウントの大きさを表わしており、全てのピクセルで小さい値で均一な分布である。本試作 FPCCD では有感領域 512 ピクセルの両側にそれぞれ 4 ピクセルのブランク+4 ピクセルのダミーがある。したがってチャンネルの両側 8 ピクセル分は意味のない値が詰まっている。実際に図 6.5 の両隅に大きな ADC カウントを持つ列があるが問題にならない。

一方、図 6.5(b) の図は、小型恒温恒湿槽を -40℃ に冷却し、その中に FPCCD と読み出し AISC を入れたときの 2次元 ADC カウントペDESTAL画像である。ADC カウントの大きさと配色の違いに注意してみると、1チャンネルの中のピクセル間の ADC カウントのばらつきが室温の場合と比較してかなり小さ



図 6.4: FPCCD 動作試験 : CCD 直後の信号 (緑)、水平方向クロック (黄色)、リセット信号ク (水色)

くなっているように見える。この CCD1 チャンネルのピクセル間のばらつきを含むノイズに関しては、6.3.4 章で詳しく見ていく。

6.3.3 LED 照射試験

次に CCD に LED の光を照射し信号を読み出した。CCD には作成したフォトマスク (図 6.6(a)) を被せ、その上から LED の光を照射した。フォトマスクは真鍮でできており、サイズは $2\text{ cm} \times 2\text{ cm}$ 、文字サイズは CCD の 1 チャンネルに収まるサイズ $1\text{ mm} \times 1\text{ mm}$ とした。図 6.6(b) に、その 2 次元画像を載せる。フォトマスクに書かれた「ILC」という文字がきちんと再構成できた。これより読み出しシステムで CCD からの信号が正常に読み出せていることが確認できた。

6.3.4 CCD1 チャンネルのノイズ評価

6.3.2 章で示した 1 チャンネル分ノイズに関して調べるために、まず CCD1 行分の信号を調べた。CCD1 チャンネル 128 行分の内 60 行目の ADC カウンタの分布を図 6.7 示す。横軸がピクセルの位置 (0~530)、縦軸が ADC カウンタである。(a) が室温、(b) が $-40\text{ }^{\circ}\text{C}$ に冷却した場合であり、冷却することで明

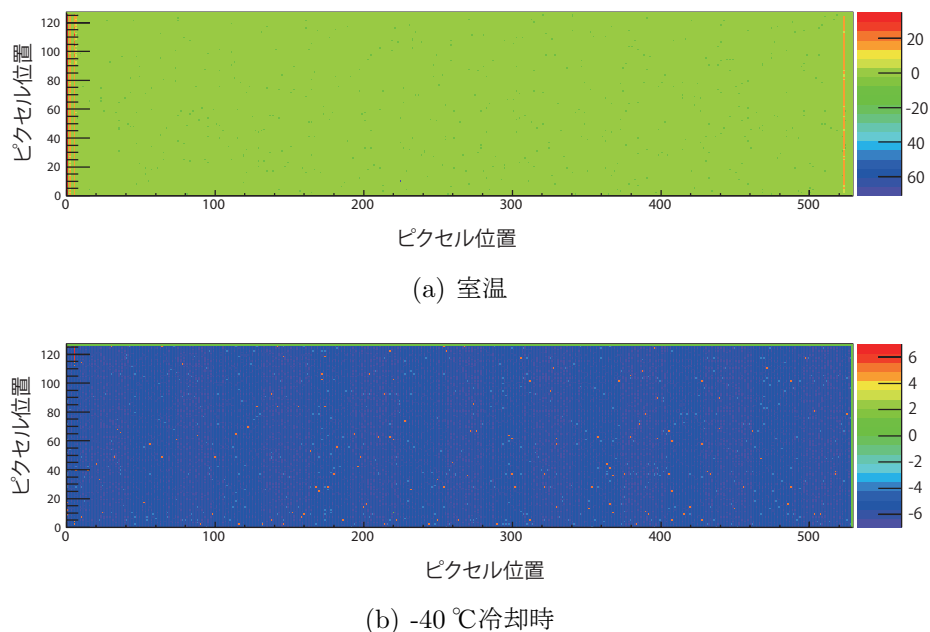


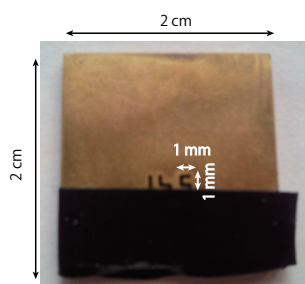
図 6.5: 2次元ペDESTAL画像

らかにピクセル間の ADC カウントのばらつきが小さくなっている。また室温時において ADC が急に大きくなるピクセルがいくつか見られる。しかし冷却することで消えているため、温度と関係が深いダークショットノイズまたはリセットノイズが原因と考えられる。

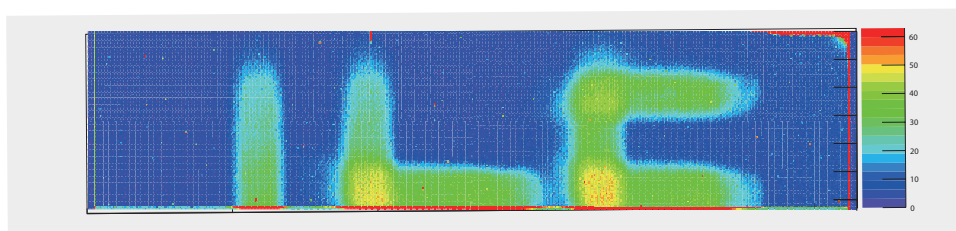
次に、1チャンネル分の信号を読み出した際のノイズを定量的に評価するために、有感領域の全てのペDESTALの ADC カウントをヒストグラムに詰めた(図 6.8)。室温の場合、分布の RMS は 2.9ADC カウント、-40 °C冷却時では 0.8ADC カウントであった。前置増幅器のゲインは最大に設定しており、式 5.3 を用いて電子数に変換すると、ノイズは RMS でそれぞれ 116 電子と 32 電子であった。したがって冷却することで要求性能 (50 電子) より小さなノイズを得られることがわかった。

6.3.5 読み出しシステムの読み出しノイズの評価

次に読み出しノイズを評価する。読み出しノイズは1ピクセル分のペDESTAL信号を500回読み出し、その分散(RMS)を測定することで評価する。1ピクセルのみの測定を行うことにより、固定パターンノイズの影響は除去できる。この測定は図 6.9 で示すピクセル 1~9 の 9つのピクセルに関して行った。



(a) フォトマスク (ILC)



(b) LED 照射時の画像

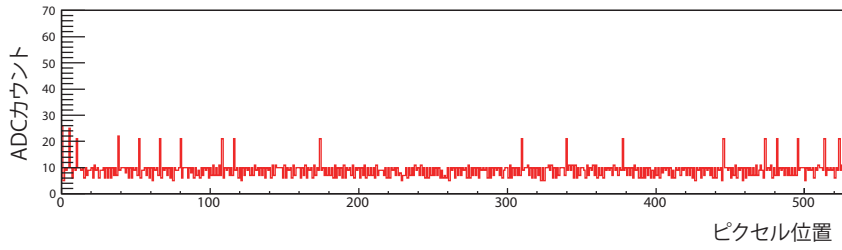
図 6.6: LED 照射試験

図 6.10 は室温時のピクセル毎のペDESTAL分布である。分布の RMS を見積もったところ、ピクセル 1 から 9 で ADC カウントで 1.7~2.5 という値が得られた。ゲインの設定は最大であるため式 5.3 に従い、電子数に換算すると 68~100 となり、平均は 91 電子であった。表 6.1 にそれぞれのピクセルのノイズレベルをまとめる。FPCCD 崩壊点検出器システム全体 (FPCCD センサーと読み出しシステム) で要求される 1 チャンネル当たりノイズレベルは 50 電子であるため、どのピクセルに関しても要求には達していない。

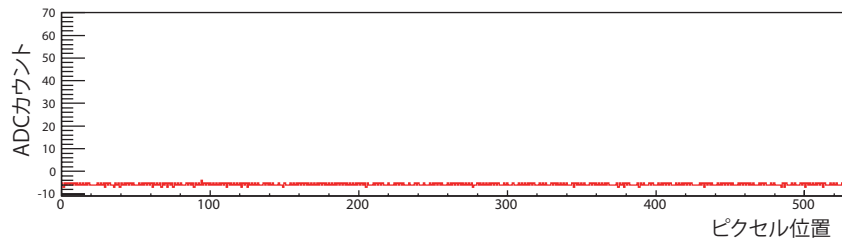
次に FPCCD と ASIC を -40°C に冷却して、図 6.10 と同じピクセルに関してピクセル毎のペDESTAL信号を測定した。その結果が図 6.11 である。これらの RMS を評価したところ、ピクセル 1 から 9 に関して ADC カウントで 0.84~1.2 が得られた。これは電子数で 30~48 (平均: 40 電子) となり、9 つ全てのピクセルで要求性能 50 電子を達成した。したがって冷却をすればノイズレベルに関して十分要求性能を満たすことがわかった。

6.4 まとめ

第 4 章と第 5 章で開発、性能評価を行った ASIC を用いて FPCCD 読み出しシステムを構築し、試作 FPCCD の信号の読み出し試験をした。本システムで正しく信号が読み出せることを確認し、ノイズに関する性能評価を行った。



(a) 室温



(b) -40 °C冷却時

図 6.7: CCD60 行目のペDESTAL分布

表 6.1: ピクセル毎のノイズレベル

ピクセルの位置	1	2	3	4	5	6	7	8	9
ADC カウント : 室温	2.5	1.8	2.4	2.3	2.5	2.5	2.4	1.7	2.3
-40 °C	0.95	0.76	1.1	1.2	1.0	1.0	1.1	0.84	1.0
電子数 : 室温	100	72	96	92	100	100	96	68	92
-40 °C	38	30	44	48	40	40	44	34	40

FPCCD の各ピクセルに関するペDESTALを評価し、FPCCD も加えた読み出しシステム全体の読み出しノイズを見積もった。ノイズレベルの要求性能が 50 電子であるのに対し、室温時では 90 電子、-40 °C冷却時では 40 電子程度となり冷却時では要求性能を達成した。

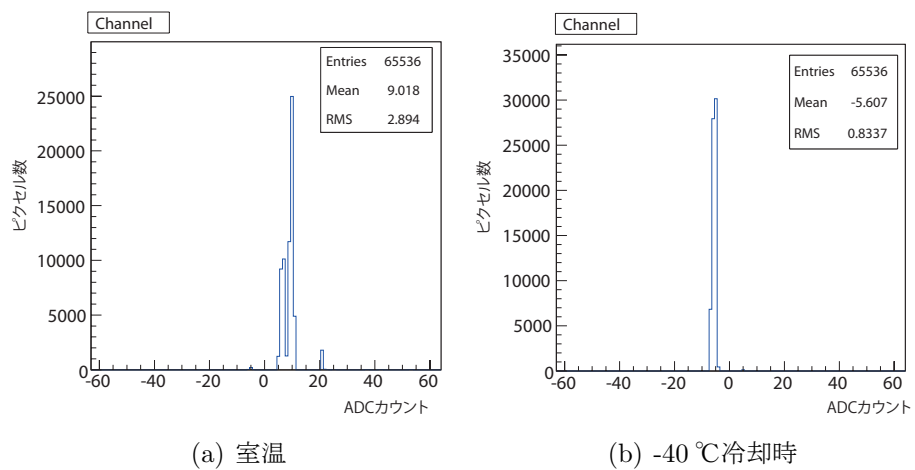


図 6.8: CCD1 チャンネル分のペDESTAL分布 (ADC カウント)

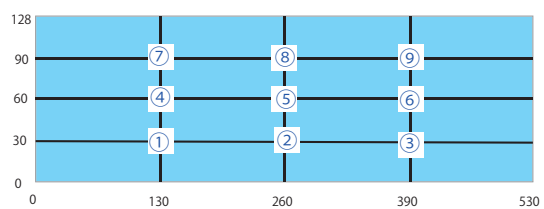


図 6.9: 測定するピクセルの位置

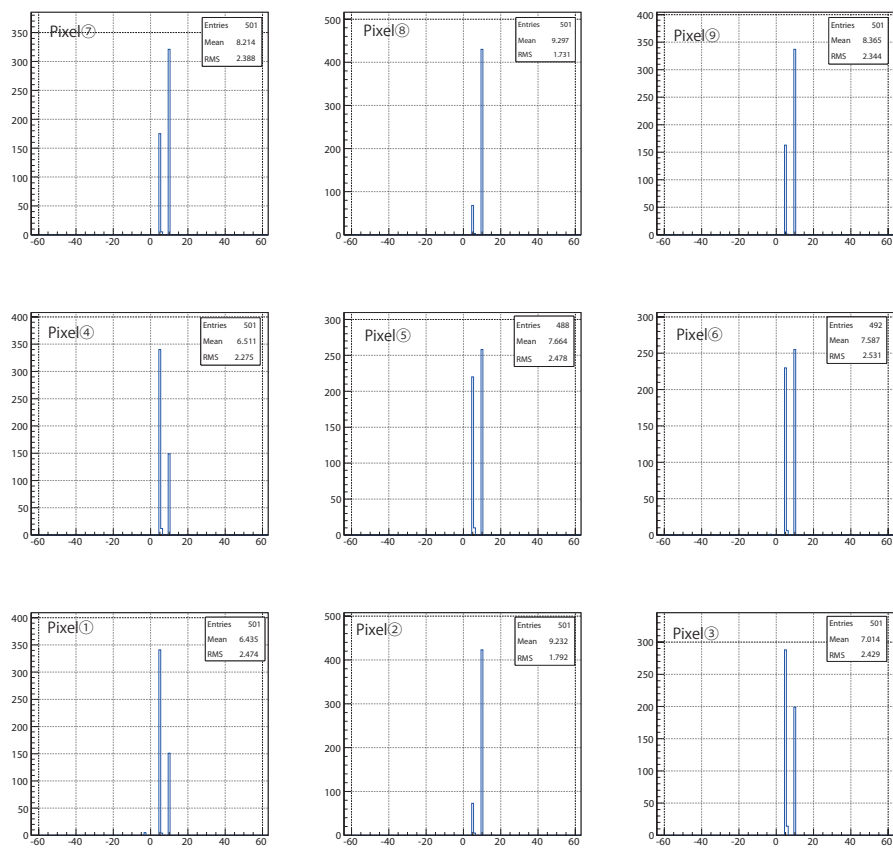


図 6.10: ピクセル毎のペDESTAL分布 (室温): ピクセル番号は図 6.9 に対応

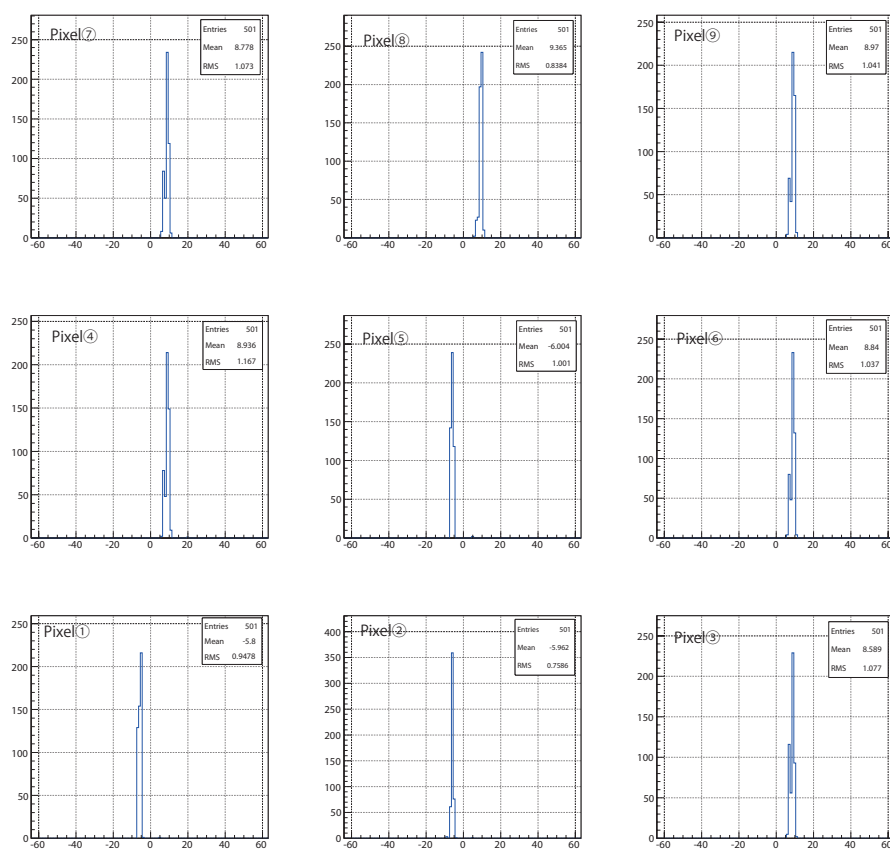


図 6.11: ピクセル毎のペダスタル分布 (-40°C冷却時): ピクセル番号は図 6.9 に対応

第7章 FPCCD崩壊点検出器用第 2次試作読み出しASICの 開発

7.1 第2次試作概要

第5章の最後に述べたように、第1次試作回路にはまだ解決すべき課題が残されている。第1次試作回路の問題点は次の3つである。

- (1) 読み出し速度 10 MHz で正常に読み出せない
- (2) 一部の ADC カウントが出力されない
- (3) 消費電力が大きい

これらの内、第2次試作では(1)、(2)に焦点を絞って設計の改善を行った。(1)の原因は、高速動作時にADCのコンパレータに十分な電流が供給されていないためである。これを解決するために、回路のピン数を増やし新たに電流供給ラインを確保し、電源の強化を行う。(2)の原因は浮遊容量により、ADCのコンデンサ・アレイの容量比が崩れているためである。これを解決するために、ADCを浮遊容量の影響が出ないような設計にする。第2次試作では、これら以外にも第一次試作から細かい修正を行っている。本章では、第1次試作からの変更点を中心に第2次試作の構成の詳細を説明する。

なお第2次試作のための回路設計は2度行った。1度目の設計をFPCCD2、2度目をFPCCD2Bと呼ぶ。第1次試作の結果を受けFPCCD2のレイアウトを作成し、そのレイアウトから浮遊容量を抽出して、実際に生じる浮遊容量の影響を考慮したシュミレーション(ポスト・レイアウトシュミレーション)を行った。その結果、ADCの線型性に依然として問題があることが発覚した。それを受けてさらに改善を加えたのがFPCCD2Bである。ASICの実際の製作は

FPCCD2B に関して行い、2011 年 1 月 5 日にテープアウトし 2 月 17 日納入予定である。

本章ではまずレイアウト FPCCD2 の回路構成に関して説明し、そのシミュレーション結果を述べる。その後、FPCCD2B で行った変更点を述べ、シミュレーションによる FPCCD2B の動作確認、性能評価結果を述べる。

第 2 次 ASIC 開発も引き続き宇宙航空研究開発機構の池田博一教授と共同で行った。また本試作から信州大学の佐藤比佐夫さんにも開発に加わっていただいた。

7.2 FPCCD2

7.2.1 FPCCD2 の回路全体構成

第 1 次試作では回路の各要素は正常に動作していたため、全体の回路構成に関して大きな変更はない。ただ 7.1 章で述べたように、ADC の電源周りの強化をするためにピン数 80 から 100 に増やした。また ADC の変更をし、それに合わせて CHAIN1 の要素の変更も行った。図 7.1 に第 2 次試作回路の全体構成を示す。CHAIN1 の回路図を図 7.2 に示す。

以下、FPCCD2 における CHAIN1 の 1 次試作からの変更点を述べていく。

7.2.2 前置増幅器の変更

変更した前置増幅器の回路図を図 7.3 に示す。変更点は 2 つある。1 つ目は可変であったテストパルス入力容量を 1pF に固定し、ゲインの変更は帰還容量のみとした点である。実際に CCD の信号を読み出す際には、テストパルス入力容量は使用しないためこのようにした。2 つ目は、帰還容量の最低設定値の 0.2pF の容量を 0.1pF を 2 つに分割し、これらの間にはソースフォロアを介し、2.5pF の容量を挟んだ。この容量は電圧をリセットする際に、信号が振動するのを抑える役割を果たす。したがって、入力電圧と出力電圧の関係は $V_{out} = -C_{in}/C_f \times V_{in}$ からずれるが、線型性に関しては影響はない。

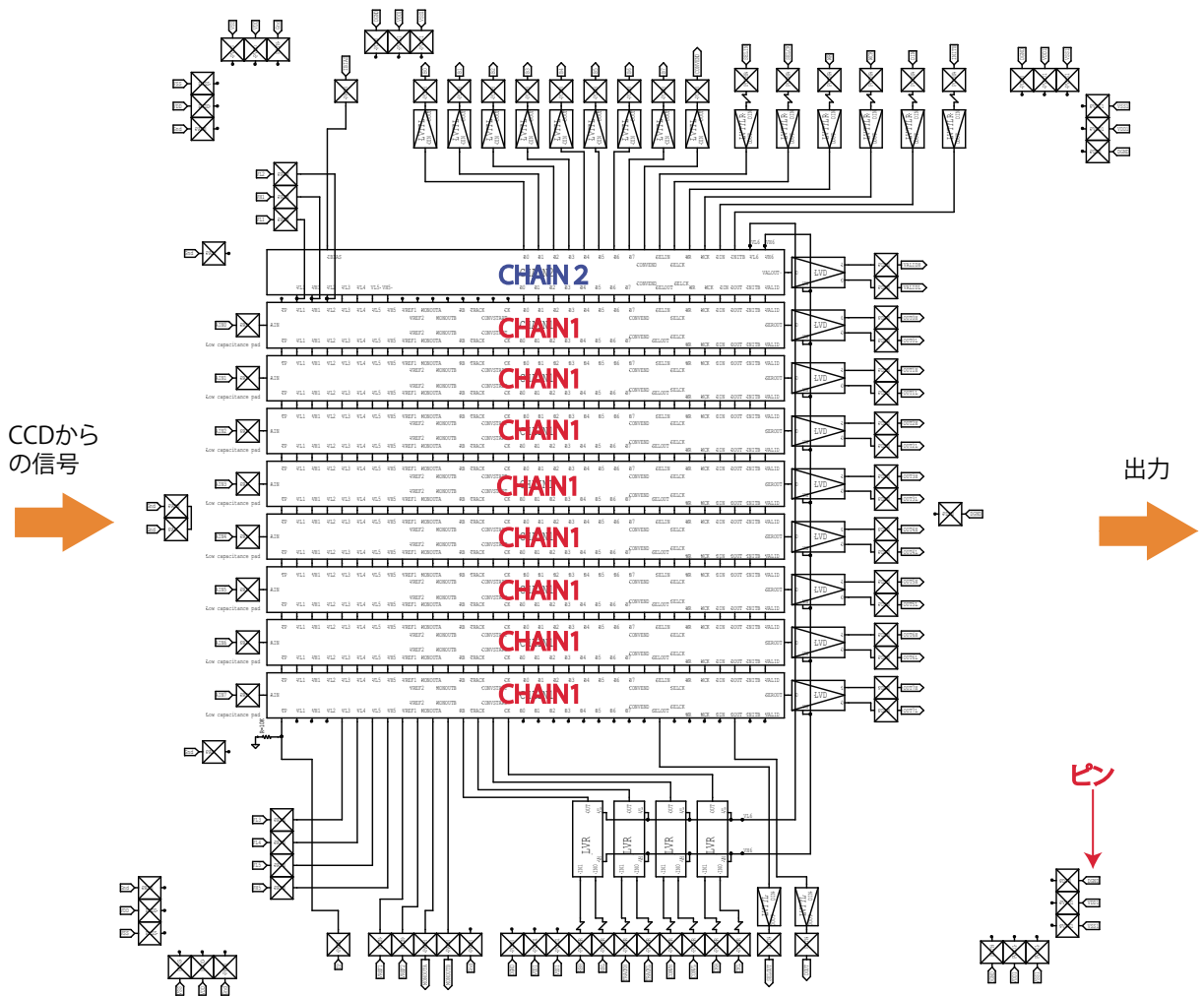


図 7.1: 第2次試作回路全体構成：ピン数を80から100に増やした。

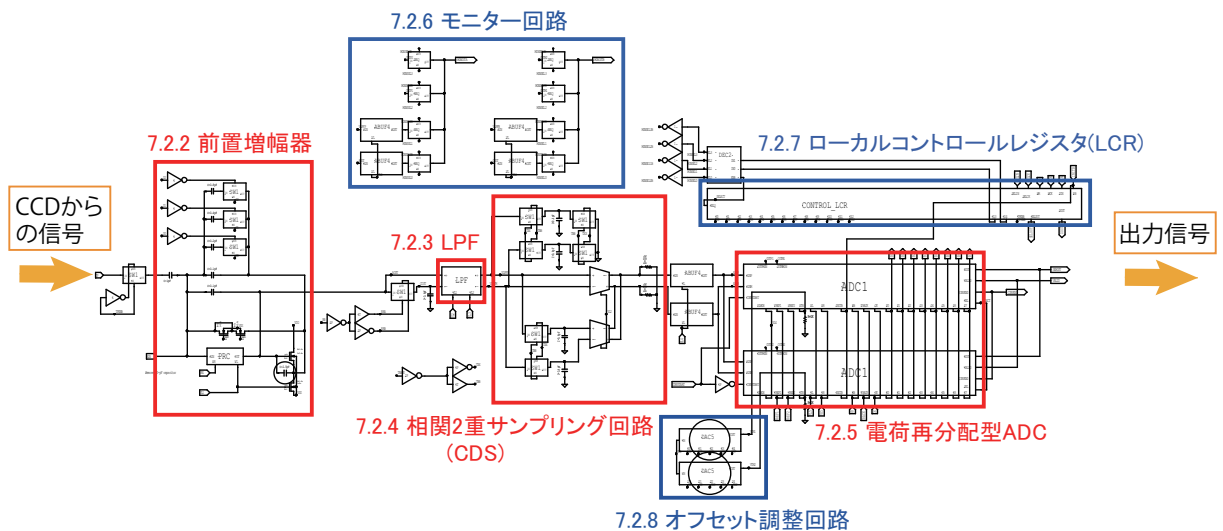


図 7.2: CHAIN1B 回路図：赤で囲った要素は信号に対して機能する回路、青で囲った要素はそれを補佐する回路である。

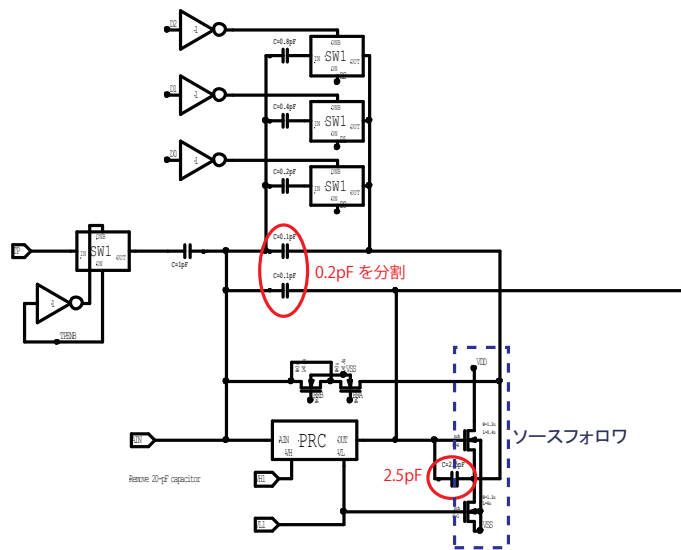


図 7.3: 前置増幅器回路図

7.2.3 ローパスフィルタの変更

ローパスフィルタの変更は、差動ラインへ1つずつ容量を追加した点である。第1次試作では次段の差動増幅器のゲート容量(0.2pF)を積分器として用いていたが、それに更に0.1pFの容量を足した。これはローパスフィルタの精度をあげるための容量の微調整のためであり、周波数特性に影響はない。

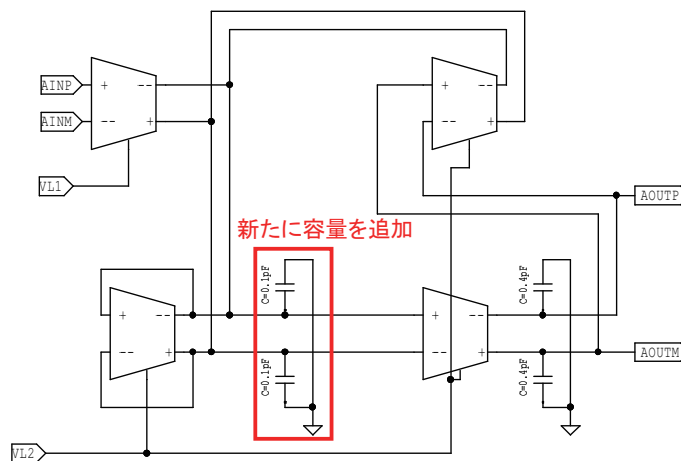


図 7.4: ローパスフィルタ回路図

7.2.4 相関2重サンプリング回路の変更

相関2重サンプリング回路の変更点は2つである。まず1つ目は、容量補償回路にリセット機構を付け、リセットレベルの信号をサンプリングするタイミ

ングで容量補償回路をリセットを行うことにした点である。この変更により、変換毎に GND に接続してリセットを実行するため、過去の信号から影響を受けない。もう 1 つは、抵抗として用いていた差動増幅器を $10\text{k}\Omega$ のポリシリコン抵抗に置き換えたことである。ポリシリコン抵抗は線型性に優れており、最終的な ADC カウントの線型性の改善につながる [24]。

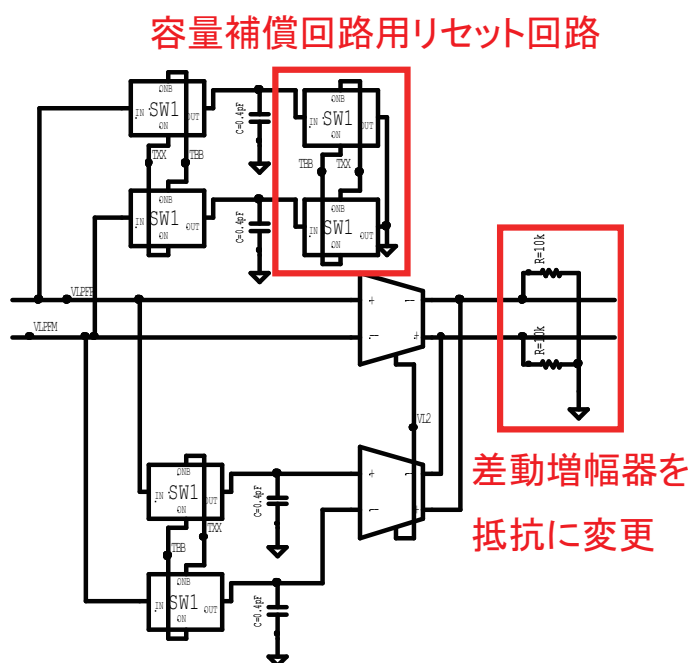


図 7.5: 相関 2 重サンプリング回路図

7.2.5 電荷再配分型 ADC の変更

図 7.6 に第 2 次試作の ADC を示す。電荷再配分型 ADC の変更点は 3 つである。

変更 1 1 つ目は ADC コンデンサアレイに関する変更で、浮遊容量により容量比が崩れていたことへの対策である。容量比の崩れは、

- (1) コンデンサアレイの中の CMOS スイッチにつく浮遊容量
- (2) コンデンサアレイの各容量素子の底面電極とグラウンド(シリコン基板)の間につく浮遊容量

の 2 つが原因で生じていた。

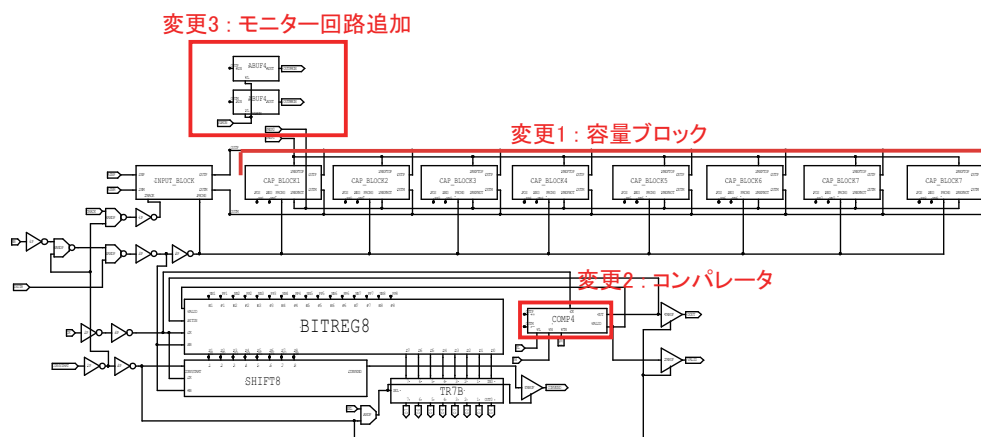


図 7.6: ADC 回路図

(1) に関しては、図 7.7 で示す CMOS スイッチ内に並列にビット重みに合わせた個数のトランジスタを並べることで対応する。MOSFET では製造プロセスの誤差などにより、設計通りの電流が得られない場合がある。そのような場合でも同形状のトランジスタを並列に M 個配置することで、MOSFET の電圧電流変換効率 (トランスコンダクタンス) を調整し、欲しい電流を得ることができる。このとき挿入されるトランジスタの個数を M 値と呼ぶ。 $M=3$ の pMOS 構造の例を図 7.8 に示す。第 2 次試作ではビット重みと M 値を合わせ、浮遊容量もビット重みに対応した大きさになるよう設計した。

(2) に関しては、図 7.7 のようにコンデンサーを 2 つにして、それぞれの底面電極を接地した。こうすることで、上面電極のみに参照電荷を貯め浮遊容量の影響を排除し、A/D 変換が正しく行われるようにした。この変更によりプラス側とマイナス側の参照電圧が必要となったため、基準電圧を 2 つに増やした。また (2) とは関係ないが、第一次試作では上位ビットには 500mV、下位ビットには 250mV を与え電圧と容量で電荷量を調節していたが、今回は電圧を共通の $\pm 256\text{mV}$ (ADC への入力 2 mV が 1ADC に対応) と設定し、容量比のみで電荷量を調節する。

また容量比の崩れを検証できるように確認用ビットを最下位ビットの後ろに追加した。正常に動作しているとき、確認用ビットは最下位ビットと逆の信号を出力するようになっている。確認用ビットを見ることで、最下位ビットの精度が低下していないか確認できる。これは次の変更 2 のオフセット調整の検証にもなる。

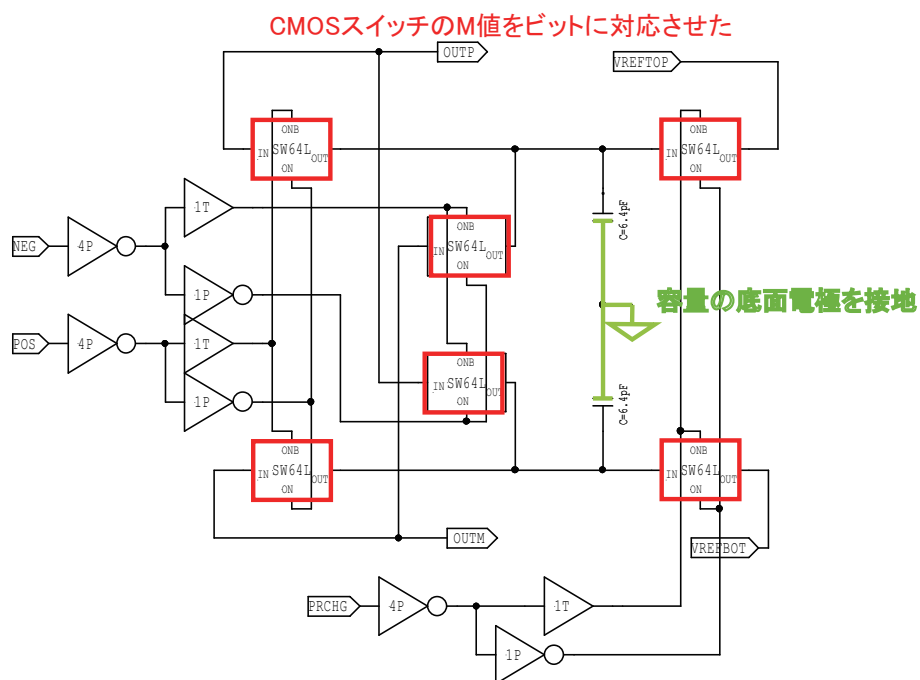


図 7.7: 容量ブロック回路図

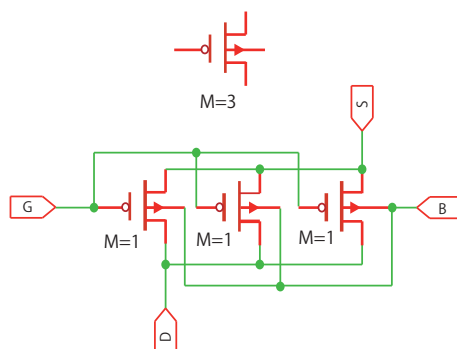


図 7.8: M=3 の pMOS 構造

変更 2 2つ目はコンパレータの設計の変更である。コンパレータでの High、Low の判断の精度を上げるためにオフセット調整機能を導入した。コンパレータでは入力信号の差をとりその正負で出力を決定するが、閾値が 0 からずれる場合がある。このとき下位ビットほど精度が下がってしまう。しかしオフセット調整機能があれば、ずれていた閾値を 0 に戻し高い精度の判断が可能になる。オフセット電圧は ADC の外部にあるオフセット調整回路 (7.2.8 章) から供給される。

変更 3 3つ目はモニター回路を追加したことである。以前は、前置増幅器直後と ADC 直前の 2 つであったが、さらにコンパレータ前の信号を確認できる

ようにした。

7.2.6 モニター回路の変更

図 7.2 で示したように、モニター回路に関してはモニター出力ラインを 1 つから 2 つに増やした。ローパスフィルター後の信号は差動になっており、ラインが 2 つになったことで差動信号を同時にモニターできる。7.2.5 章の最後にも述べたが、モニター出力位置は前置増幅後と ADC 直前に加えて、ADC 内のコンパレータ直前の 3 つとした。

7.2.7 ローカルコントロールレジスタの変更

ローカルコントロールレジスタの変更点は 1 つである。コンパレータのオフセット調整機能を追加したことにより、ローカルコントロールレジスタにおいて設定するパラメータが増えたため、パラメータ設定シフトレジスタを 16 ビットとした。

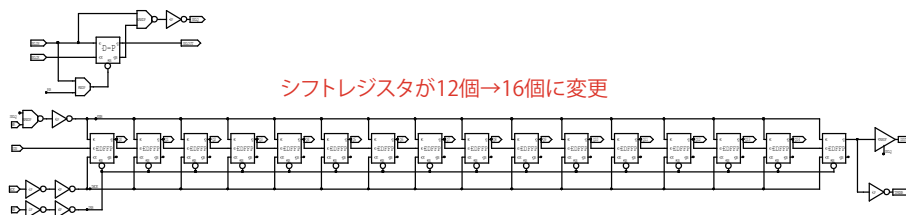


図 7.9: ローカルコントロールレジスタ

7.2.8 オフセット調整回路の追加

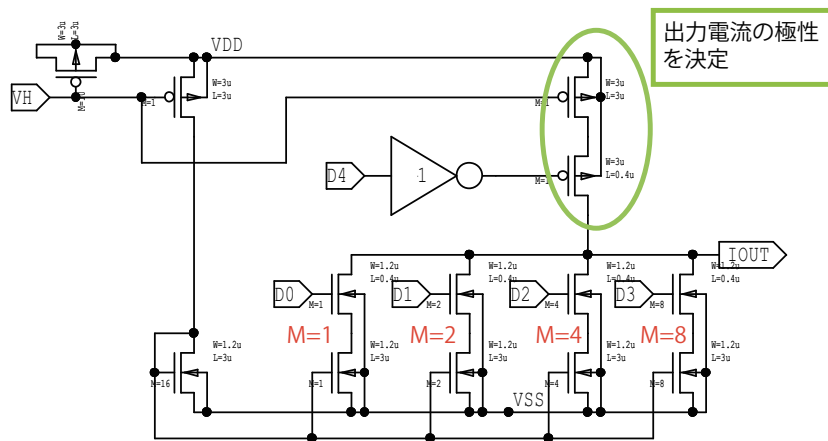
図 7.10(a) に示すコンパレータのオフセット調整回路を新たに追加した。これは 5 ビットの電流 DAC 回路である。pMOS 定電流源用のバイアス電圧 V_H によって供給されるバイアス電流を M 値の異なるカレントミラーで分割し $1/5$ にする。分割された電流は M 値が 1(D0)、2(D1)、4(D2)、8(D3) に設定された nMOS にコピーされる。したがって D0 をオンにすると、 $M=1$ に相当する電流が流れ、D1 をオンにするとその 2 倍の電流が IOUT 端子から流れる。D0 から D3 までを全てオンにすると、IOUT から出力される電流量が最大となる。

一方、D4 は IOUT から出力される電流の極性を決める。D4 がオンのとき、VDD 側から電流が流れ込む。この時 D0 から D3 までオフであれば、この電流

は全て IOOUT から出力されるため、流出電流量が最大となる。逆に D4 がオフのとき、D0 から D4 に電流を供給するために IOOUT から電流が流入する。このときの流入電流量は D0 から D3 のスイッチにより決まる。

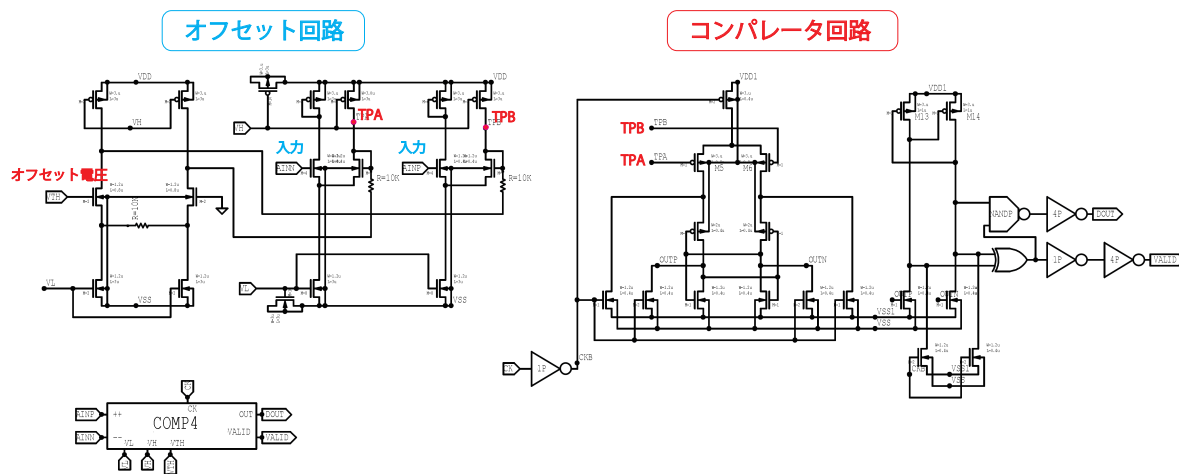
オフセット調整回路の出力ラインは $1\text{ k}\Omega$ の抵抗でグラウンドに落とされており、この抵抗に上で述べたような電流が流れることでオフセット電圧を与える。したがってオフセット電圧をマイナス側に最大にするためには D4 をオフ、D0 から D4 をオンにし、オフセット電圧をプラス側に最大にするためには D4 をオン、D0 から D3 をオフにする。

実際にコンパレータにオフセットを供給するには図 7.10(b) コンパレータ内のオフセット回路である。このオフセット回路にオフセット電圧が入力され、入力信号のオフセットを調整しコンパレータ回路に出力される (TPA、TPB)。



D0~D3は出力電流の大きさを決定

(a) オフセット調整回路



(b) コンパレータ内のオフセット回路

図 7.10: オフセット調整回路図

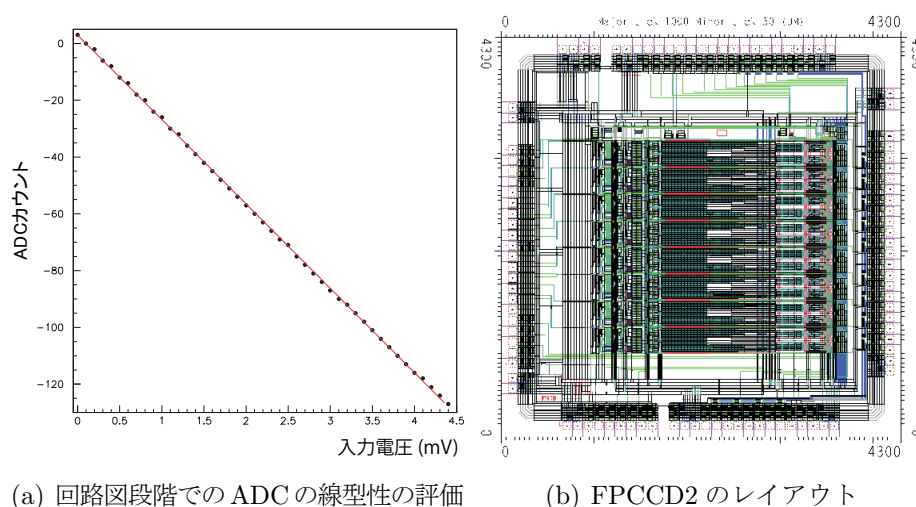


図 7.11: FPCCD2 の回路図段階での CHAIN1 の線型性と作成したレイアウト

7.2.9 チップレイアウト

設計が終わった段階で回路のネットリストを用いて、回路図段階のシミュレーションを行い ADC の線型性を評価した。読み出し速度を 10 MHz に設定し、入力電圧を 0.1 mV 刻みに入力し出力される ADC カウントをプロットした。その結果が図 7.11(a) である。ADC カウントの飛びは見られず、線型性がきれいに得られている。

このときの 1ADC カウントあたりの電子数を見積もる。図 7.11(a) はゲイン最大設定時で、この直線の傾きは $4.4\text{mV}/130\text{ADC}$ カウントであった。CCD では 1 電子あたり $5\ \mu\text{V}$ に変換されるので、次式のような関係が得られる。

$$1\text{ADC} = \frac{4.4\text{mV}}{130\text{ADC カウント}} \times \frac{1\text{電子}}{5\ \mu\text{V}} = 6.7\text{電子} \quad (7.1)$$

第 1 次試作では 1 ADC カウントは 40 電子と大きすぎて細かい評価ができなかったが、本試作では線型性の傾きを緩やかにし 1ADC あたりの電子数を小さくした。

以上より、FPCCD2 の回路図段階では第 1 次試作で見られた問題点は解決されている。

次にレイアウトの作成を行った。第 1 次試作同様、デジアンテクノロジー社に依頼した。図 7.11(b) にチップレイアウトを示す。チップサイズは $4.3\ \mu\text{m} \times 4.3\ \mu\text{m}$ である。

7.2.10 シミュレーションによる性能評価

FPCCD2のレイアウトを作成しレイアウトから浮遊容量を抽出して、ポスト・レイアウト・シミュレーションによる性能評価を行った。図7.12(a)がFPCCD2のA/D変換の線型性を評価した図である。回路図段階のシミュレーションでは確認できなかった数ADCカウント程度の飛びが見られる。これはノイズの原因となってしりうるため、改善されなければならない問題である。

回路図段階では見られなかったADCカウントの飛びがポスト・レイアウト・シミュレーションで出現する原因は、設計段階では評価できないレイアウトによる浮遊容量の影響が考えられる。CHAIN1の浮遊容量を除いてシミュレーションを行った結果が図7.12(b)である。(a)と比較して明らかに線形性が回復している。したがって(a)で見られるADCの飛びは浮遊容量が原因であるといえる。

次に浮遊容量の影響を大きく受けている箇所を検証した。変換速度を落とすとADCの飛びは消えるため、高速動作時に浮遊容量の影響が大きく出ていることがわかった。シミュレーションによる検証の結果、特にADC内のコンパレータが浮遊容量に弱い構造となっていることが判明した。この問題を解決するためにはコンパレータの浮遊容量の影響を抑えるような設計の変更が必要である。

さらにコンパレータのオフセット回路のプラス入力側とマイナス入力側に大きさの違う浮遊容量をつけてシミュレーションを行ったところ、同様のADCの出力の飛びが確認された。この結果からオフセット回路は非対称な浮遊容量の影響を受けやすいことがわかった。これはレイアウトを対称にすることで改善できる。

7.3 FPCCD2B

FPCCD2でポストレイアウトシミュレーションで見られたADCの飛びを改善するために、更に回路構成に変更を加えたFPCCD2Bを設計した。変更の目的はADCのコンパレータが受ける浮遊容量の影響を抑えることである。

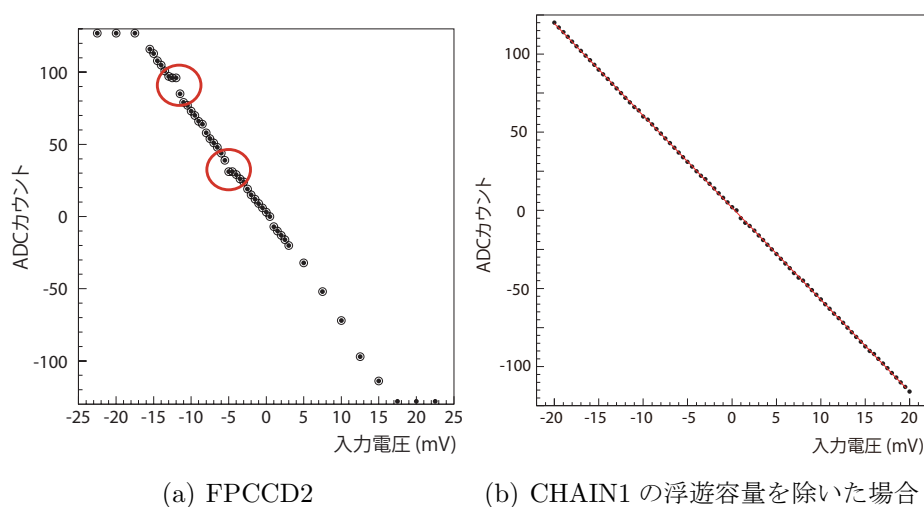


図 7.12: FPCCD2 の A/D 変換の線形性評価

7.3.1 FPCCD2B 回路構成

図 7.13 に FPCCD2B の全体構成回路図を示す。FPCCD2 からの全体構成に関する変更はない。ただし前回までは PIP (Poly-Insulator-Poly) コンデンサの極性¹を明示していなかったため、極性が一致していなかったものもあったが、FPCCD2B では全て回路図に一致させる。

これから述べる変更は主に CHAIN1B に対して行われ、比較のため CHAIN1 は基本 FPCCD2 のまま残しておく (変更は上で述べた PIP コンデンサについてと次に述べるダンピング抵抗の追加等)。

7.3.2 CHAIN1 の変更

CHAIN1 の変更は図 7.14(b) で示すように、ADC の直前にダンピング抵抗を加えた点である。これは直前のモニター回路の容量との関係で信号にピーキングが生じる現象が回路図段階のシミュレーションにより確認されたためである。ダンピング抵抗を挿入することで、このピーキングを抑えることができる。

7.3.3 ADC の変更

コンパレータ部の変更

¹固定容量コンデンサには大きく分類して極性があるものとないものに分けられる。極性のあるコンデンサは接続する端子がプラス、マイナスに決まっており、これを逆に接続すると不具合が生じる可能性がある。無極性はどちらに接続しても問題はない。

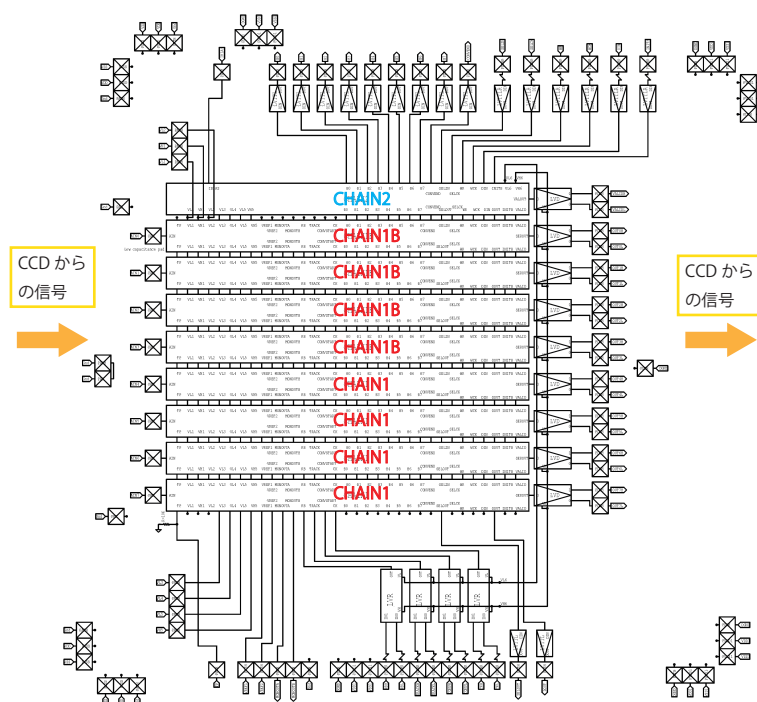


図 7.13: FPCCD2B 全体回路図

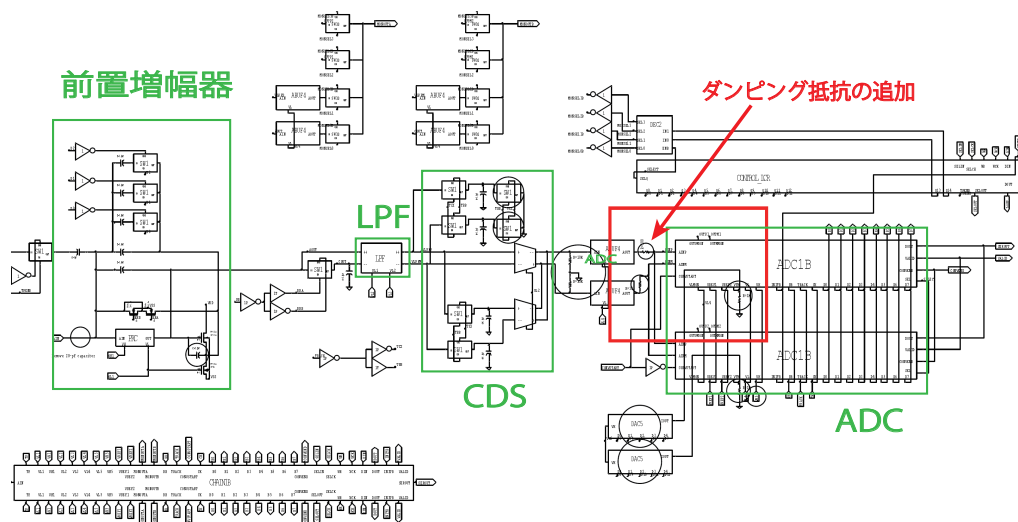
FPCCD2の回路図段階の詳細なシミュレーションにより、2段目のコンパレータのリセット解除動作が前段に影響し前段の動作を遅くしており、その結果コンパレータの判定出力が遅れることが確認できた。2段目のコンパレータは1段目のコンパレータのゲインを補う役割として置かれていたが、この結果よりうまく機能していなかったがわかった。FPCCD2Bでは、このコンパレータをインバータに変更する。インバータの役割は、後段へのドライブ能力²を高めることである。インバータ直前の回路がドライブ能力が低いため、直接後段の回路を接続するとスイッチング動作速度が遅くなる。そこでインバータを通してから、後段の回路をドライブすることにした。

また浮遊容量の影響を抑えるために、インバータも含め対称なレイアウトにした。これにより浮遊容量もまた対称につき、出力への影響を抑えることができる。図7.15にコンパレータの回路図を示す。

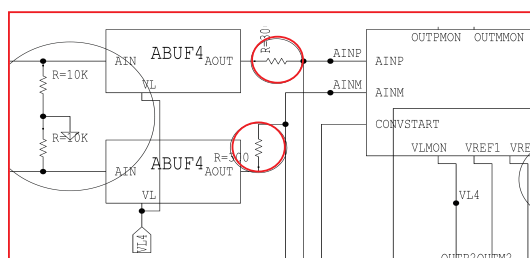
オフセット部の変更

FPCCD2ではオフセット部につく浮遊容量もADCの飛びの原因となること

²次段の負荷回路をどうさせるために必要な駆動能力。具体的にはどれだけの電流が流せるかである。



(a) FPCCD2B の CHAIN1 の変更点



(b) ダンピング抵抗

図 7.14: FPCCD2B の CHAIN1 回路図

がわかった。特にコンパレータ外の信号 (例えば、TRACK、CONVSTART、RB、CK) との浮遊容量によるカップリングの影響が大きかった。そこで浮遊容量の影響を抑えるためにレイアウトを対称にすると共に、配線の引き回しを変更したりシールドを施した。さらに回路をミラー構造に変更した。これはオフセット調整回路の出力インピーダンスを小さくして、デジタル信号のクロストークによる電圧振幅が過剰にならないように、また浮遊容量があっても信号帯域を失わないようにすることが目的である。外部の信号とのカップリングの影響を小さくするために、回路を低インピーダンス化しようトランジスタのサイズの変更も行った。この変更により消費電力が増すことが考えられるが、今回は問題としない。

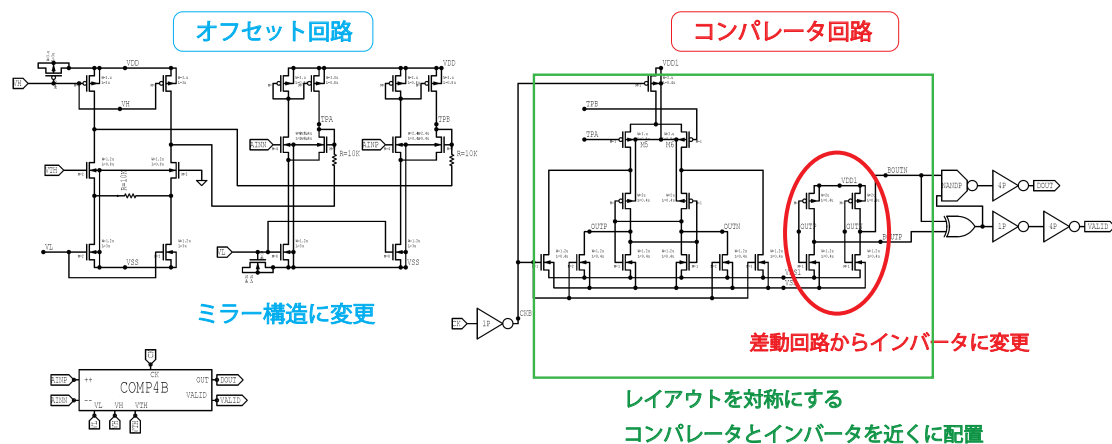


図 7.15: コンパレータ回路図

7.3.4 チップレイアウト

FPCCD2Bのレイアウト作成も前回までと同様、デジアンテクノロジー社に依頼した。浮遊容量は隣り合う導線間にも生ずるため、コンパレータの機能に影響を与えないよう細心の注意を払いレイアウトした。出来上がったレイアウトを図 7.17 に載せる。

7.3.5 シミュレーションによる性能評価

出来上がったレイアウトから浮遊容量を抽出して、ポスト・レイアウト・シミュレーションによる性能評価を行った。図 7.17 が FPCCD2B の ADC における A/D 変換の線型性を評価した図である。図 7.12(a) で見られたような ADC カウントの大きな飛びは消えている。プロットが直線に対して少し波打っているように見えるが、これは前置増幅器の出力部のソースフォロアの特徴が出ていると考えられる。これは補正可能であるため、問題にならない。

以上より、FPCCD2B における設計の変更により期待通りの性能を実現できた。

7.3.6 第 2 次試作 ASIC の製作

FPCCD2B のレイアウトで第 2 次試作 ASIC の製作を行う。ASIC の製作は第 1 次試作同様、TSMC に依頼した。チップの設計パラメータを表 7.1 に示す。チップは 2011 年 1 月 5 日にテープアウトし 2 月 17 日納入予定である。

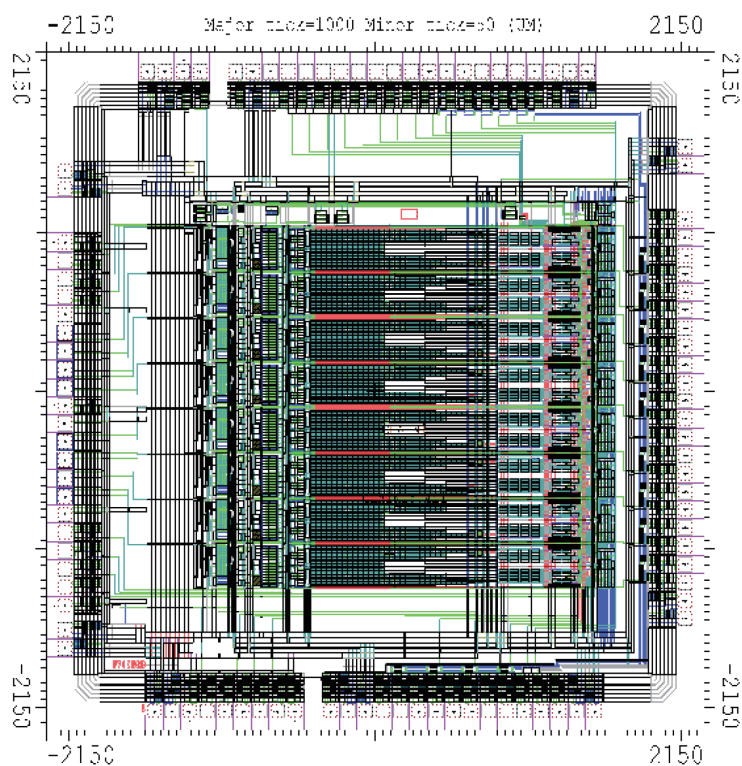


図 7.16: FPCCD2B のレイアウト

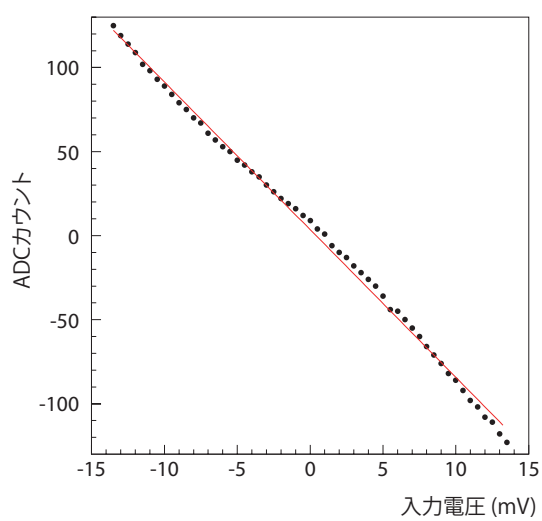


図 7.17: FPCCD2B の ADC の線型性の検証

表 7.1: FPCCD2B チップ設計パラメータ

チップ名	FPCCD2B
チャンネル数	8
前置増幅器ゲイン [ゲイン変更範囲]	$-1\text{pF}/C_f$ $C_f : 0.2\text{pF}\sim 1.6\text{pF}$ (8steps)
製造会社	TSMC (Taiwan Semiconductor Manufacturing Company)
製造プロセス	0.35 μm 2層 POLY 4層 METAL
チップエリア	4.3 mm \times 4.3 mm
パッケージ	CQFP100PIN
電源電圧	3.3V(VDD=1.65V, VSS=-1.65V, GND=0V)

第8章 まとめ

本研究では ILC の FPCCD 崩壊点検出器の読み出しシステムの確立を目指し、読み出し ASIC を開発を行い、それを用いて試作 FPCCD の読み出し試験を行った。

FPCCD 崩壊点検出器用 ASIC の第 1 次試作

宇宙航空研究機構の池田博一教授のご協力を得て、FPCCD 崩壊点検出器用読み出し ASIC の第 1 次試作(チップ名:FPCCD)の開発を行い、その性能評価を行った。チップ FPCCD の各要素は正常に動作しており、全体構成に問題はないことを確認した。ASIC には要求性能が課されており、チップ FPCCD がそれらを満たしているか評価した。読み出し速度に関しては 10MHz 以上が求められているが、チップ FPCCD で正常な読み出しが実現できたのは 1.5MHz までであった。回路設計上は 10MHz で動作するはずであるが、高速動作時に ADC のコンパレータに十分電流が供給されていないことが原因で達成できなかったと考えられる。ノイズレベルは 30 電子以下が求められるが、チップ FPCCD では 40 電子を得た。またノイズレベルに関連して ADC での A/D 変換の性能を評価したところ、概ねよい線型性が得られた。しかし一部 ADC カウント欠けがあることが発覚した。これは ADC のコンデンサ・アレイに浮遊容量が付き、容量比を崩すことが原因であった。消費電力に関しては実測はしておらず、要求性能 6 mW/ch のところシミュレーションで 13 mW/ch と見積もられた。

試作 FPCCD 読み出し試験

チップ FPCCD を用いて試作 FPCCD の読み出し試験を行った。読み出しシステムは適切に動作し、FPCCD から問題なく信号が読み出せることが確認できた。FPCCD と読み出しシステムでの読み出しノイズを評価したところ、要求性能 50 電子に対して室温で約 90 電子、 -40°C 冷却時で 40 電子が得られた。実機の検出器は -50°C で冷却することが予定されているため、冷却時には読み出しノイズは要求性能を満足すること見込める。

FPCCD 崩壊点検出器用 ASIC の第 2 次試作

チップ FPCCD の性能評価結果を受け、ASIC の第 2 次試作 (チップ名:FPCCD2B) を行った。第 2 次試作の目的は読み出し速度 10MHz を達成すること、そして ADC カウント欠けをなくし入力電圧と ADC カウントのきれいな線型性を得ることである。2 回のレイアウトの作成の結果、目的を達成できる回路設計が完成した。チップ FPCCD2B は 2011 年 1 月 15 日にテープアウトし、2 月 17 日に納入予定である。

今後の予定

第 2 次試作納入後、性能評価を行い要求性能が満たされているか検証する。要求性能が満足されていれば 10MHz で試作 FPCCD を読み出し、センサーと読み出しシステムを合わせて性能評価を行う。また今年度中にも $6\ \mu\text{m} \times 6\ \mu\text{m}$ の FPCCD が完成するため、それを用いた読み出し試験も行う必要がある。ILC では 2012 年夏に TDR(Technical Desigh Report) を提出する予定であり、この時点で技術確立を実現できていれば FPCCD 崩壊点検出器が ILD の崩壊点検出器として採用される可能性が非常に高くなる。したがって来年度中には要求性能を満たすセンサーと読み出しシステムの開発が必須となる。

付録A 標準模型のラグランジアン

ヒッグス場が $\phi_+ \rightarrow 0$ 、 $\phi_0 \rightarrow \frac{1}{\sqrt{2}}(v + \chi)$ で $SU(2) \times U(1)$ 対称性を破った後のラグランジアンは、

$$\begin{aligned}
 L = & \bar{\nu}(i\partial - m_\nu)\nu + \bar{\ell}(i\partial - m_\ell)\ell + \frac{1}{2}(\partial_\mu\chi\partial^\mu\chi - m_H^2\chi^2) \\
 & - \frac{1}{4}F_{\mu\nu}^i F^{i\mu\nu} + m_W^2 W_{+\mu}^* W_+^\mu - \frac{1}{4}G_{\mu\nu} G^{\mu\nu} + \frac{m_Z^2}{2} Z_\mu Z^\mu \\
 & + eA_\mu(\bar{\ell}\gamma^\mu\ell) - \frac{g}{\sqrt{2}}[W_+^\mu(\bar{\nu}\gamma^\mu P_L\ell) + c.c] \\
 & - \bar{g}Z_\mu[\bar{\nu}\gamma^\mu(s_{\nu_L}P_L + s_{\nu_R}P_R)\nu + \bar{\ell}\gamma^\mu(s_{\ell_L}P_L + s_{\ell_R}P_R)\ell] \\
 & + \frac{2v\chi + \chi^2}{4}\left(\left(\frac{2m_W}{v}\right)^2 W_{+\mu}^* W_+^\mu + \frac{1}{2}\left(\frac{2m_Z}{v}\right)^2 Z_\mu Z^\mu\right) \\
 & - \frac{m_\ell}{v}\chi(\bar{\ell}\ell) - \frac{m_\nu}{v}\chi(\bar{\nu}\nu) \\
 & - \frac{m_H^2}{2v}\chi^3 - \frac{m_H^2}{8v^2}\chi^4
 \end{aligned} \tag{A.1}$$

ここで、

$$\begin{aligned}
 m_H &= \sqrt{-4\mu^2}, \quad m_W = \frac{vg}{2}, \quad m_Z = \frac{v\bar{g}}{2}, \\
 e &= g\sin\theta_W, \quad \bar{g} = \sqrt{g^2 + g'^2}, \quad \sin\theta_W = \frac{g'}{\bar{g}}, \quad \cos\theta_W = \frac{g}{\bar{g}}
 \end{aligned} \tag{A.2}$$

である。

付録B 各検出器のパラメータ

検出器	パラメータ			検出器	パラメータ			
VTX	半径 (mm)	1 層目	16.0	FTD	内径 (mm)	ディスク 1	39	
		2 層目	18.0			ディスク 2	49.6	
		3 層目	37.0			ディスク 3	70.1	
		4 層目	39.0			ディスク 4	100.3	
		5 層目	58.0			ディスク 5	130.4	
		6 層目	60.0			ディスク 6	160.5	
SIT	半径 (mm)	1 層目	165			ディスク 7	外径 (mm)	ディスク 1
		2 層目	309		ディスク 2			164
	長さ (mm)	1 層目	371		ディスク 3			308
		2 層目	645		ディスク 4			309
SET	半径 (mm)	1 層目	1833		ディスク 5			309
		2 層目	1835		ディスク 6			309
	長さ (mm)	1 層目	2350		ディスク 7			309
		2 層目	2350	長さ (mm)	ディスク 1		220	
ETD	内径 (mm)		419.3		ディスク 2		371.3	
	外径 (mm)		1822.7		ディスク 3		644.9	
長さ (mm)	ディスク 1	2426	ディスク 4		1046.1			
	ディスク 2	2428	ディスク 5		1447.3			
	ディスク 3	2430	ディスク 6		1848.5			
					ディスク 7	2250		

表 B.1: ILD 測定器の各検出器のパラメータ (1)

検出器	パラメータ		
ECAL	バレル	内径 (mm)	1847.4
		外径 (mm)	2019.6
		長さ (mm)	2350
		放射長 (X_0)	23.6
	エンドキャップ	内径 (mm)	400
		外径 (mm)	2088.8
		長さ (mm)	2450~2622.2
		放射長 (X_0)	23.6
HCAL	バレル	内径 (mm)	2058
		外径 (mm)	3330
		長さ (mm)	2350
		放射長 (X_0)	55.3
	エンドキャップ	内径 (mm)	350
		外径 (mm)	3090.4
		長さ (mm)	2650~3922
		放射長 (X_0)	55.3
LumiCAL	内径 (mm)	80	
	外径 (mm)	195.2	
	長さ (mm)	2506.9~2635	
BeamCAL	内径 (mm)	20	
	外径 (mm)	150	
	長さ (mm)	3594.9~3714.9	
LHCAL	内径 (mm)	93	
	外径 (mm)	330.6	
	長さ (mm)	2680~3205	
ヨーク	バレル	内径 (mm)	4440
		外径 (mm)	6990
		長さ (mm)	4047
	エンドキャップ	内径 (mm)	300
		外径 (mm)	6990
		長さ (mm)	4072~6622
ソレノイド		磁場の強さ (T)	3.5

表 B.2: ILD 測定器の各検出器のパラメータ (2)

付録C FPCCD 評価基板回路図

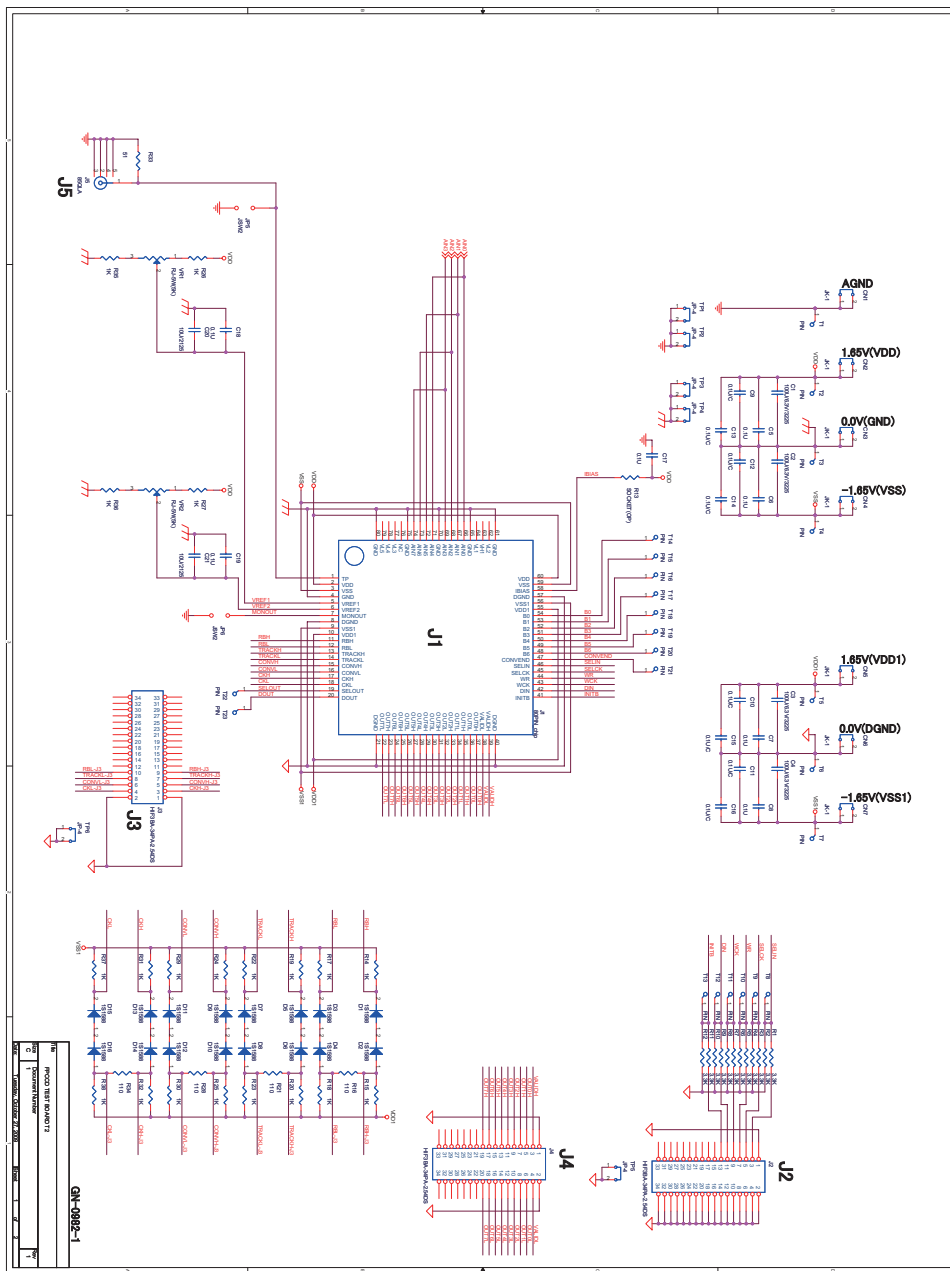


図 C.1: FPCCD 読み出し評価基板 (ASIC 周辺)

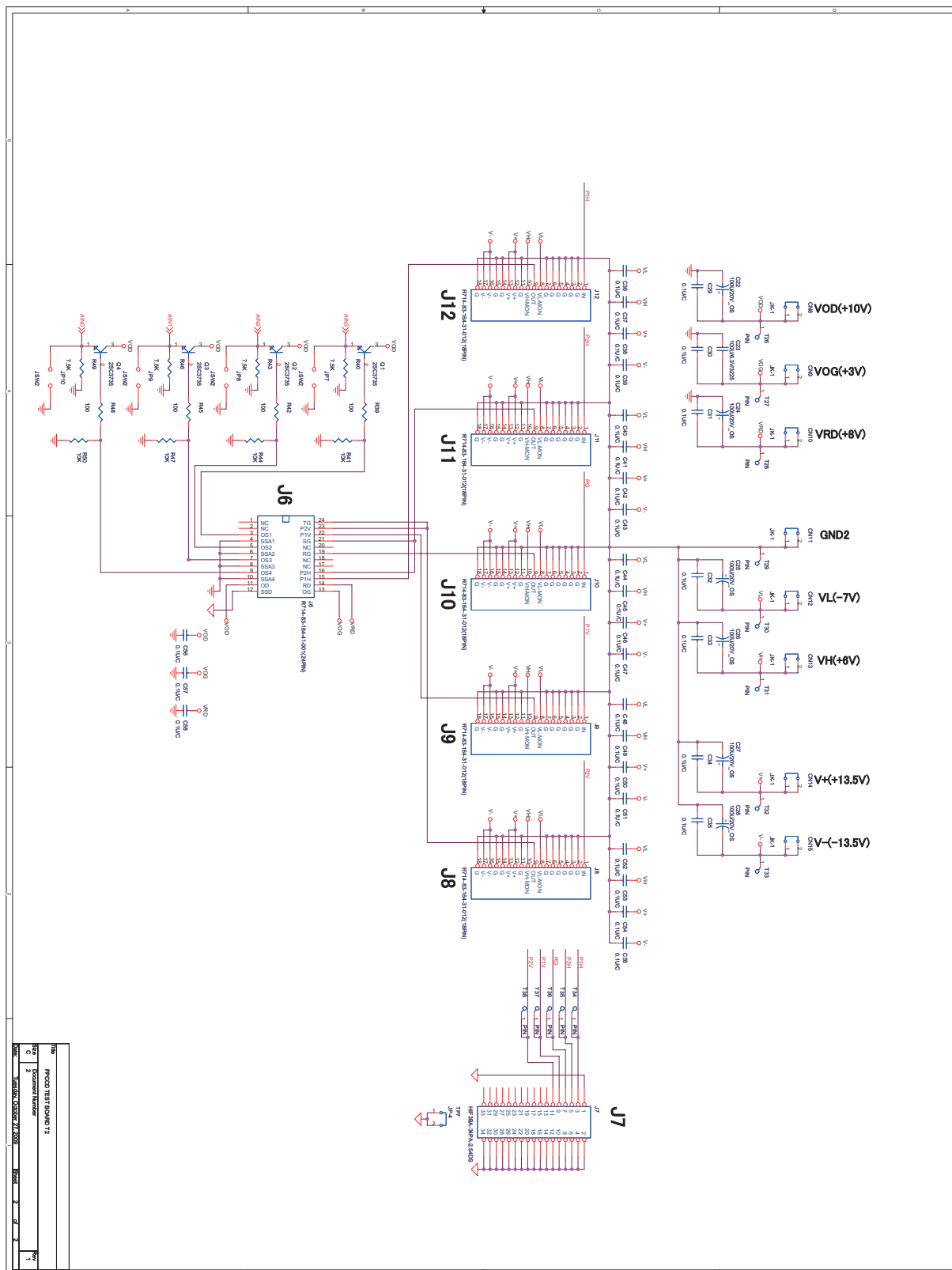


図 C.2: FPCCD 読み出し評価基板 (CCD 周辺)

図名	FPCCD 読み出し評価基板
図番	2
作成者	佐藤 浩二
作成日	2003.03.27
更新者	
更新日	
備考	

付録D 第1次試作ASICパッド配置一覧表

表 D.1: 第1次読み出しASICのパッド配置

パッド番号	信号名	パッド種別	内容
1	TP	PAD	テストパルス入力
2	VDD	PVDD	アナログ用電源 (+1.65 V)
3	VSS	PVSS	アナログ用電源 (-1.65 V)
4	Gnd	PATH	アナロググランド (0 V)
5	VREF1	PATH	A/D 変換基準電圧 (+500 mV)
6	VREF2	PATH	A/D 変換基準電圧 (+250 mV)
7	MONOUT	PATH	モニター出力
8	DGND	PATH	デジタルグランド (0 V)
9	VSS1	PVSS1	デジタル用電源 (-1.65 V)
10	VDD1	PVDD1	デジタル用電源 (+1.65 V)
11	RBH	PDTHR	LVDS 入力 (読み出し回路動作信号)
12	RBL	PDTHR	LVDS 入力 (読み出し回路動作信号)
13	TRACKH	PDTHR	LVDS 入力 (読み出し回路動作信号)
14	TRACKL	PDTHR	LVDS 入力 (読み出し回路動作信号)
15	CONVH	PDTHR	LVDS 入力 (読み出し回路動作信号)
16	CONVL	PDTHR	LVDS 入力 (読み出し回路動作信号)
17	CKH	PDTHR	LVDS 入力 (読み出し回路動作信号)
18	CKL	PDTHR	LVDS 入力 (読み出し回路動作信号)
19	SELOUT	PDTH	LVTTL 出力 (チャンネル指定シフトレジスター出力)
20	DOUT	PDTH	LVTTL 出力 (パラメータ設定シフトレジスター出力) (パラメータ設定シフトレジスター出力)
21	DGND	PAD	デジタルグランド (0 V)
22	OUT7L	PDTH	LVDS 出力 (ADC 出力)
23	OUT7H	PDTH	LVDS 出力 (ADC 出力)
24	OUT6L	PDTH	LVDS 出力 (ADC 出力)

パッド番号	信号名	パッド種別	内容
25	OUT6H	PDTH	LVDS 出力 (ADC 出力)
26	OUT5L	PDTH	LVDS 出力 (ADC 出力)
27	OUT5H	PDTH	LVDS 出力 (ADC 出力)
28	OUT4L	PDTH	LVDS 出力 (ADC 出力)
29	OUT4H	PDTH	LVDS 出力 (ADC 出力)
30	OUT3L	PDTH	LVDS 出力 (ADC 出力)
31	OUT3H	PDTH	LVDS 出力 (ADC 出力)
32	OUT2L	PDTH	LVDS 出力 (ADC 出力)
33	OUT2H	PDTH	LVDS 出力 (ADC 出力)
34	OUT1L	PDTH	LVDS 出力 (ADC 出力)
35	OUT1H	PDTH	LVDS 出力 (ADC 出力)
36	OUT0L	PDTH	LVDS 出力 (ADC 出力)
37	OUT0H	PDTH	LVDS 出力 (ADC 出力)
38	VALIDL	PDTH	LVDS 出力 (ADC 出力)
39	VALIDH	PDTH	LVDS 出力 (ADC 出力)
40	DGND	PAD	デジタルグランド (0 V)
41	INITB	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
42	DIN	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
43	WCK	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
44	WR	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
45	SELCK	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
46	SELIN	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
47	CONVEND	PDTH	LVTTL 出力 (変換終了信号)
48	B6	PDTH	LVTTL 出力 (ビットレジスター出力)
49	B5	PDTH	LVTTL 出力 (ビットレジスター出力)
50	B4	PDTH	LVTTL 出力 (ビットレジスター出力)
51	B3	PDTH	LVTTL 出力 (ビットレジスター出力)
52	B2	PDTH	LVTTL 出力 (ビットレジスター出力)
53	B1	PDTH	LVTTL 出力 (ビットレジスター出力)
54	B0	PDTH	LVTTL 出力 (ビットレジスター出力)
55	VDD1	PVDD1	デジタル用電源 (+1.65 V)
56	VSS1	PVSS1	デジタル用電源 (-1.65 V)
57	DGND	PDTH	デジタルグランド (0 V)
58	IBIAS	PATH	基準電流入力
59	VSS	PVSS	アナログ用電源 (+1.65 V)
60	VDD	PVDD	アナログ用電源 (-1.65 V)
61	Gnd	PATH	アナロググランド (0 V)
62	VL2	PATH	バイアス電圧モニター出力
63	VH1	PATH	バイアス電圧モニター出力
64	VL1	PATH	バイアス電圧モニター出力
65	Gnd	PAD	アナロググランド (0 V)

パッド番号	信号名	パッド種別	内容
66	AIN0	PAD	CCD 信号入力
67	AIN1	PAD	CCD 信号入力
68	AIN2	PAD	CCD 信号入力
69	AIN3	PAD	CCD 信号入力
70	Gnd	PAD	アナロググランド (0 V)
71	AIN4	PAD	CCD 信号入力
72	AIN5	PAD	CCD 信号入力
73	AIN6	PAD	CCD 信号入力
74	AIN7	PAD	CCD 信号入力
75	Gnd	PAD	アナロググランド (0 V)
76	NC	PAD	無接続
77	VL3	PATH	バイアス電圧モニター出力
78	VL4	PATH	バイアス電圧モニター出力
79	VL5	PATH	バイアス電圧モニター出力
80	Gnd	PAD	アナロググランド (0 V)

付録E 第2次試作ASICパッド配置一覧表

表 E.1: 第2次試作読み出しASICのパッド配置

パッド番号	信号名	パッド種別	内容
1	VSS	PVSS	アナログ用電源 (-1.65 V)
2	VDD	PVDD	アナログ用電源 (+1.65 V)
3	Gnd	PATH	アナロググランド (0 V)
4	TP	PATH	テストパルス入力
5	VREF1	PATH	A/D 変換基準電圧 (+256 mV)
6	VREF2	PATH	A/D 変換基準電圧 (-256 mV)
7	MONOUTA	PATH	モニター出力
8	MONOUTB	PATH	モニター出力
9	Gnd	PATH	アナロググランド (0 V)
10	DGND	PDTH	デジタルグランド (0 V)
11	VDD1	PVDD1	デジタル用電源 (+1.65 V)
12	VSS1	PVSS1	デジタル用電源 (-1.65 V)
13	RBH	PDTHR	LVDS 入力 (読み出し回路動作信号)
14	RBL	PDTHR	LVDS 入力 (読み出し回路動作信号)
15	TRACKH	PDTHR	LVDS 入力 (読み出し回路動作信号)
16	TRACKL	PDTHR	LVDS 入力 (読み出し回路動作信号)
17	CONVH	PDTHR	LVDS 入力 (読み出し回路動作信号)
18	CONVL	PDTHR	LVDS 入力 (読み出し回路動作信号)
19	CKH	PDTHR	LVDS 入力 (読み出し回路動作信号)
20	CKL	PDTHR	LVDS 入力 (読み出し回路動作信号)
21	SELOUT	PDTH	LVTTL 出力 (チャンネル指定シフトレジスター出力)
22	DOUT	PDTH	LVTTL 出力 (パラメータ設定シフトレジスター出力)
23	DGND	PDTH	デジタルグランド (0 V)
24	VDD1	PVDD1	デジタル用電源 (+1.65 V)

パッド番号	信号名	パッド種別	内容
25	VSS1	PVSS1	デジタル用電源 (-1.65 V)
26	VSS1	PVSS1	デジタル用電源 (-1.65 V)
27	VDD1	PVDD1	デジタル用電源 (+1.65 V)
28	DGND	PDTH	デジタルグランド (0 V)
29	OUT7L	PDTH	LVDS 出力 (ADC 出力)
30	OUT7H	PDTH	LVDS 出力 (ADC 出力)
31	OUT6L	PDTH	LVDS 出力 (ADC 出力)
32	OUT6H	PDTH	LVDS 出力 (ADC 出力)
33	OUT5L	PDTH	LVDS 出力 (ADC 出力)
34	OUT5H	PDTH	LVDS 出力 (ADC 出力)
35	OUT4L	PDTH	LVDS 出力 (ADC 出力)
36	OUT4H	PDTH	LVDS 出力 (ADC 出力)
37	DGND	PDTH	LVDS 出力 (ADC 出力)
38	OUT3L	PDTH	LVDS 出力 (ADC 出力)
39	OUT3H	PDTH	LVDS 出力 (ADC 出力)
40	OUT2L	PDTH	LVDS 出力 (ADC 出力)
41	OUT2H	PDTH	LVDS 出力 (ADC 出力)
42	OUT1L	PDTH	LVDS 出力 (ADC 出力)
43	OUT1H	PDTH	LVDS 出力 (ADC 出力)
44	OUT0L	PDTH	LVDS 出力 (ADC 出力)
45	OUT0H	PDTH	LVDS 出力 (ADC 出力)
46	VALIDL	PDTH	LVDS 出力 (ADC 出力)
47	VALIDH	PDTH	LVDS 出力 (ADC 出力)
48	DGND	PDTH	デジタルグランド (0 V)
49	VDD1	PVDD1	デジタル用電源 (+1.65 V)
50	VSS1	PVSS1	デジタル用電源 (-1.65 V)
51	VSS1	PVSS1	デジタル用電源 (-1.65 V)
52	VDD1	PVDD1	デジタル用電源 (+1.65 V)
53	DGND	PDTH	デジタルグランド (0 V)
54	INITB	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
55	DIN	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
56	WCK	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
57	WR	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
58	SELCK	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)
59	SELIN	PDTHR	LVTTL 入力 (チャンネル指定・パラメータ設定)

パッド番号	信号名	パッド種別	内容
60	CONVEND	PDTH	LVTTL 出力 (変換終了信号)
61	B7	PDTH	LVTTL 出力 (ビットレジスター出力)
62	B6	PDTH	LVTTL 出力 (ビットレジスター出力)
63	B5	PDTH	LVTTL 出力 (ビットレジスター出力)
64	B4	PDTH	LVTTL 出力 (ビットレジスター出力)
65	B3	PDTH	LVTTL 出力 (ビットレジスター出力)
66	B2	PDTH	LVTTL 出力 (ビットレジスター出力)
67	B1	PDTH	LVTTL 出力 (ビットレジスター出力)
68	B0	PDTH	LVTTL 出力 (ビットレジスター出力)
69	VSS1	PVSS1	デジタル用電源 (-1.65 V)
70	VDD1	PVDD1	デジタル用電源 (+1.65 V)
71	DGND	PDTH	デジタルグランド (0 V)
72	IBIAS	PATH	基準電流入力
73	Gnd	PATH	アナロググランド (0 V)
74	VDD	PVDD	アナログ用電源 (+1.65 V)
75	VSS	PVSS	アナログ用電源 (-1.65 V)
76	VSS	PVSS	アナログ用電源 (-1.65 V)
77	VDD	PVDD	アナログ用電源 (+1.65 V)
78	Gnd	PATH	アナロググランド (0 V)
79	VL2	PATH	バイアス電圧モニター出力
80	VH1	PATH	バイアス電圧モニター出力
81	VL1	PATH	バイアス電圧モニター出力
82	Gnd	PAD	アナロググランド (0 V)
83	AIN0	PAD	CCD 信号入力
84	AIN1	PAD	CCD 信号入力
85	AIN2	PAD	CCD 信号入力
86	AIN3	PAD	CCD 信号入力
87	Gnd	PATH	アナロググランド (0 V)
88	Gnd	PAD	アナロググランド (0 V)
89	AIN4	PAD	CCD 信号入力
90	AIN5	PAD	CCD 信号入力
91	AIN6	PAD	CCD 信号入力
92	AIN7	PAD	CCD 信号入力
93	Gnd	PAD	アナロググランド (0 V)
94	VL3	PATH	バイアス電圧モニター出力
95	VL4	PATH	バイアス電圧モニター出力
96	VL5	PATH	バイアス電圧モニター出力
97	VH5	PATH	バイアス電圧モニター出力
98	Gnd	PATH	アナロググランド (0 V)
99	VDD	PVDD	アナログ用電源 (+1.65 V)
100	VSS	PVSS	アナログ用電源 (-1.65 V)

謝辞

本研究を進めるに当たって、たくさんの方にご協力をしていただき大変感謝しています。

山本先生にはやりがいのある研究を任せいただき、大変感謝しています。グループミーティングで研究に関しての助言をいただいたり、学会前には発表の内容を見ていただき大変参考になりました。また国際会議での発表の機会を与えていただき、大変貴重な経験をさせていただきました。

高エネルギー加速器研究機構の杉本さんと宮本さんには隔週の会議の際に、毎回貴重なアドバイスをさせていただきました。私の度重なる的外れな発言、質問にも丁寧に答えていただき感謝しています。

JAXA の池田さんには ASIC の開発で大変お世話になりました。私の質問に対する素早く的確な指導には非常に感謝しています。また初めてお会いしたときから明るい笑顔で気さくに話しかけていただきとてもありがたかったです。ご飯に連れて行ってもらった機会には様々なお話をさせていただき非常に楽しい時間が過ごせました。ありがとうございました。

信州大学の佐藤さんには ASIC の第2次試作の際にお世話になりました。わざわざ東北大学にも来て指導していただいたり、メールでの細かい指導は大変ためになりました。佐藤さんのおかげで第2次試作の手配がスムーズに進みました。ありがとうございました。

浜松ホトニクス of 鈴木さんには CCD の取り扱い方などで助言をいただきました。CCD から信号をうまく読み出せないとき、貴重なアドバイスをいただき問題の解決の糸口をつかむことができました。ありがとうございました。

高エネルギー加速器研究機構の千代さんには DAQ-Middleware に関してたくさん助言をいただきました。セミナーに参加した際やその後の実際のシステムの導入時には、非常に丁寧なご指導をしていただき大変感謝しています。ありがとうございました。

准教授の佐貫さんには研究室のミーティングの際に CCD 関連のアドバイス

をいただきました。また修士論文作成にあたり的確な指導をいただきました。ありがとうございました。

助教の田窪さん(現在、高エネルギー加速器研究機構)には何から何までお世話になりました。工学部からやって来て、何もわからない私に対して厳しくも優しく丁寧な指導していただき本当に感謝しています。田窪さんがいなかったら、私は路頭に迷ってのたれ死んでいたと思います。また田窪さんには研究の技術的な助言だけでなく、“研究者として生き残っていくにはどうしたらよいか”に関するお話をたくさんしていただき大変参考になりました。一生忘れないと思います。加えて、奥さんの見つけ方についても熱く語っていただき、これもまた大変参考になりました。ありがとうございました。

助教の小貫さんにはハードウェア関連の質問に答えていただきました。また荒れ放題の実験室を現在のような使いやすい環境に変えていただき感謝しています。

助教の長嶺さんにはネットワーク関係の質問に答えていただきました。ありがとうございました。

研究室の博士課程後期1年の板垣さんには最もお世話になりました。本研究の前任者であり回路図の見方、機器の取り扱い方から研究の進め方まで、本研究の全てに渡り指導と助言をいただきました。板垣さんがいなかったら私は今頃、海の藻屑となって消えていたと思います。本当にありがとうございました。

研究室の学生の皆様には大変お世話になりました。動物園+水族館くらい多種多様なメンバーの中でたくさんの笑いと刺激をもらいました。みなさんのおかげで毎日楽しく研究を進めることができました。特に同期の中野くん、根岸君、本田君とは苦しいときも励ましあい切磋琢磨することができたと思います。ありがとうございました。

本研究とは直接関係ありませんが、私が ILC における新物理のシミュレーション解析の研究を行っていた際には、高エネルギー加速器研究機構の藤井さんには大変お世話になりました。メールでの質問に丁寧に答えていただいただけでなく、直接訪問した際も夜中まで付き合っ一緒に解析をしていただきました。藤井さんの体力には脱帽です。また理論的な助言を東京大学の松本さん、東北大学の浅野さんからいただき大変感謝しています。学会発表や論文を投稿する際にも何度も理論的な質問に答えていただきました。皆さんのおかげで Physical Review D に論文を投稿することができました。ありがとうございました。また同じテーマで一緒に解析を進めた東京大学の末原さんにもたくさ

んの助言をいただき、感謝しています。

私は今後博士課程後期過程に進み、研究を続けます。博士課程では ILC ではなく Belle 実験に参加することになっているため、ILC に関わる機会は少なくなると思います。しかし私は将来 ILC を必ず日本に作りたいと思っており、今後も関わっていきたいと考えています。

最後に 25 年間、頑固で自分勝手な私を応援し続けてくれた両親に感謝します。両親の支えがなければ、ここまで研究に没頭することもできませんでした。心から感謝しています。ありがとうございました。

参考文献

- [1] ILC Global Design Effort and World Wide Study, "International linear collider Reference Design Report" (2007)
- [2] ILD Concept Group, "Letter of Intent" (2010)
- [3] ILD 日本グループ 「ILD 測定器開発プロポーザル」 (2009)
- [4] MPGD ウェブページ、<http://rd.kek.jp/project/mpgd/>
- [5] 佐藤優太郎、修士論文 「国際リニアコライダーのための衝突点ビーム形状モニターの研究開発」 東北大学 (2010)
- [6] David Griffiths "Introduction to Elementary Particles" WILEY-VCH Verlag GmbH & Co.KGaA
- [7] 吉田幸平、修士論文 「国際リニアコライダーにおけるヒッグス粒子の崩壊分岐比測定の研究」 東北大学 (2010)
- [8] D. Biley, E. Devetak et al. , Nucl. Instr. and Meth. **610** (2009) 573;
- [9] A. Miyamoto, K. Nakayoshi, Y. Sugimoto, H. Ikeda, T. Nagamine, Y. Takubo, H. Yamamoto, K. Abe, "FPCCD Vertex Detector R & D for ILC"
- [10] Y. Sugimoto, H. Ikeda, A. Miyamoto, T. Nagamine, Y. Takubo, H. Yamamoto, "R & D Status of FPCCD VTX", Proceeding of LCWS/ILC 2008
- [11] Y. Takubo, H. Ikeda, K. Itagaki, H. Kouno, A. Miyamoto, T. Nagamine, Y. Sugimoto, H. Suzuki, H. Yamamoto, "Fine Pixel CCD for ILC Vertex Detector", Proceeding of Vertex 2008

-
- [12] 「技術資料 FFT-CCD エリアイメージセンサの特性と使い方」 浜松ホトニクス株式会社
- [13] 西久保靖彦、「図解雑学 半導体の仕組み」 ナツメ社
- [14] 米本和也、「CCD/CMOS イメージ/センサの基礎と応用」 CQ 出版社
- [15] 渡辺伸、修士論文「テルル化カドミウム (CdTe) 半導体を用いた硬 X 線・ガンマ線撮像用ピクセル検出器の開発」 東京大学 (2001)
- [16] 板垣憲之輔、修士論文「国際リニアコライダーにおける崩壊点検出器用高精細 CCD の読み出し回路の研究開発」 東北大学 (2010)
- [17] 小泉誠、修士論文「アバランシェ・ダイオードを用いた高解像度・高速 PET の要素技術開発」 東京工業大学 (2009)
- [18] 泰地増樹、「CMOS アナログ/ディジタル IC 設計の基礎」 CQ 出版社
- [19] デジアンテクノロジー株式会社 ホームページ、<http://www.digian.co.jp/>
- [20] 有限会社 ジー・エヌ・ディー ホームページ、<http://gn-d.jp/>
- [21] 谷口研二、「CMOS アナログ回路入門」 CQ 出版社
- [22] SiTCP ホームページ、<http://e-sys.kek.jp/tech/sitcp/>
- [23] DAQ-Middleware ホームページ、<http://daqmw.kek.jp/>
- [24] Behzad Razavi 著 / 黒田忠広 監訳、「アナログ CMOS 集積回路の設計 (基礎編・応用編)」 丸善株式会社