

修士論文

ILCにおける高精細 CCD 崩壊点検出器の読み出し回路の研究
～ A study of readout electronics for the fine pixel CCD vertex detector
for ILC ～

東北大学大学院理学研究科
物理学専攻

加藤 恵里子

平成 23 年

概要

本研究では国際リニアコライダー (ILC) で使われる崩壊点検出器のオプションとなっている FPCCD 崩壊点検出器の読み出し回路の研究・開発を行った。現在、LHC 実験でヒッグス粒子の兆候が見られており、ATLAS 実験では 126GeV あたりに 2.3σ の excess が見られている。このような軽い質量のヒッグス粒子は b-クォーク、c-クォークなどに崩壊することが多く、粒子の質量と粒子のヒッグスとの結合の強さの関係を示すヒッグス機構の検証において、粒子のフレーバー同定が重要となる。

高精度のフレーバー同定は、崩壊点検出器に厳しい要求を課す。ILC でのビームバックグラウンドの条件下でも崩壊点検出器で飛跡再構成ができるようにするためには、ピクセル占有率を抑えなければならない。我々は、 $5\ \mu\text{m} \times 5\ \mu\text{m}$ のピクセルの大きさの高精細 CCD (FPCCD) を用いることで、ピクセル占有率を抑え、高い位置分解能を実現する方法をとる。

FPCCD 崩壊点検出器用の読み出し回路には、読み出し速度、ノイズレベル、消費電力の要求が課され、我々は、これらの要求を満たす読み出し回路の研究開発を行った。

目次

第 1 章	はじめに	1
第 2 章	国際リニアコライダー実験 (ILC; International Linear Collider)	2
2.1	ILC 実験で期待される物理	2
2.2	ILC 加速器	7
2.2.1	電子陽電子衝突器 (Lepton collider)	7
2.2.2	重心系とルミノシティー	10
2.2.3	電子陽電子偏極	11
2.2.4	加速器の主な構成	12
2.3	ILD 測定器	15
2.3.1	ILD 検出器への要求性能	15
2.3.2	PFA(Particle Flow Algorithm)	17
2.3.3	各検出器によって要求性能の満たす方法	18
第 3 章	崩壊点検出器 (Vertex Detector)	23
3.1	FPCCD 崩壊点検出器とは	24
3.2	FPCCD 崩壊点検出器の構成	24
3.3	CCD センサー	26
3.3.1	[1] CCD 検出原理	27
3.3.2	放射線ダメージ	28
3.3.3	[2] CCD の電荷転送方式	30
3.3.4	[3] 電荷電圧変換	30
3.4	FPCCD 崩壊点検出器の特徴	31
3.5	FPCCD 崩壊点検出器への要求性能	32
3.5.1	[1] 読み出し速度	32
3.5.2	[2] ノイズ	33
3.5.3	[3] 放射線耐性 (消費電力 < 100 W)	33
3.5.4	FPCCD 読み出し回路への要求性能	34
第 4 章	読み出し回路 ASIC の開発	35
4.1	LSI 開発	35
4.1.1	ASIC	35
4.1.2	CMOS プロセス	36

4.1.3	MOSFET の動作	36
4.1.4	LSI 開発の流れ	38
4.2	試作回路開発歴史と現在	40
4.3	要求性能に対する ASIC 開発の基本方針	41
4.4	ASIC 全体のデザイン	41
4.4.1	CHAIN1B	41
4.4.2	前置増幅器	42
4.4.3	ローパスフィルタ (LPF)	43
4.4.4	CDS(Correlated Double Sample)	43
4.4.5	ADC(Analog to Digital Converter)	44
4.4.6	AD 変換過程	45
4.4.7	モニター回路	47
4.4.8	コントロールレジスタ	47
4.4.9	CHAIN2	48
4.4.10	LVDS インターフェース	49
4.4.11	TTL インターフェース	50
4.5	第一次試作回路の開発と評価結果	50
4.5.1	第一次試作回路の読み出し速度と精度の結果	51
4.5.2	読み出し精度悪化の原因として考えられる回路構造	52
4.5.3	読み出し精度限界として考えられる要因	53
4.5.4	一次試作回路での精度悪化の原因と対策のまとめ	56
第 5 章	第二次試作回路 ASIC の回路構成	57
5.1	製作チップのレイアウトとパラメータ	57
5.2	CHAIN1B	58
5.3	前置増幅器	58
5.4	ローパスフィルタ (LPF)	59
5.5	相関 2 重サンプリング (CDS)	65
5.6	アナログバッファ (ABUF)	65
5.7	Analog to Digital Converter(ADC)	67
5.7.1	ADC 回路構成	67
5.7.2	ADC 動作の為にのタイミング信号	67
5.7.3	二次試作での ADC 対策	69
5.7.4	オフセット調整回路の追加	71
第 6 章	第二次試作回路の性能評価	73
6.1	セットアップ	73
6.1.1	読み出しボードでのサンプリング	74
6.2	読み出し速度	76
6.3	ノイズ	76

6.4	読み出し精度	77
6.4.1	積分非直線性 (Integral Non Linearity)	79
6.4.2	微分非直線性 (Differential Non Linearity:DNL)	80
6.4.3	微分非直線性の周波数依存性	81
6.5	消費電力	82
6.6	部分回路	83
6.6.1	バイアス回路	83
6.6.2	前置増幅器	83
6.6.3	ローパスフィルタ	84
6.6.4	ADC	84
第7章	第三次試作回路の開発	86
7.1	概要	86
7.2	第三次試作回路の目標と方針策	86
7.3	回路変更点	88
7.3.1	全体回路/信号生成回路	88
7.3.2	プロセス	91
7.3.3	前置増幅器	93
7.3.4	LPF	93
7.3.5	相関二重サンプリング (CDS)	93
7.3.6	ADC	94
7.3.7	LVTTTL(Low leVel TTL Reciever)	96
7.3.8	放射線対策、LCR、CCR	97
7.3.9	デジタル信号伝送方式の変更	98
7.4	シミュレーション環境	100
7.5	シミュレーション結果	101
7.5.1	消費電力	101
7.5.2	読み出し速度、精度	102
7.5.3	ノイズ	107
7.5.4	DICE フリップフロップ	107
7.5.5	信号生成回路	109
7.5.6	チップパラメータ	110
第8章	まとめ	111
付録A	自発的対称性の破れ	113
付録B	使用パッド	116
付録C	差動増幅回路	117
付録D	試作回路のための試験基板の回路図 1	118

付 録 E 試作回路のための試験基板の回路図 2	119
付 録 F 略語	120
謝辞	121

目次

2.1	ヒッグス粒子探索における LEP での精密測定と標準モデルのずれ	3
2.2	ヒッグス粒子の質量に対する制限	4
2.3	ヒッグス粒子の崩壊分岐比	4
2.4	ヒッグス粒子との結合の強さ	4
2.5	ヒッグス粒子とのカップリング測定に関わる生成プロセス	5
2.6	WW ボゾンフュージョンによるヒッグス生成過程の反跳質量分布	6
2.7	ILC 加速器	9
2.8	ILC でのヒッグス粒子トップクォーク研究プログラム	10
2.9	偏極とダイヤグラムの関係	11
2.10	電子源	12
2.11	陽電子源における電子陽電子生成	12
2.12	陽電子源	13
2.13	RF-ユニット	14
2.14	9 個のセルを持つ加速空洞	14
2.15	ILD 測定器	15
2.16	重心系 250GeV でのフレーバー同定の選択効率と純度	16
2.17	PFA	17
2.18	シリコン飛跡検出器の外観図	19
2.19	主飛跡検出器の外観図	20
2.20	ECAL	21
2.21	HCAL	22
3.1	崩壊点検出器	23
3.2	バンチの作る電磁場による散乱の様子	24
3.3	ペアバックグラウンド事象	25
3.4	FPCCD 崩壊点検出器全体図	26
3.5	CCD センサー	27
3.6	CMOS センサー	27
3.7	n 型および p 型半導体と、pn 接合のバンドギャップ内にできる新しいエネルギー レベル	28
3.8	CCD 放射線ダメージ	28
3.9	ペアバックグラウンドの入射エネルギー	29
3.10	2 相と 3 相式 CCD	30

3.11	CCDの電荷検出機構 (FDA)	31
3.12	1 モジュール (FPCCD センサー+読み出し回路) 概略図	32
4.1	nMOSFET の構造	36
4.2	トランジスタの IV 特性と回路図	37
4.3	LSI 開発の流れ	38
4.4	チップの概略図	42
4.5	ノイズを含めたときの dE/dx のエネルギー分布	42
4.6	CDS 回路動作波形	43
4.7	電荷再配分型 ADC の A/D 変換処理	46
4.8	モニター出力の測定点	47
4.9	CHAIN2 の回路図	49
4.10	LVDS ドライバー	50
4.11	読み出し速度の検証	51
4.12	読み出し速度の検証	51
4.13	コンデンサレイの容量分割、底面電極接地による変化	53
4.14	ビット重みに対応したスイッチとダミースイッチの回路図	54
4.15	スイッチオフする際のチャネル電荷注入	54
4.16	クロックフィードスルーの影響を打ち消す為のダミースイッチ構成	55
4.17	ダミースイッチによるオーバーラップ容量の影響対策	55
5.1	FPCCD2B	57
5.2	CHAIN1B 回路図	58
5.3	増幅要素 (PRC)	59
5.4	ローパスフィルタ (LPF)	60
5.5	LPF 内の差動増幅器の役割	61
5.6	差動増幅器	62
5.7	CMFB 回路の働き	62
5.8	LPF のシグナル・フロー図	63
5.9	LPF の性能	64
5.10	相関 2 重サンプリング回路図	65
5.11	ABUF の機能	66
5.12	ADC 回路図	67
5.13	ADC 切り替えタイミング	68
5.14	ADC 動作信号のタイミング	69
5.15	コンパレータのレイアウト	70
5.16	AD 変換中に生じるリングング	71
5.17	オフセット調整回路図	72
6.1	ASIC 性能評価読み出しシステムに用いる基板	73
6.2	ASIC 試験のための読み出しシステム	74

6.3	二次試作回路における出力波形	75
6.4	100MHz 動作でのケーブル長と ADC 出力の関係	75
6.5	100MHz 動作時の linearity 分布	76
6.6	100MHz 動作時のペDESTAL 分布	76
6.7	入力電圧に対する ADC 出力	78
6.8	積分非線形性の計算	78
6.9	差動増幅回路と利得減少の関係	79
6.10	微分非線形性と二次試作回路の結果	80
6.11	DNL 周波数依存性	81
6.12	部分回路でのアナログ消費電流	82
6.13	前置増幅器による利得	84
6.14	ローパスフィルター後のモニター出力	84
6.15	ADC 内の電圧のモニタリング	85
7.1	アナログ回路設計の八角形	86
7.2	三次試作全体回路	90
7.3	ゲインブースト回路	94
7.4	相関二重サンプリング回路図	94
7.5	コンパレータの概念図	95
7.6	コンパレータ回路図	96
7.7	コンパレータのスピードコントロールに用いられるキャパシタ	97
7.8	LVTTLR の回路図	97
7.9	D-フリップフロップと DICE フリップフロップの概念図と SEU の関係	98
7.10	DICE FF(Dual Interlocked storage Cell Flip Flop) の回路図	99
7.11	コントロール LCR 回路図	99
7.12	デジタル信号伝送方式の変更	100
7.13	プロセスのばらつきによる信号出力スピードの違い	103
7.14	温度の違いによる信号出力スピードの違い	103
7.15	電源電圧の誤差による信号出力スピードの違い	103
7.16	デバイスパラメータによる信号出力スピードの違い	104
7.17	スピードコントロールによる微分非直線性の違い	105
7.18	プロセスコーナーでの微分非直線性	105
7.19	CCD 入力信号に対する ADC の出力結果	106
7.20	ローカルコントロールレジスタでのデジタル信号処理	107
7.21	全体回路における信号生成	109
D.1	試作回路のための試験基板の回路図 1	118
E.1	試作回路のための試験基板の回路図 2	119

表 目 次

2.1	ILC のビームパラメータ	11
2.2	飛跡検出器による運動量分解能	19
3.1	FPCCD 崩壊点検出器のレイアウト詳細	33
4.1	ASIC 開発の推移	40
4.2	一次試作 ADC のキャパシタに蓄えられる電荷	52
4.3	一次試作回路で性能悪化として考えられる原因と対策	56
5.1	FPCCD2B チップ設計パラメータ	57
5.2	ADC 動作信号	69
6.1	範囲別でみた積分非直線性	79
6.2	FPCCD2 の消費電力の測定結果	82
6.3	バイアス電圧のモニタ出力	83
7.1	三次試作回路の方針	89
7.2	プロセスと電源電圧	92
7.3	シミュレーションによる AFFROC01 の消費電力	102
7.4	微分非直線性	106
7.5	積分非直線性	106
7.6	AFFROC01 チップ設計パラメータ	110
B.1	今回使用するパッドの種類と用途	116

第1章 はじめに

現在の素粒子物理は、標準模型に基づいており、数々の実験によりその正しさが確認されてきた。しかし、標準模型の要でもある、ヒッグス粒子が未発見である。ヒッグスは、自発的対称性の破れを破ることにより真空期待値を持ち、素粒子に質量を与える。高い重心エネルギーの衝突を実現することにより、ヒッグス粒子が生成できると期待されている。

現在、ヒッグス粒子の発見とその特性の研究が、素粒子物理の最も重要な課題と位置づけられており、陽子陽子衝突加速器である Large Hadron Collider(LHC) でヒッグス粒子を探索中である。現在、計画中である電子陽電子衝突加速器である International Linear Collider(ILC) では、クリーンな環境により LHC で発見されたヒッグス粒子について精密測定を行っていく。

クリーンな環境の下で高い衝突エネルギーを実現し、研究するのに、今まで電子陽電子衝突型円形加速器が使われてきたが、制動放射によるエネルギー損失 ΔE_{sync} はビームエネルギー E の 4 乗に比例して増加するため、最後の電子陽電子加速器 Large Electron Positron Collider(LEP) の最終エネルギーでは、 $\Delta E=3.8\text{GeV}/\text{turn}(3.6\%)$ ものエネルギーを損失していた。($R=2800\text{m}$, $E_{beam}=104\text{GeV}$)

$$\Delta E_{sync} = \frac{E^4}{Rm^4} \quad (1.1)$$

このため、LEP の重心エネルギーを超えた、電子陽電子加速器を作るためには、(1) 一周する際のエネルギー損失が十分小さくなるようにリング半径 R を大きくするか、(2) 線形状の電子陽電子加速器にする、しかないと考えられている。ここで R を大きくするのは非現実的である。

このため次世代の電子陽電子加速器として、線形型電子陽電子加速器 : International Linear Collider(ILC) 計画が進められている。

本研究は、ILC で使われる崩壊点検出器の候補である FPCCD の読み出し回路の開発と評価である。2 章で国際リニアコライダー実験について紹介、3 章で FPCCD 崩壊点検出器について説明する。4 章では FPCCD 崩壊点検出器用読み出し回路の概要及び過去製作した第一次試作読み出し回路について述べる。5 章で試作した第二次試作読み出し回路のデザインについて、6 章でその評価結果、7 章で第三次試作読み出し回路の開発について述べる。そして最後の章でまとめる。

第2章 国際リニアコライダー実験 (ILC; International Linear Collider)

国際リニアコライダー実験 (ILC; International Linear Collider) は電子・陽電子衝突型線形加速器を用いた次世代の高エネルギー実験・計画である。加速器の全長は約 31 km で、ビームは超電導加速空洞により重心系エネルギー $\sqrt{s} = 500 \text{ GeV} \sim 1 \text{ TeV}$ まで加速される。目標ピーク luminosity は $2 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ 、最初の 4 年間で積分 luminosity 500 fb^{-1} を目指している。

ILC 実験は内部構造を持たない電子と陽電子の衝突であるため、陽子・陽子衝突型加速器の LHC 実験と異なり、有効重心エネルギーが固定でき、物理に応じて重心エネルギーを変えることができる。バックグラウンドの少ない非常にクリーンな環境で、高精度な物理解析を行うことができる。そのため、ヒッグス粒子の発見及び精密測定、トップ・クォークの性質の精密測定、標準理論を超える物理の検証や暗黒物質の候補となる粒子の探索などが期待されている。

本章では、ILC 実験で期待される物理、ILC 加速器、ILD 測定器について述べる。

2.1 ILC 実験で期待される物理

ワインバーグサラム模型を含む $SU(3) \times SU(2) \times U(1)$ 対称性に基づく標準模型は、弱い相互作用及び電磁相互作用を統一的に理解する理論として大きな成功を収めている。

ワインバーグサラム模型がそれ以前の弱い相互作用の模型と大きく異なるのはフェルミ型の四点相互作用をゲージボソンの伝搬で説明するとともにヒッグス機構を用いてゲージボソン及びフェルミオンの質量を説明することで、ラグランジアンに対して $SU(3) \times SU(2) \times U(1)$ の対称性を与えたことにある。中でも弱い相互作用及び電磁相互作用の部分に目を向けた場合 $\bar{\nu}_\mu e^- \rightarrow \bar{\nu}_\mu e^-$ による中性カレントの発見から始まり、W,Z ボソンの発見、Z ボソンの崩壊幅の大きさが世代数三の標準模型により矛盾なく説明されることが知られるに至った。そのほか様々な実験的、理論的成功を背景に、標準理論は現在、強い相互作用、弱い相互作用及び電磁相互作用を統一的に記述する理論として多くの人々に受け入れられている。しかし、構成物であるヒッグス粒子が未だ発見されていないため、標準模型の重要な一部を成す自発的対称性の破れの機構について完全に理解されたとは言えない。

現在 LHC では、ヒッグス粒子の探索が進められ、ヒッグス粒子が発見された際、質量の生成メカニズムであるヒッグス機構の検証がなされる。しかし LHC の精度では十分ではなく、ILC では、発見されたヒッグスに対して質量や結合定数の精密測定を行い、ヒッグス機構の検証をする。まず、質量についてだが、LEP での精密測定の結果と輻射補正の計算からヒッグスは軽いことが考えられている。(図 2.1)[4]。

LEP 実験からヒッグス粒子が 114.4 GeV 以下には存在しないこと、また最近の LHC 実験での結果よりヒッグス粒子の兆候が見られており、ATLAS 実験では 95% の信頼度で 115.5 ~ 131 GeV の質量領域以外は排除され、126 GeV あたりに 2.3σ の excess が見られている。(図 2.2)[5] 以下、軽いヒッグス粒子を仮定して、話を進める。

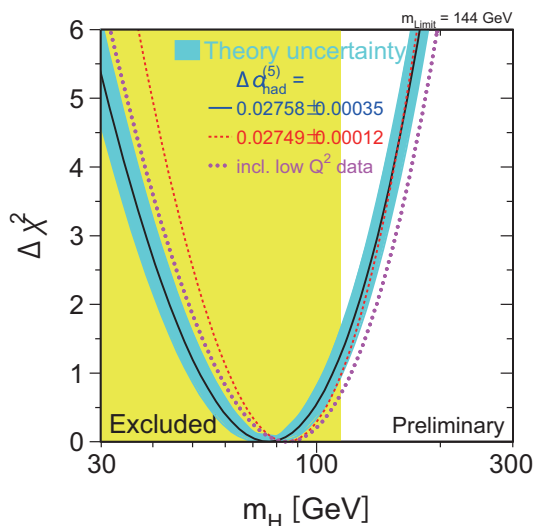


図 2.1: ヒッグス粒子探索における LEP での精密測定と標準モデルのずれ [4]

標準理論を仮定すれば、ヒッグス機構より粒子の質量とヒッグスとの結合は下記に示すような係数 $1/v$ を持つ関係のはずである (v :真空期待値)、この関係を検証し、ズレが見られれば、標準模型を超えた新物理の証拠となる。(付録 A 参照)

$$HWW/HZZ \text{ の結合の大きさ : } g_{HVV} = \frac{m_V^2}{v} \quad (2.1)$$

$$Hff \text{ の結合の大きさ : } g_{Hff} = \frac{m_f}{v} \quad (2.2)$$

$$HHH \text{ の結合の大きさ : } g_{HHH} = \frac{3m_H^2}{v} \quad (2.3)$$

図 2.4 は、 $1/v$ の共通する傾きの関係を表す為、次の式の右辺にかかる係数を無視し、 g_{HXX} と $1/vm_X$ の関係をプロットしたものである。

ヒッグス粒子との結合は、図 2.5 の崩壊過程の散乱断面積を測定することにより、抽出する。

(a) ヒッグスの質量と g_{HZZ} の測定 (higgs strahlung)

ILC で g_{HZZ} 結合の測定を行う際は、 $ee \rightarrow ZH$ で Z 粒子の崩壊後のレプトンペア (e^+e^- もしくは $\mu^+\mu^-$) から Z 粒子を再構成し、反跳質量を計算し、散乱断面積を測定することにより求められる。

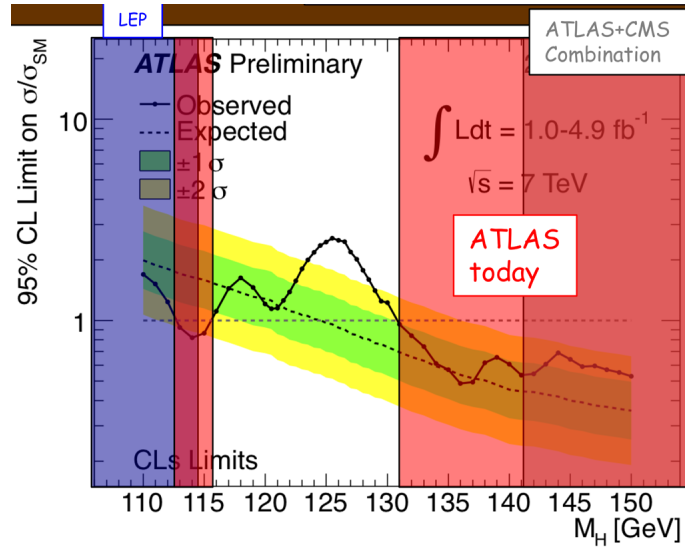


図 2.2: ヒッグス粒子の質量に対する制限 [5]。縦軸はバックグラウンドのみ (ヒッグスがない場合) で見積もられた反応断面積もしくは測定された反応断面積の上限値 (95 % の信頼度) の、標準理論から見積もられた反応断面積に対する比になっている。

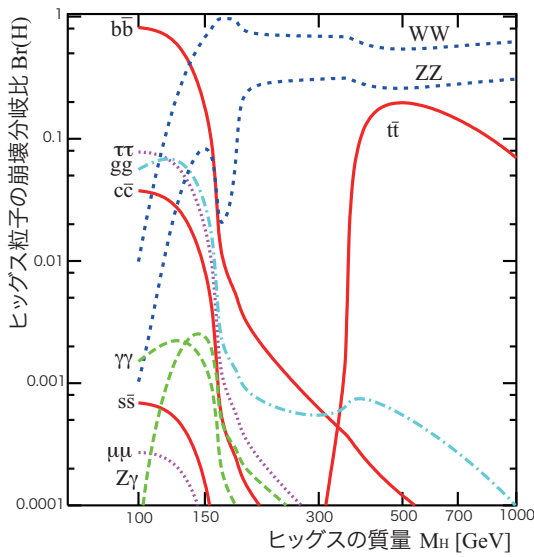


図 2.3: ヒッグス粒子の崩壊分岐比 [17]

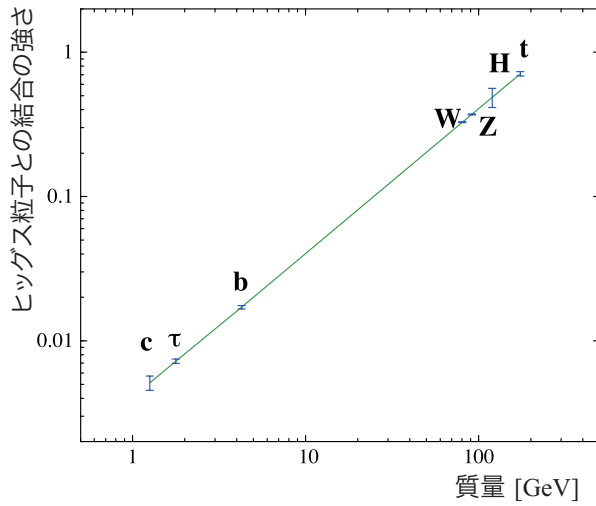


図 2.4: ヒッグス粒子との結合の強さ [17]

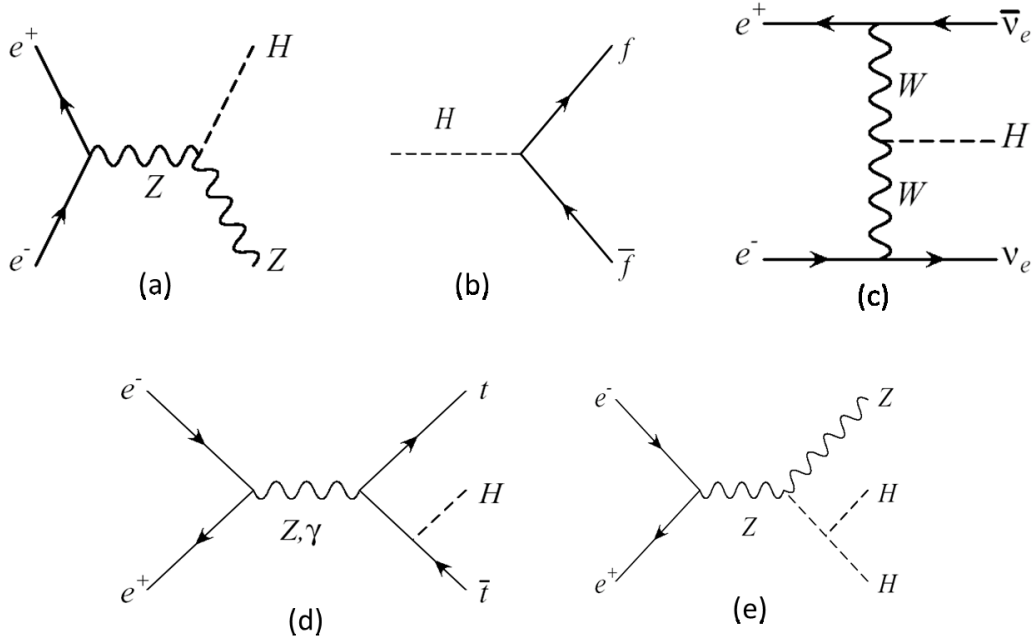


図 2.5: ヒッグス粒子とのカップリング測定に関わる生成プロセス
 (a) Higgs strahlung process; $ee \rightarrow ZH$ (b) $H \rightarrow ff$ (c) WW boson fusion process; $ee \rightarrow \nu\nu H$ (d) $ee \rightarrow ttH$
 (e) $ee \rightarrow ZHH$

ILC は、電子陽電子衝突を行うため、実効的なエネルギーが分かり、検出器の Hermiticity(密閉度)もよいため、Z の四元運動量を測定し運動学を解けば、反跳質量が計算でき、ヒッグスの崩壊によらず、ヒッグスの質量を求めることができる。(e.g. ヒッグスが検出器で検出できないような粒子に崩壊するときなど)

ヒッグス粒子の崩壊粒子からヒッグス粒子を直接再構成することも考えられるが、飛跡検出器で測定される運動量分解能 (式 2.14) とカロリメータで測定されるジェットエネルギー分解能 (式 2.16) を比較すると、Z 粒子の反跳質量からヒッグス粒子の質量を求めた方が 2 桁程精度が良くなることが分かる。

重心系エネルギー 250 GeV、ヒッグス粒子の質量 120 GeV、データ 250 fb^{-1} 、ビームの偏極 $P(e^+, e^-) = (+30\%, -80\%)$ の条件で解析を行うと、ヒッグス粒子の質量が統計誤差 32 MeV、結合定数が 2.5% の精度で求められることが示されている [16]。

(b) g_{Hff} の測定 (higgs strahlung) $f = b, c, \tau$

フェルミオンのヒッグスとの結合定数は、 $ee \rightarrow ZH$ モード (higgs strahlung) において、ヒッグス粒子の崩壊粒子を同定し、 $H \rightarrow ff$ の崩壊分岐比を導出することで得られる。Higgs strahlung の反跳質量の測定より、 g_{HZZ} は求まっていることを利用して、

$$\sigma_{tot} \propto g_{HZZ}^2 \quad (2.4)$$

$$\sigma_{Hff} = Br_{(H \rightarrow ff)} \times \sigma_{tot} \propto g_{Hff}^2 \quad (2.5)$$

と崩壊分岐比を測定することでヒッグスとの結合定数 g_{Hff} を導出できる。ヒッグスの崩壊分岐比

は、 $H \rightarrow ff$ の散乱断面積を測定し、 $ee \rightarrow ZH$ の全散乱断面積との比をとることで得られる。

$$Br(H \rightarrow X) = \frac{\sigma(ZH \rightarrow Z + X)}{\sigma(ZH \rightarrow llH)/Br(Z \rightarrow ll)} \quad (2.6)$$

ヒッグス粒子の崩壊分岐比の測定は、ヒッグス粒子は自身の質量によって、主な崩壊モードが大きく変わる。図 2.3 は標準モデルのヒッグス粒子の場合の崩壊分岐比をヒッグス粒子の質量の関数で表したものである。ヒッグス粒子が 140 GeV より軽い場合は主に、b クォークペア、 τ ペア、グルーオンペア、c クォークペア、W ボソンペアに崩壊する。

また、 g_{Hff} の測定の他のアプローチとして、 $ee \rightarrow ZH$ モード (higgs strahlung) の全散乱断面積との比を取るのではなく、

$$\frac{g_{H \rightarrow bb}^2}{g_{H \rightarrow cc}^2} = \frac{Br(H \rightarrow bb)}{Br(H \rightarrow cc)} = \frac{\sigma(ee \rightarrow ZH; H \rightarrow bb)}{\sigma(ee \rightarrow ZH; H \rightarrow cc)} \quad (2.7)$$

などのように崩壊分岐比の比を求める研究も重要になる。(ここでは、 $H \rightarrow bb$ と $H \rightarrow cc$ を例にとってみた。) これは、崩壊分岐比の比が質量比で表せられるはずなので

$$\frac{Br(H \rightarrow bb)}{Br(H \rightarrow cc)} = \frac{g_{H \rightarrow bb}^2}{g_{H \rightarrow cc}^2} = \frac{m_b^2}{m_c^2} \quad (2.8)$$

崩壊分岐比の比を出すことで、 g_{HZZ} 測定とは独立にヒッグス機構の検証ができるメリットがある。崩壊分岐比の比 13.68% の測定ができることが示されている。[3] この測定精度は、フレーバー同定の精度を決める崩壊点検出器の精度に依存している。

(c) g_{HWW} の測定

g_{HWW} の測定は、WW ボゾンフュージョンによるヒッグス生成過程 $ee \rightarrow \nu\nu H$; $H \rightarrow bb$ もしくは、 $ee \rightarrow ZH$; $H \rightarrow WW^*$ を用いる。WW ボゾンフュージョンは、 $ZH(Z \rightarrow \nu\nu; H \rightarrow bb)$ と同じ終状態であり、反跳質量の分布をフィットすることで $\nu\nu H$ の散乱断面積を求める。この $\nu\nu H$ の散乱断面積 $\sigma(\nu\nu H)$ と Higgs strahlung 過程によって測定した g_{Hbb} を用いて、 g_{HWW} を計算できる。

終状態が $bb + \text{missing}$ であること、また g_{Hbb} が必要であることから、フレーバーの同定精度が結合定数の精度を決める。(崩壊点検出器の精度に依存する)

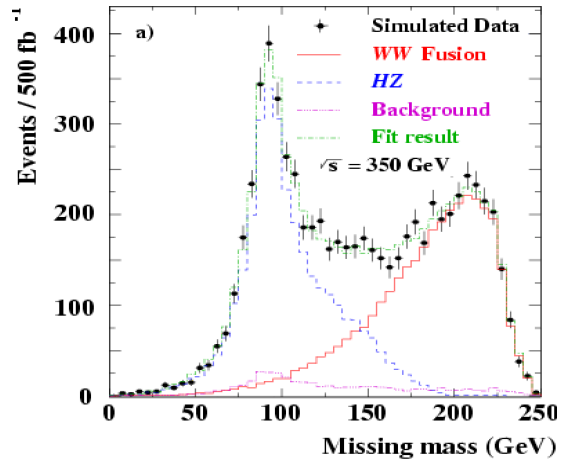


図 2.6: WW ボゾンフュージョンによるヒッグス生成過程の反跳質量分布

$$\sigma(ee \rightarrow \nu\nu H; H \rightarrow bb) \propto g_{HWW}^2 \times Br(H \rightarrow bb) \quad (2.9)$$

(d) g_{Htt} の測定

g_{Htt} の測定は、 $\sigma(Htt)$ の散乱断面積を測定することで求められる。 $ee \rightarrow ttH \rightarrow bWbWbb$ の崩壊が主であり、W の崩壊の仕方、8 ジェット (45%)、6 ジェット+レプトン (e or μ) (29%)、4 ジェット+2レプトン ($ee, \mu\mu$ or $e\mu$) (5%) の崩壊過程を信号として取り扱う。軽いヒッグスの場合 $H \rightarrow bb$ が主な崩壊過程となるため、 $bWbWbb$ のマルチジェットの終状態となり、多くのコンビナトリアルバックグラウンドを含むため崩壊点検出器による b クォークの同定が重要になってくる。

LHC では、グルーオンフュージョンによるトップクォークループを介したヒッグス生成がなされるため、その散乱断面積からトップ湯川結合を間接的に抽出できる。しかし、例えばヒッグス生成に異常結合が含まれている場合、その異常結合がトップ湯川相互作用そのものから来ているのか、始状態粒子とヒッグス粒子の間を飛ぶ未知の粒子の寄与に寄るものなのか、特定するのが困難となり、トップ湯川結合の全貌を明らかにするのは難しい。ILC では、ループを介さずに直接生成するため、特定が容易となる。

ILC では、500GeV の重心系エネルギーで信号有為性 5.2σ で $|\Delta g_{ttH}/g_{ttH}| = 10\%$ が測定可能となる。 [2]¹

(e) g_{HHH} の測定

さらに ILC 実験では、 $ee \rightarrow ZHH$ モードを利用して、ヒッグス粒子の自己結合を測定することができる。ヒッグス粒子が 140 GeV 以下の場合、主に $ee \rightarrow ZHH \rightarrow (\ell\ell \text{ もしくは } qq) + bbbb$ に崩壊する。 $ee \rightarrow ZHH$ モードの散乱断面積は小さく、バックグラウンドになる $ee \rightarrow tt$ の散乱断面積が大きい、高精度のジェットクラスタリングと高い精度で b クォークを識別することで測定が可能となる。 [6]

このように HZZ の結合以外、フレーバー同定精度が測定精度を決める要因となっており、高精度な崩壊点検出器が不可欠となる。HZZ も飛跡検出器により運動量測定が精度を決める為、運動量分解能を向上させる崩壊点検出器が重要となる。

2.2 ILC 加速器

ここでは、加速器について電子陽電子加速器の特徴、ILC の物理の加速器への要求、加速器の主な構成について記述する。

2.2.1 電子陽電子衝突器 (Lepton collider)

ILC で見ようとしている物理は電子陽電子加速器ならではの特徴をフルに活用して測定している。その特徴として、

¹ 重心系 800GeV では、QCD 増幅の効果により散乱断面積が大きくなるのでさらに精度が向上すると考えられており、現在研究中である。

- (1) 電子が複合粒子でなく、素粒子同士の衝突のため実効的なエネルギーが分かる。これより、運動学フィットを行える。 $(\sum_i E_i = \sqrt{s}, \sum_i \vec{P}_i = 0)$
- (2) Hermiticity (密閉度) が大変よい。(検出領域 (detector acceptance) $|\cos \theta| \geq 0.975, \theta = 5\text{mrad}$)
- (3) ILC のクリーンな環境に対して、LHC では、陽子・陽子衝突レートが、バンチ交差レートより高く、一回のバンチ交差で複数の陽子・陽子衝突が起きるパイルアップが生じる。またハドロニックな背景事象が非常に多い。ILC では、ハドロンジェットの信号事象に対する背景事象の散乱断面積がハドロンコライダーと比べて少ない。 $\sigma(\text{higgs}) \sim \sigma(\text{qq}) \times 10^2$
- (4) 偏極ビームを扱えるため、左巻右巻き電子陽電子と粒子との結合定数を求めることができる。さらに信号事象に対する背景事象の S/N 比を向上できる。

(1)(2) より、反跳質量などのように運動学を計算することができ、全散乱断面積の測定ができる。また、粒子の生成角度分布を測定することで粒子のスピンも導出できる。

(3) より、 $H \rightarrow \text{bb}$ などのハドロニックなモードの測定精度が高くなる。

また、純粋にハドロニックな終状態はトリガー選定が LHC では難しい。ILC ではクリーンでパイルアップもないため、トリガーがなく全データをとりいれ、純粋にハドロニックな事象でも選定再構成できる。

このことから、イベントレートと放射線耐性で検出器の要求性能が決まってしまうハドロンコライダーと違って、物理から検出器の精度が決められる。要求性能については、2.3 章で述べる。

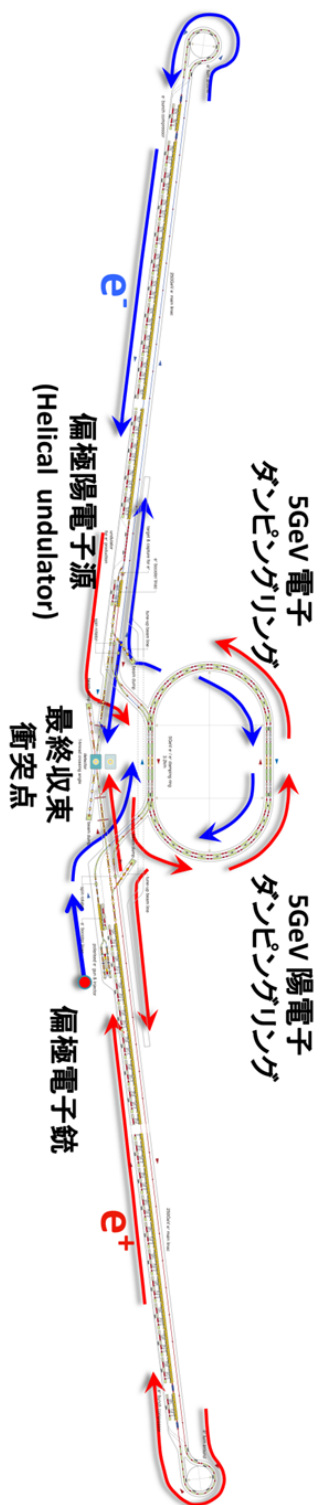


図 2.7: ILC 加速器 [17]

2.2.2 重心系とルミノシティー

ILC で目指すヒッグス粒子、トップクォーク研究のプログラムは、高い重心系エネルギーとルミノシティーを要する。2.1 章に挙げたような高い精度で結合定数を測定するためには、図 2.8 のような重心系エネルギーでルミノシティーをためる必要がある。 $\nu\nu H$ 以外、s チャンネルが支配的なので、閾値の少し上の散乱断面積が十分大きい重心エネルギーが選択されている。

このように重心系 $\sim 250\text{GeV}$ からアップグレードして 1TeV まで重心系エネルギーが届くようにする計画である。ILC 実験では電子・陽電子が加速器を一度しか通過しないため、高い加速勾配と高輝度、具体的には、平均加速勾配 31.5MV/m 、ルミノシティー $2 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ が要求されることになる。

ルミノシティー \mathcal{L} の式

$$\mathcal{L} = \frac{1}{4\pi} \frac{f_{rep} n_b N^2}{\sigma_x \sigma_y} \times H_D \quad (2.10)$$

n_b :バンチあたりに衝突する粒子数、 N :バンチあたりの粒子数、 f_{rep} :バンチ衝突周波数、 σ_x, σ_y :x,y 方向のビームサイズ。 H_D :ルミノシティー補正因子

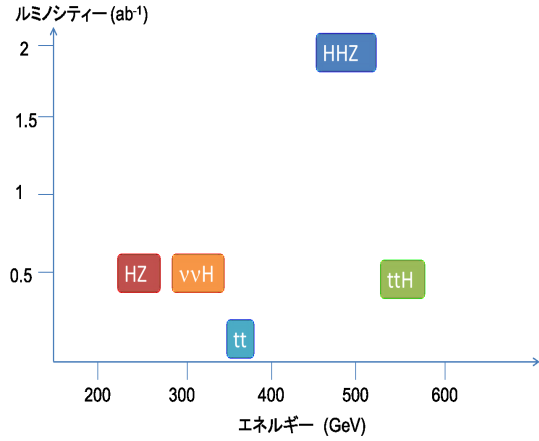


図 2.8: ILC でのヒッグス粒子トップクォーク研究プログラム

ILC では要求されるルミノシティーを満たすために、ナノサイズのビームを作る。また、オプションとして、 H_D をあげるためにトラベリングフォーカス技術を用いて、ビームビーム相互作用を利用して衝突点でのビームサイズを絞ることも考えられている。ビームサイズを小さくすると、ビームビーム相互作用で制動放射を起こす beamstrahlung が大きくなる。

beamstrahlung によるエネルギー損失は

$$\delta \propto \frac{\gamma}{E\sigma_z^*} \left(\frac{N}{\sigma_x^* + \sigma_y^*} \right)^2 \quad (2.11)$$

の式に従う。ルミノシティーを下げず、beamstrahlung の影響を抑える為、 $\sigma_y^* \ll \sigma_x^*$ のフラットビームを採用している。フラットビームを採用することにより beamstrahlung の影響は小さくなるが、それでも重心系エネルギーの損失は無視できず、運動学的フィットは LEP のときほど強力ではなくなる ($\sum_i E_i \simeq \sqrt{s}, \sum_i \vec{P}_i \simeq 0$)。重心系の詳細な特定は、 $ee \rightarrow \mu\mu$ や、 $ee \rightarrow Z\gamma \rightarrow \mu\mu\gamma$ のプロセスのミューオンペアを測定することで補間できる。[7]

基本的なビームパラメータを表 2.1 に記す。

表 2.1: ILC のビームパラメータ

パラメータ		単位
ビームサイズ (σ_x, σ_y)	(639, 5.7)	nm
バンチ長	300	μm
1バンチ中の粒子数	2	$\times 10^{10}$
1トレイン中のバンチ数	1300	
バンチ間隔	369	ns
トレイン間隔	200	ms
衝突交差角	14	mrad
ソレノイド磁場	3.5	T
Beamstrahlung によるエネルギー損失割合。	2.4	%
リニアック繰り返し周波数	5	Hz
規格化エミッタンス ($\gamma\epsilon_x, \gamma\epsilon_y$)	(10, 0.04)	mm · mrad
ベータ関数 (β_x, β_y)	(20, 0.4)	mm

2.2.3 電子陽電子偏極

ILC のような超高エネルギーのエネルギースケールでは、衝突粒子は相対論極限に近い。このようにときヘリシティ固有値はカイラル固有値とほぼ一致し、QED でヘリシティが零でない組み合わせは 2 つしかない。散乱、対消滅とそれぞれに対し図 2.9 のダイアグラムだけとなり、ヘリシティ保存より、散乱断面積の測定を行うことで、生成粒子の右巻き、左巻き結合定数が分かる。これにより、右巻き左巻き結合定数の分かっている e.g: WW 等の背景事象の抑制や、新粒子の右巻、左巻結合定数を求めることができる。

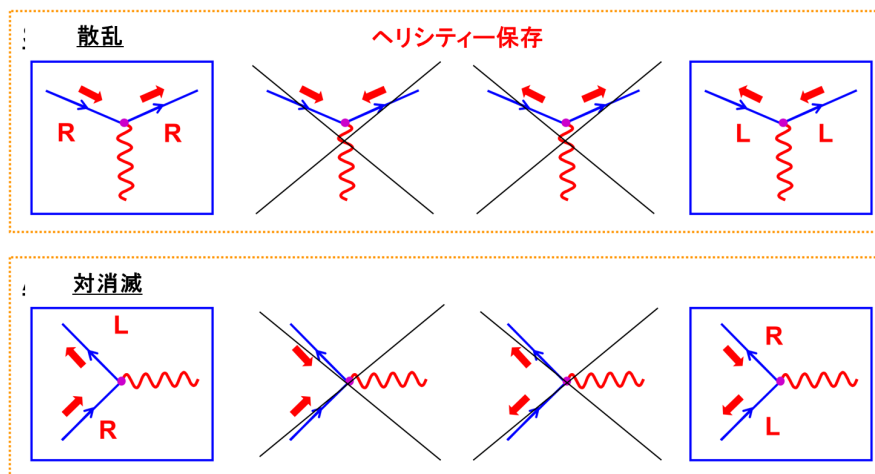


図 2.9: 偏極とダイアグラムの関係

2.2.4 加速器の主な構成

加速器は主に電子源 (Electron source)、陽電子源 (Positron source)、減衰リング (Damping ring)、主線形加速器 (Main linacs) から構成される。まず、電子・陽電子源において電子・陽電子を発生させてビームとして利用し、次に、減衰リングにおいてビームの広がりを抑える。そして、最後に、主線形加速器においてビームを一気に加速する。これらの要素により、ILC で必要とされる重心エネルギー、ルミノシティー、偏極度が実現される。

2.2.4.1 電子源 (Electron Source)

電子源 (図 2.10) では、偏極したレーザーを光電面に当て、光電効果により偏極した電子を発生させ、ビームとして利用する。生成した電子 (140 ~ 160 keV) は常伝導の加速管でバンチ化して、76 MeV まで加速され、さらに、超伝導の加速管で 5 GeV まで加速される。この際、偏極したレーザーから偏極した電子へ高い遷移確率を持つ光電面と構造をもつ物質を採用することが重要で、超格子構造をもった半導体 GaAs/GaAsP を用いるにより偏極度 80% 以上を目指す。

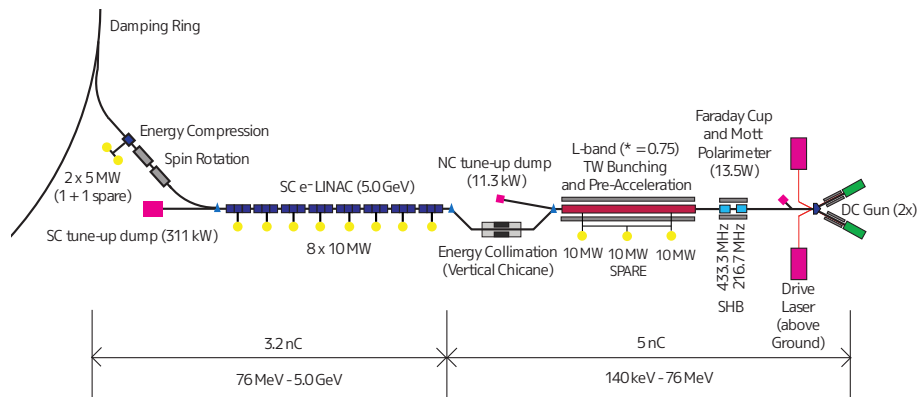


図 2.10: 電子源

2.2.4.2 陽電子源 (Positron Source)

陽電子源 (図 2.12) では、電子ビームから制動放射により光子を放射させて光子ビームをつくり、標的 (厚さ 1.4 cm の Ti の円盤) に当てる。そこで、電子陽電子の対生成を起こし、生成した電子陽電子対から陽電子を分離し、バンチ化させることでもって陽電子バンチをつくる。ILC では偏極した陽電子を生成させたいため、入射光子を偏極 (円偏光) させて、生成される陽電子も偏極する、偏極陽電子生成を行う。(図 2.11) この電子陽電子対生成は、10 MeV 程度以上の光子が物質に入射した場合に生じるもので、

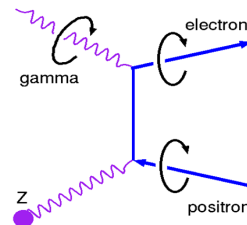


図 2.11: 陽電子源における電子陽電子生成

高いエネルギーの光子ビームが必要となる。また、対生成では1つの光子に対し、1つの陽電子しか生成しないため、光子ビームは高い強度をもたなければならない。これらは、電子ビームを周期的な磁場により蛇行運動させ、制動放射により光子を放射させるアンジュレータに厳しい要求を課す。アンジュレータは、多数の磁石が極性を交換しつつ配列された構造になっていて、電子ビーム ($\sim 130\text{GeV}$ 以上) がここを通過することで円偏光した光子ビーム ($\sim 10\text{ MeV}$) が取り出せる。バンチ電荷 3.2 nC (2×10^{10} positron/bunch)、陽電子偏極度 30% 以上の陽電子バンチを目指す。

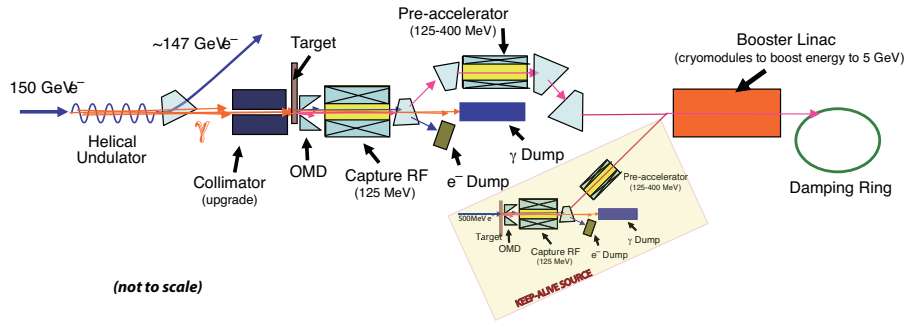


図 2.12: 陽電子源

2.2.4.3 減衰リング (Damping Ring)

減衰リングは、制動放射と高周波加速を組み合わせることで、ビームの広がりを小さくする。ビームの広がりにはエミッタンスという量で表される。エミッタンス (ϵ) はビームの位置の広がり (Δx) と運動量の広がり (Δp) を掛け合わせたもの、つまり

$$\epsilon = \Delta x \cdot \Delta p \quad (2.12)$$

と表される。エミッタンスとビームのサイズは加速器のパラメータであるベータ関数 (β) を用いて、

$$\sigma_{x,y} = \sqrt{\beta_{x,y} \cdot \gamma \epsilon_{x,y}} \quad (2.13)$$

と関係している。 γ は $\gamma = 1/\sqrt{1-\beta^2}$ ($c\beta$:ビーム速度、 c :光速) である。つまり、衝突点でビームをいかに小さく絞れるかは、減衰リングで、どこまでビームの広がりを抑えているかに依存している。

電子源と陽電子源で生成された 5 GeV の電子・陽電子ビームは、周長 6.7 km の減衰リングを 200 ミリ秒間周る。その間に、減衰リングの円弧部分で制動放射を発生させ、直線部分で、光子によって持ち運ばれたエネルギーの分を加速することを繰り返す。制動放射によって、光子を放出した粒子の運動量は大きさが減るものの、方向は変わらない。しかし、高周波加速を受けることにより、基準軌道方向成分だけ回復するので、横方向の運動量が減ったことになる。この制動放射と高周波加速を繰り返すことで、低エミッタンスなビームにすることができる [18]。

2.2.4.4 主線形加速器 (Main Linac)

主線形加速器では、電子・陽電子を 15 GeV から最終エネルギー 250 GeV まで低エミッタンスを保ちながら加速させる。主線形加速器の全長は電子と陽電子を合わせて 23 km、平均加速勾配は 31.5 MV/m である。主線形加速器はクライストロンで誘起された高周波電磁波を RF-ユニットへそして加速空洞に供給して、発生する加速電場により粒子を加速する。ニオブ製の加速空洞を 2 K の液体ヘリウムで冷却すると、加速空洞内面が超伝導状態になり、供給された高周波電力は効率よく高い加速電場を生成する。

物質の超伝導状態は、低温低磁場において実現される。超伝導加速空洞では、低温で運転するも高い加速勾配 (E) が周期的に変化するため、ビーム軸と垂直方向に磁場が生じ、この磁束密度が局所的に大きくなることで超伝導状態が破れることがある。これをクエンチと呼び、加速空洞が壊れる原因となる。高い加速勾配 (E) でもクエンチが起きないようにするため、ILC の加速空洞では電解研磨により表面をスムーズにし、図 2.14 のように加速空洞を赤道部が大きい形状にし、磁束密度を低くなるようにしている。

ILC 加速器の超伝導加速空洞は RF-ユニット (図 2.13) と呼ばれるクライオモジュールで構成され、電子ビームには 282 個、陽電子ビームには 278 個の RF-ユニットが必要となる。RF-ユニットは周期的構造を持つ 3 つの加速空洞で構成され、それぞれの加速空洞は 8 もしくは 9 個のセルを持ち (図 2.14)、RF-ユニットは合計 26 (9+8+9) 個のセルを持つ。

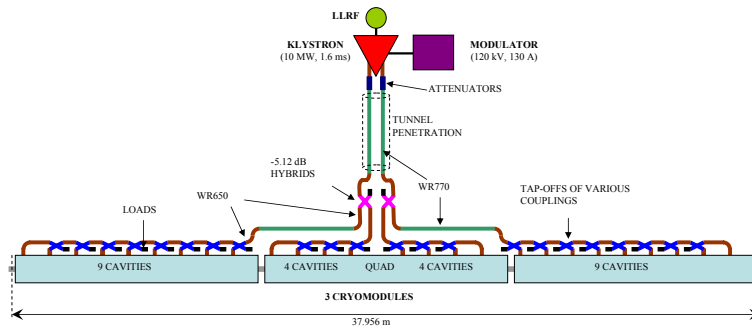


図 2.13: RF-ユニット



図 2.14: 9 個のセルを持つ加速空洞

2.3 ILD 測定器

ILC の測定器の役割は、2.1 章で述べたような物理事象をとらえ、高精度で測定することである。そのためには広範囲 (角度範囲) にわたって粒子の位置、運動量、エネルギーを高精度で測定することが必要である。

ILD(International Large Detector) 検出器は ILC の検出器であり 主に飛跡検出器 (崩壊点検出器、シリコン飛跡検出器、主飛跡検出器)、カロリメータ (電磁カロリメータ、ハドロンカロリメータ)、ソレノイドコイル、ミュオン検出器から構成される。図 2.15 に ILD 測定器の断面図を示す。ILD ではこれらの測定器の情報を全て駆使し、粒子識別をして粒子ごとに扱う測定情報を最適化することで高精度の測定を実現する。以下では、ILD でどのように高い精度を実現するかを ILD に要求される検出精度から入り、要求性能を満たすための ILD の概念 (PFA)、各検出器によって要求性能を満たす方法について説明する。

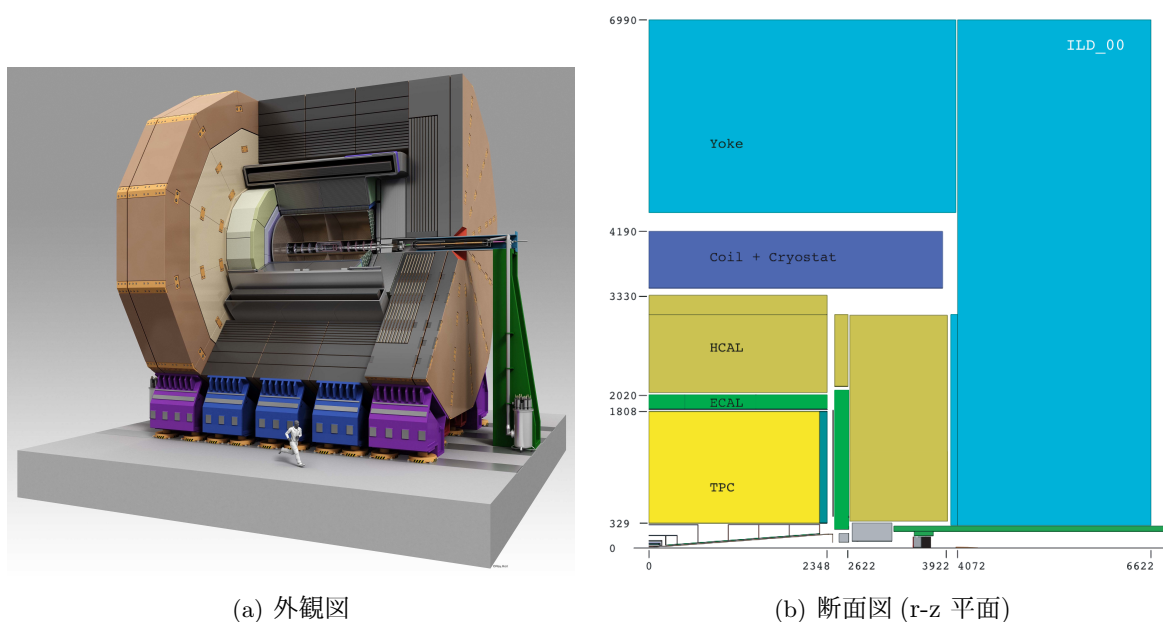


図 2.15: ILD 測定器

2.3.1 ILD 検出器への要求性能

ILC で目指す物理を測定するために、ILD 検出器には以下の性能が要求される。

(1) 運動量分解能

$$\Delta p_t / p_t^2 = 2 \times 10^{-5} (\text{GeV}/c)^{-1} \quad (2.14)$$

ヒッグス粒子の質量測定の精度から決定される。ヒッグスの質量測定には、 $ee \rightarrow ZH$ の higgs strahlung プロセスの反跳質量によるヒッグスの質量の測定が、統計が多く、レプトンを用いる為、一番感度がある。この測定はレプトンの運動量の測定精度で決定され、背景事象を十分に除去し、ヒッグスの崩壊幅を 10% 以上の精度で測定できるようになるためには、

式 2.14 の運動量分解能を満たさなければならない。これは、LEP の 1/35、LHC の 1/24 の分解能に相当する。

(2) 崩壊点分解能

$$\sigma_{r\phi} = 5 \oplus 10/p\beta \sin^{3/2} \theta \quad (2.15)$$

ここで p 、 β は粒子の運動量と速度、 θ はビーム軸からの角度である。

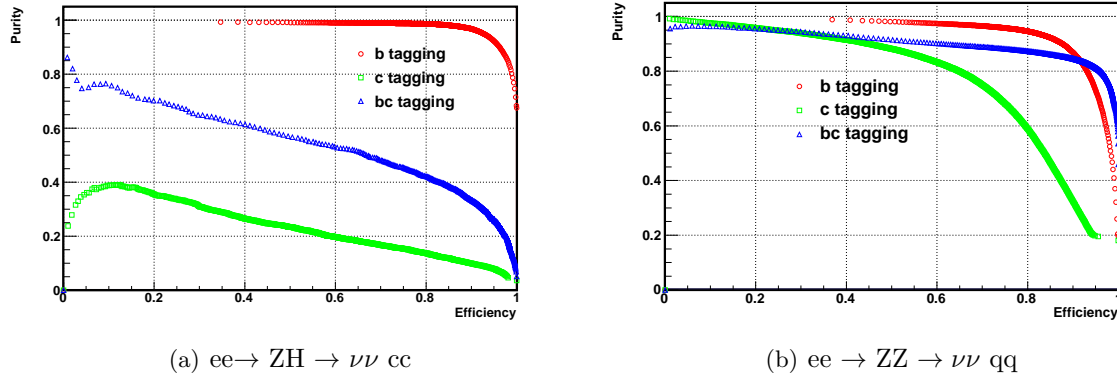


図 2.16: 重心系 250GeV でのフレーバー同定の選択効率と純度

崩壊点分解能はヒッグスの湯川結合の測定から、中でも g_{Hcc} や g_{Htt} から要求される。b や c クォークなどの粒子のフレーバーの同定の選択効率は、第二次崩壊点の再構成の精度で決まる。このとき他に多数の重いフレーバーの粒子が存在すると、崩壊点の再構成の精度が低下する。図 2.16 には、ヒッグス質量が 120 GeV のときのフレーバー同定の純度と選択効率が描かれている。H $\rightarrow cc$ の崩壊分岐比は小さいため、統計が少なく、選択効率、純度共に低くなってしまふ。Htt の事象でも、複数ジェットがオーバーラップするために b クォーク同定の選択効率がおおよそ 10% 減少する。[2] このように

g_{Hcc} については、他の b クォークなどの重いフレーバーの粒子が多く存在する中で、c クォークの第二次崩壊点を高い精度で再構成する

g_{Htt} については、複数ジェットの終状態下で高いフレーバー同定を実現するために、式 2.15 の分解能が要求される。

第一項の single point 分解能は、高運動量の要求を満たす為のもので、第二項の多重散乱項は、低運動量の粒子の測定精度の要求からくる。(~ 30% の粒子は 1 GeV 以下の運動量を持つ) 式 2.15 の分解能は、SLD の 1/3、LHC の 1/5 の分解能に相当する。

(3) エネルギー分解能

$$\sigma_{E_{jet}}/E_{jet} < 3.8\% \text{ もしくは } \sigma_E/E \sim 30\%/\sqrt{E_{jj}} \text{ (} E_{cm} \sim 90 \text{ GeV)} \quad (2.16)$$

エネルギー分解能は g_{HHH} の測定から要求される。ee $\rightarrow ZHH$ プロセスは、複数ジェットのプロセスで、エネルギーも高いのでブーストされて、磁場で曲がりきれずジェット密度が

大きくなる。また、複数ジェットプロセスのため、コンビナトリアルバックグラウンドが多い。このような条件下で背景事象と分離し、さらにヒッグス粒子を再構成できるようにするためには、式 2.16 のような分解能が必要になる。また、WW ボゾンフュージョンによるヒッグス生成過程 ($ee \rightarrow \nu\nu$) で、ヒッグスの崩壊で $H \rightarrow WW$ 、 $H \rightarrow ZZ$ を再構成し、分離できるようにするためには、式 2.16 のような分解能が必要になる。

2.3.2 PFA(Particle Flow Algorithm)

ILD 検出器は主に崩壊点検出器、飛跡検出器、カロリメータ、ミューオン検出器から構成されそれぞれで位置測定、運動量測定、エネルギー測定、ミューオン同定を行う。(崩壊点検出器は運動量測定にも用いられる。)しかし、典型的な HCAL の分解能は、50 % 以上であり、2.3.2 章で述べた検出器全体での要求性能を満たすには程遠い。

このため、ILD 検出器は Particle Flow Algorithm に基づいた測定を行っている。

Particle Flow とは、検出器全体の情報を用い、ジェットから生じる粒子を一番精度よく測定できる検出器によって個別に測定していく手法である。

典型的なジェットは、64% 荷電ハドロン (主に π^\pm)、25% の光子、11 % の中性ハドロンの構成される。2/3 のジェットエネルギー分解能は荷電ハドロンによって運ばれる。ILC のエネルギースケールでは、カロリメータより飛跡検出器の方がはるかに精度がよい。もし、検出器が理想的に粒子識別できるとしたら、Particle Flow 概念のもと、荷電粒子は飛跡検出器で測定され、光子は ECAL で測定され、($\sigma_E/E < 20\%/\sqrt{E(\text{GeV})}$) HCAL では中性ハドロンしか測定されない。ジェットエネルギーの 11 % しか HCAL で測定されず、エネルギー分解能は著しく向上する。これをもって 2.3.2 章で述べた検出器全体での要求性能を満たされる。下に Particle Flow の手順を記す。

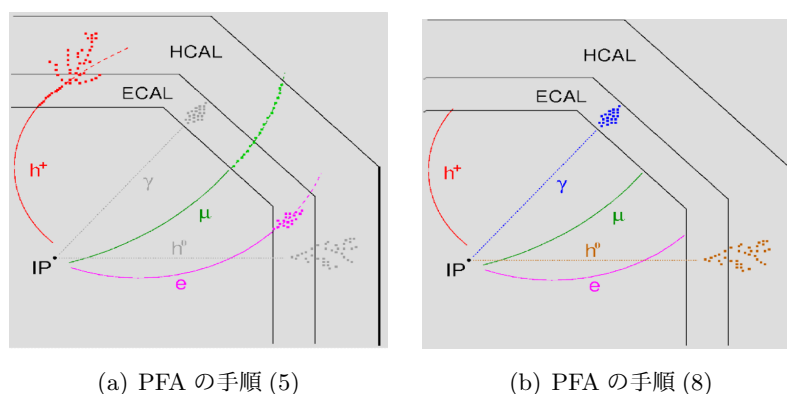


図 2.17: particle flow algorithm

- (1) 飛跡検出器による荷電粒子のトラック再構成
- (2) トラックをカロリメータ内まで外挿する。
- (3) トラックに MIP を割り当てる。

- (4) 荷電トラックに対してカロリメータでクラスタリング
- (5) 荷電粒子の粒子同定 (図 2.17(a))
- (6) カロリメータ内の荷電粒子ヒットを取り除く
- (7) 中性ヒットのクラスタリング
- (8) 中性粒子の粒子同定 (図 2.17(b))

しかし、実際の検出器では、ビームパイプを抜けて検出されない粒子もあれば、トラック再構成をミスすることや、カロリメータのセルの割り当てるトラックを間違えること、低運動量のためカロリメータにたどり着かない、崩壊点の同定を間違えることもある。一番致命的なのが、中性ハドロンのクラスターと荷電ハドロンのクラスターが HCAL でつながっているときに、中性ハドロンのエネルギーデポジットを荷電ハドロン由来のものと”混合”することで、これが、現在ジェットエネルギー分解能を決めている。²

PFA が成立するために、飛跡検出器に、高精度のトラッキング（特に低運動量に対して）、低物質量の要求が課される。特に崩壊点検出器に対しては、正確な崩壊点の再構成、トラッキング精度、低物質量の要求がなされる。

2.3.3 各検出器によって要求性能の満たす方法

ILD では、高精細な検出器を用いることにより、高精度の測定を実現する概念に基づいている。崩壊点検出器に関しては、薄型で低物質量化、小さいピクセル、速い読みだしで高い位置分解能、また運動量分解能の向上を図る。飛跡検出器においては、ガスチェンバーを用いることで、低物質量、多サンプルポイントが得られる。(～200ポイント) ジェットエネルギー測定器は、サンプリング間隔を小さくし、セルの細かい高精細カロリメータを用いる。ILD では、カロリメータ内のジェット同士の重複をできるだけ避け、飛跡検出器による高精度のトラッキングを可能にするために、高磁場 3.5T がかかっている。以下で各検出器について述べる。

2.3.3.1 飛跡検出器 (Tracking Detector)

ILD の飛跡検出器は、崩壊点検出器 (VTX; Vertex detector)、シリコン飛跡検出器 (Silicon Inner Tracker)、主飛跡検出器 (TPC; Time Projection Chamber) の3つから構成される。飛跡検出器全体の運動量分解能として、式 2.14 を目指している。飛跡検出器と運動分解能の関係を表 2.2 運動量分解能を記す。

²ILC では、Pandora PFA というアルゴリズムを用いることにより、カロリメータ内でトラッキングを行い、荷電ハドロン由来の粒子ヒットを取り除くことにより、これによる誤差を抑えている。

表 2.2: 飛跡検出器による運動量分解能

検出器	運動量分解能 $\delta(1/p)$	単位	使用ポイント数
TPC のみ	2.0×10^{-5}	/GeV	200 space point
TPC + VTX + SIT	9×10^{-5}	/GeV	200 + 6 + 2 space point

[1] 崩壊点検出器 (VTX; Vertex Detector)

崩壊点検出器 (VTX) は衝突点に最も近い位置にあり、荷電粒子の飛跡とその崩壊点を正確に再構成することを目的としたシリコンピクセル検出器である。ILC 実験の多くの物理解析では高性能なフレーバータグが求められており、これは VTX の衝突点分解能に大きく依存している。VTX は衝突点分解能として式 2.15 を目指している。崩壊点検出器の詳細については、3章で述べる。

[2] シリコン飛跡検出器 (Silicon Tracker)

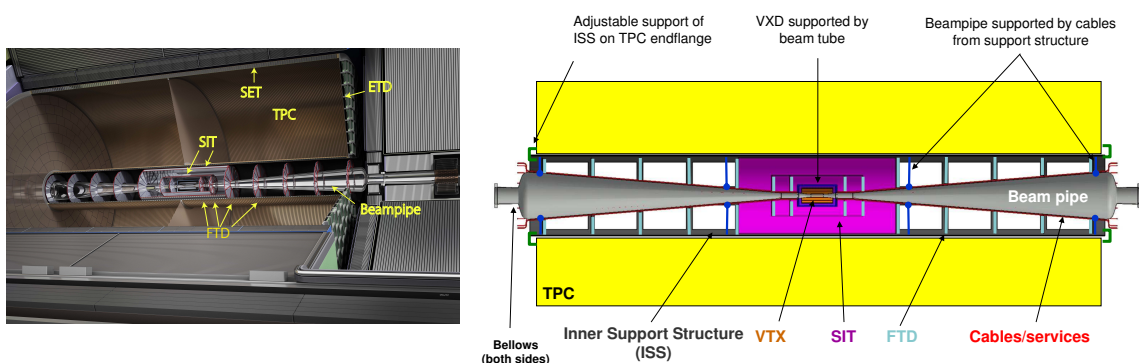


図 2.18: シリコン飛跡検出器の外観図

シリコン飛跡検出器は崩壊点検出器 (VTX) と中央飛跡検出器 (TPC) の間を補完して飛跡検出器全体としての運動量分解能を向上させること、前方方向の運動量分解能を向上すること。粒子の電磁カロリメータ (ECAL) や TPC への入射位置と時間を測定すること、を目的とした検出器である (図 2.18)。VTX と TPC の間を補完するために、バレル部に SIT (Silicon Internal Tracker)、エンドキャップ部に FTD (Forward Tracking Detector) があり、ECAL への粒子の入射位置と時間を測定するために、バレル部に SET (Silicon External Tracker)、エンドキャップ部に ETD (End cap Tracking Detector) がある。SIT (Silicon Internal Tracker) は、TPC への入射位置と時間を測定し、タイムスタンプするのに使われる。FTD (Forward Tracking Detector) は飛跡検出範囲の最も内側に位置し、超前方方向 0.15 ラジアンまでをカバーする。全部で 14 枚のディスク型のシリコン検出器により構成される。ETD (End-cap Tracking Detector) は TPC とエンドキャップ

プ部分の間に位置し、ECAL への入射位置の同定、荷電トラックの運動量分解能を改善する。

[3] 主飛跡検出器 (Time Projection Chamber)

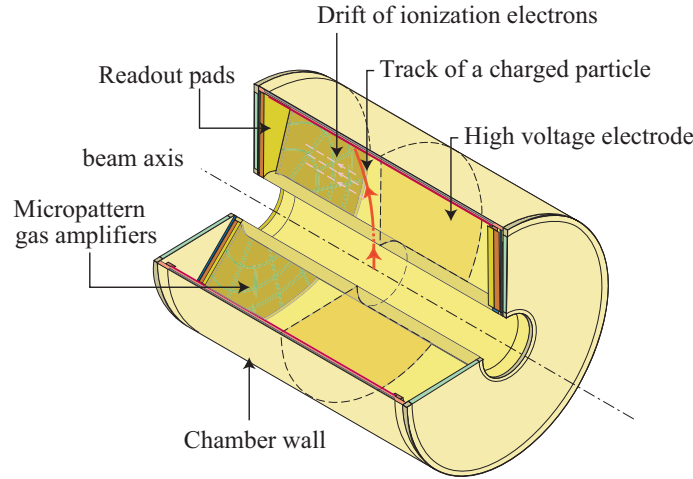


図 2.19: 主飛跡検出器の外観図

主飛跡検出器 (TPC) は荷電粒子の飛跡を 3 次元的に再構成するためのガス検出器である。TPC にはガスが充満しており、ここに荷電粒子が通ると陽イオンと電子が電離する。この電離した電子がビーム軸に平行に掛けられている高電場によりエンドプレート方向にドリフトされる。この時、検出器中の磁場もビーム軸に対し平行になっているので、 $E \times B$ の効果により、ドリフト方向に直交する面内での分散が抑えられる。TPC の端に達した電子は、エンドプレートにある micro-pattern gas detector (MPGD) により電子雪崩を起こし、信号として取り出される。この時に要したドリフト時間と MPGD での 2 次元パターンから、トラックが 3 次元的に再構成される。これは、バンチ間隔が大きく、バックグラウンドレベルが低い ILC だからこそ可能な技術である。

ガスを用いた TPC は物質量が少ないため、TPC の外側にあるカロリメータの測定精度への影響が少ない。また、TPC 中でのトラックのエネルギー損失 dE/dx から粒子識別が可能であるため、物理解析に重要な情報を得ることができる。

2.3.3.2 カロリメータ (Calorimeter)

ILC 実験で期待されている物理現象は多数のジェットを含むため、式 2.16 のようなエネルギー分解能が要求される。

カロリメータでは、光子や荷電ハドロンに対して ECAL (電磁カロリメータ) でエネルギーを測定し、中性ハドロンに対しては HCAL (ハドロニックカロリメータ) でエネルギーを測定する。カロリメータは、シャワーを起こさせる吸収層と落としたエネルギーを検出し測定する検出層から構成される。ECAL では、電磁シャワー (電磁相互作用によって連鎖的に大量の電子陽電子対、光子が生成する) が吸収層で生じ、生じた光子が検出層で測定される。HCAL では、ハドロニックシャワー (強い相互作用によって連鎖的に大量の荷電パイオン、中性パイオンが生成する) が吸収

層で生じ、生じた中性パイオン由来の電磁シャワーエネルギーと荷電パイオンのエネルギーデポジットが測定される。

カロリメータの測定精度を決めている要因は主に三つあり、

- (a) HCAL 内で、中性ハドロン由来のエネルギーデポジットを荷電ハドロン由来のものとの ”混合” することが起きること。荷電ハドロン由来のデポジットを HCAL から取り除くためには、シャワーを分離する必要がある。
- (b) サンプリング型のカロリメータシャワーを起こす吸収層と検出層の関係による系統誤差。カロリメータは、吸収層と検出層のサンドイッチ構造になっているため、吸収層において、どこでシャワーが始まったか、どうやって広がっているか、分からず、吸収層の分のエネルギーデポジットの見積もりを間違える系統誤差が生じてしまう。
- (c) HCAL では、吸収層でジェットが主に電磁シャワーとハドロニックシャワー (荷電パイオン) になり、そのエネルギーデポジットを測る。ハドロニックと電磁相互作用によって落とすエネルギーが異なるため、この2つ割合が分からず系統誤差が大きくなる。

以下では、電磁カロリメータとハドロンカロリメータについて述べる。

[1] 電磁カロリメータ (ECAL)

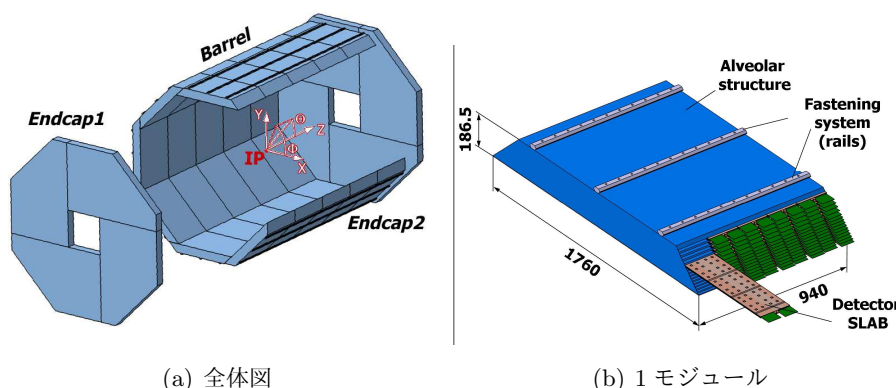


図 2.20: ECAL

電磁カロリメータ (ECAL) はジェット中の光子のエネルギーを測定する検出器である。(a) に対する対策として、吸収層に、各粒子を分離しやすいように Morilere 半径³の小さいタングステンを、検出層には、高精細なシリコンもしくはシンチレータを用いる。(b) に対する対策として、セルの細かい高精細なカロリメータにしている。

これにより、電磁カロリメータに要求される

$$\sigma/E = \sigma_{stochastic}/\sqrt{E} \oplus \sigma_{constant} \quad (2.17)$$

³90% のエネルギーが含まれる半径を Moliere 半径と言い、シャワーの横方向の広がりを表す。

$$\sigma_{stochastic} = 15\%, \quad \sigma_{constant} = 1\% \quad (2.18)$$

性能を目指す。

なお、 $\sigma_{stochastic}$ は統計項で、サンプリングによる粒子数の揺らぎや検出器に検出される粒子数の揺らぎなど統計的な揺らぎに起因する項である。一方、 $\sigma_{constant}$ は、定数項で、カロリメータ応答の非線形性やシャワーの漏れ、カロリメータの応答校正の誤差など検出器の系統的な誤差に起因する項である。

[2] ハドロンカロリメータ (HCAL)

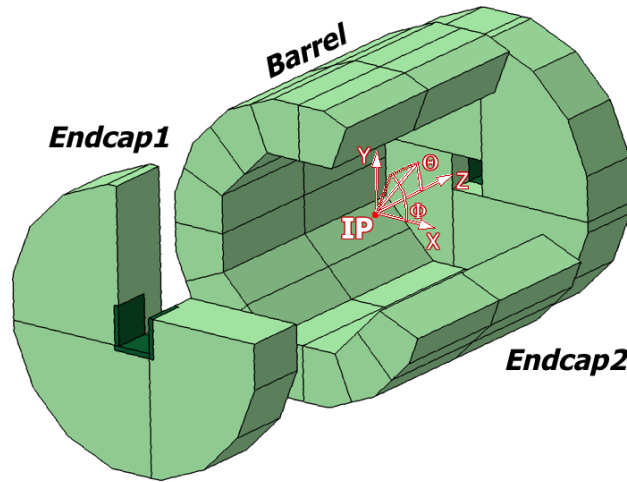


図 2.21: HCAL

ハドロンカロリメータはジェット中の中性ハドロンのエネルギーを測定するための検出器である。中性ハドロンは、電磁シャワーとハドロンシャワーのエネルギーデポジットを両方持ち、双方のエネルギーデポジットは大きく揺らぐため、これを正確に測ることはPFAを行う上で重要である。HCALはECALと同様にサンプリングカロリメータで、吸収層にはステンレス鉄(Fe)が、検出層にはシンチレータタイルもしくはガス検出器が用いられる。(a)(b)に対する対策として、ECALと同じく高精細のセルのカロリメータにしている。(c)に対する対策としては、compensation⁴を持たせている。

これにより、ハドロンカロリメータに要求される

$$\sigma/E = \sigma_{stochastic}/\sqrt{E} \oplus \sigma_{constant} \quad (2.19)$$

⁴光子の起こすシャワーと異なり、カロリメータのエネルギーキャリアレーションはより複雑となる。一般に同じエネルギーの電子とハドロン(π^\pm)を入射しても、カロリメータ上でのトータルのエネルギーデポジットはそれらの間で異なり、その比(e/π ratioと呼ばれるもの)は1より大きくなる。それが1より大きいようなカロリメータではハドロンに対するエネルギーキャリアレーションが難しいため、それを1に近づけるための所作を行い e/π ratioがほぼ1となるようにする。そのような e/π ratioがほぼ1であるようなカロリメータを Compensation Calorimeter という。

$$\sigma_{stochastic} = 50\%、\quad \sigma_{constant} = 2\% \quad (2.20)$$

性能を目指す。

第3章 崩壊点検出器 (Vertex Detector)

2章で示したように $t\bar{t}$, $t\bar{t}$ などの複数ジェットのもとでのフレーバー同定や多ジェットの下での c -クォーク同定より、式 2.15 の崩壊点分解能が要求されている。 τ や b c クォークを含むハドロンなどの弱い相互作用で崩壊する粒子は、平均数 mm の飛程をもつ。フレーバー同定は、第二次崩壊点の再構成 (不変質量が決定される) によってなされるため、崩壊点検出器による崩壊点測定精度が重要になる。崩壊点測定精度は、(1)IP からの距離、(2)空間分解能の大きさの二点より決定され、IP から近いほど、空間分解能が小さいほど崩壊点測定精度が向上する。

崩壊点検出は、他にも第一次崩壊点の再構成、崩壊点のネット荷電の測定、トラッキングにも使われる。崩壊点検出器の高い Single point 分解能 ($\sim 1 \mu m$) によって、前方とバレル方向 (global fitting) のトラッキングの種となる点を与える。

さらに、複数の層を持つ崩壊点検出器は、スタンドアロンでのパターン認識や運動量測定もできるポテンシャルを持っている。これは、主飛跡検出器に届かないような低運動量の粒子に関して特に有効である。

この章では、崩壊点検出器の候補となっている FPCCD 崩壊点検出器の説明から入り、その構成と特徴、さらに、その特徴から課される要求の説明をし、それから、CCD の仕組み、最後に読み出し回路の役割について述べる。図 3.1 には、ILD 検出器の崩壊点検出器が書かれている。

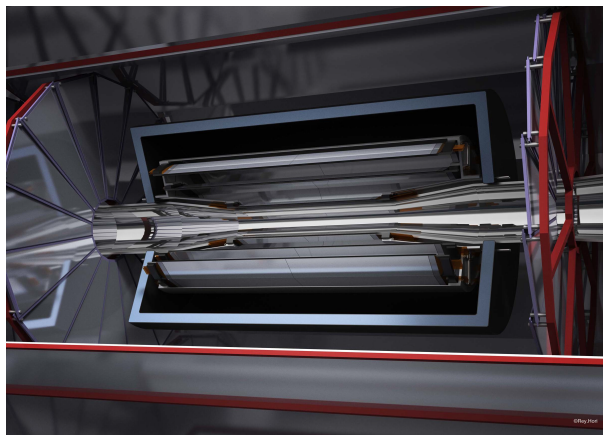


図 3.1: 崩壊点検出器

3.1 FPCCD 崩壊点検出器とは

崩壊点検出器の最内層は、IP に近いほど、崩壊点の測定精度が上がるが、IP に近いビームパイプ周りでは、ビームビーム相互作用によるペアバックグラウンド事象が大きくなり、ピクセル占有率が増大し、トラッキングができなくなる。1300 バンチ分のペアバックグラウンドが発生すると、最内層で $160\sim 200 \text{ hits/mm}^2$ が生じる。これは、標準的なピクセルサイズ ($25 \times 25 \mu\text{m}$) のセンサーで1 トレイン分のデータを蓄積すると、ピクセル占有率が10% を越えてしまう。トラックの再構成には、 $\sim 1\%$ 以下のピクセル占有率が必要であるため、以下の二つのオプションが考えられている。

- (1) トレイン内で複数回、連続読み出し (~ 20 回) を行うことでピクセル占有率は下げる。ここでは、トレインの衝突時にデータを読み出し、トレイン間の 200 ms では電源を切り消費電力を抑えるというパワーサイクリングと呼ばれる方針が採られる。これにより、消費電力は抑えられるが、 5 Hz で大電流がパルス的に流れるためローレンツ力によって引き起こされる振動が問題となる。
- (2) ピクセルの大きさを小さくすることで占有率を下げ、全バンチでデータをため、トレイン間 (200 ms) 内で読み出す。ビーム由来電磁波と電子機器との電氣的干渉や、パワーサイクリングのときに生じる問題がないのがメリット。

我々は(2)のオプションを選択し、 $5 \times 5 \mu\text{m}^2$ のピクセルを用いることでピクセル占有率 $\sim 1\%$ を実現する。これが本研究のテーマ、FPCCD 崩壊点検出器である。

3.2 FPCCD 崩壊点検出器の構成

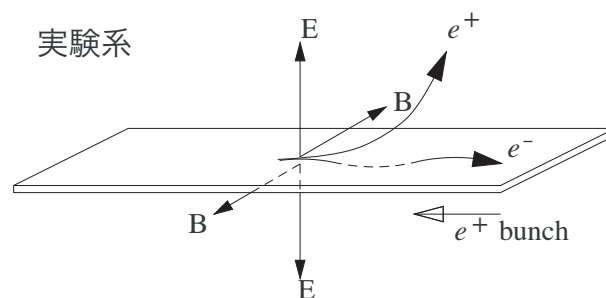


図 3.2: バンチの作る電磁場による散乱の様子 [16]。対向するビームと同電荷の粒子 (図中では e^+) が強い反発力を受けて大きく散乱される。異電荷の粒子 (図中では e^-) は収束力を受けてビーム面を振動する。

FPCCD 崩壊点検出器の形状、配置は、ペアバックグラウンド事象の分布によって決められる。ペアバックグラウンド事象はビーム衝突時に光子から生成される電子陽電子ペアであり、ビーム衝突点に近いほど急増する事象である。本来なら、ペアバックグラウンドは、t-channel のダイヤ

グラムで生成され、前方方向に生成されるため、大きな θ 角を持たず、崩壊点検出器のトラッキングに支障をきたさないのだが、高電荷密度のフラットビームを用いているため、ほぼ ϕ 方向 0 度、 θ 方向 ± 90 度の電気力線が相手ビームから出ており、相手ビームと同符号の電子または、陽電子が大きく散乱され、Pt が増大し、崩壊点検出器に届いてしまう。

図 3.2 には、ペアバックグラウンド事象の相手バンチによる散乱の様子が描かれている。

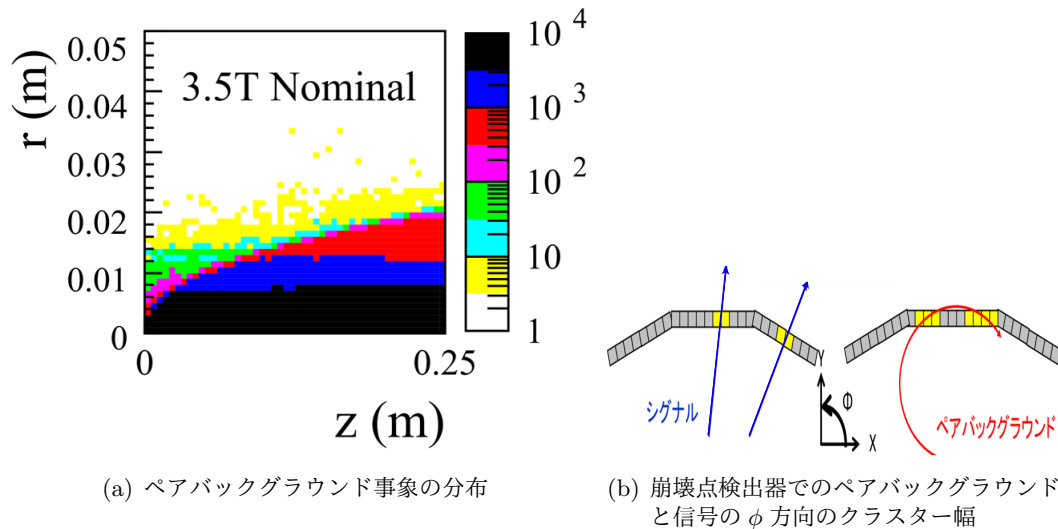


図 3.3: ペアバックグラウンド事象

ペアバックグラウンドは運動量が小さいため、磁場で曲げられ、図 3.3 のようにコーン状の分布をとる。ILD では、3.5 T の磁場をかけていて、この下で、ペアバックグラウンドの密な領域を避けられる、最も近い、IP から 18 mm のところに崩壊点検出器の最内層が配置される。

ピクセルはラダー状に配置され、IP の周りに円筒状にカバーされる。隣接するラダー同士は、不感領域をなくすためオーバーラップしてある。このラダーの長さもペアバックグラウンドの密な領域を避けられるように 62.5 mm と決められる。

図 3.3 には、磁場 3.5 T のときのペアバックグラウンドの分布が示してある。

また、崩壊点検出器は PFA の性能を最適化するために、低物質量化も重要になる。FPCCD 崩壊点検出器は、有感層 $15 \mu\text{m}$ の厚さ $50 \mu\text{m}$ のセンサーを扱う。有感領域は全空乏化されており、電荷の拡散を抑えることができる。

図 3.4 に FPCCD 崩壊点検出器の全体図を示す。低物質量の 2 mm 程の厚さを持つ支持構造の裏表にセンサーが取り付けられてた doublet 三層から構成される。

図 3.4 の右図は断面図を表わしており、各層の設置位置の詳細な数字が z 軸、y 軸に表記されている。ビームパイプの半径は 16 mm で FPCCD 崩壊点検出器の第一層は 18 mm の位置に置かれる。

センサーと読み出し回路からなる「ラダー」とラダーを支持する低物質量の「サポートレイヤー」から構成される。ILD の崩壊点検出器は、サポートレイヤーの裏表にラダーを張り付けるダブル・レイヤー構造を用い、ダブル・レイヤー三層から構成される、この構成は、サポートレイヤーの表と裏の両層のヒットの位置をみることベクトルを作ることができるメリットがある。このベク

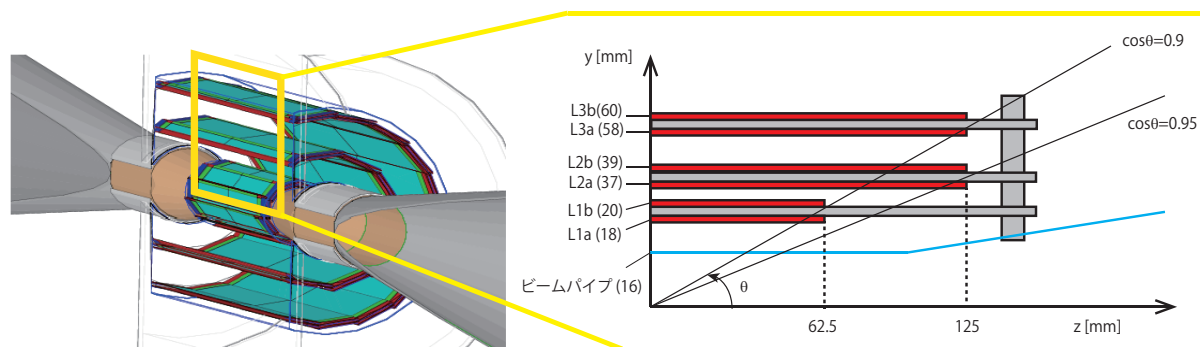


図 3.4: FPCCD 崩壊点検出器全体図

トルの向きによって、横運動量 P_t の高低が分かり、ピクセル占有率がある程度高くても、高い横運動量 P_t を持つ信号事象を選ぶことによってトラッキングできることを意味している。低 P_t のペアバックグラウンドに対して強くなる。また θ 角が小さいときの前方方向の低運動量のトラックに対しての再構成が向上する。

ペアバックグラウンドに関しては、一つのレイヤーのパターンでも除去に利用することができて、低 P_t を持つペアバックグラウンドのような事象は磁場により螺旋運動し、 r - ϕ 平面において CCD に浅い角度で入射し、たくさんのピクセルにヒットする。結果的にペア・バックグラウンドの粒子は ϕ 方向に幅広く、 Z 方向に狭いヒット分布を形成する。一方、電子陽電子衝突から生じた大きな横方向運動量を持つ粒子は ϕ 方向に狭く、 Z 方向の距離に比例して幅の広がるヒット分布を作るこのような崩壊点検出器におけるヒット分布の違いを用いることでペアバックグラウンド事象を除去し、トラッキングが可能となる。

3.3 CCD センサー

CCD は、Charge coupled device(電荷結合素子)の略で、検出原理は、CMOS と変わらない。違いは検出電荷を検出したピクセルで増幅、電荷電圧変換するのではなく、一度検出電荷を AD 変換など信号処理する前の最終出力回路まで転送してから、増幅、電荷電圧変換を行うところである。CCD は最終的に 1 つのアンプで電気信号化するため、素子ごとのアンプ増幅特性のばらつきの影響がなく、雑音の少ない均一な画像を得ることができる。また照射を完全に遮断しても発生する暗電流ノイズというノイズがあり、内部で発生する熱などにより電荷が蓄積してしまう。CCD は読み取るたびに蓄積電荷をゼロにできるため、一旦読み取り、検出して読み取り、その差を実際の情報とすることで、暗電流ノイズを打ち消すことが可能である。これを相関二重サンプリング (CDS) と言い、このため CCD はノイズに強い。最終的に読み出し雑音レベルは数 e^- ~ 十数 e^- rms と小さく、弱い光でも十分な S/N が得られる。

一方、CCD は、バケツリレー方式で電荷を転送していくため、高速化が難しい。

[1.] 粒子検出

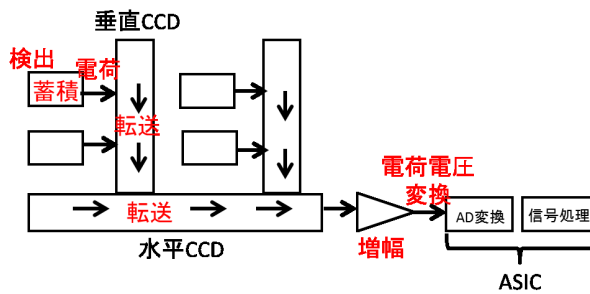


図 3.5: CCD センサー

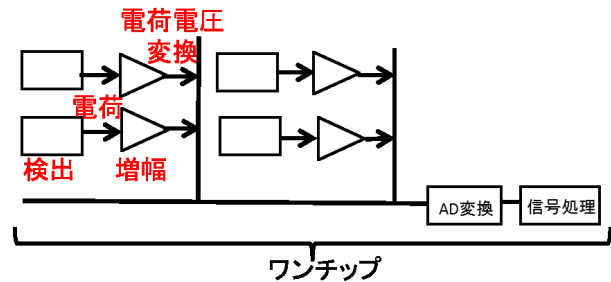


図 3.6: CMOS センサー

- [2.] 電荷の蓄積
- [3.] 電荷の転送 (CCD の機能)
- [4.] 電荷の検出 (電荷電圧変換)

以下では特に [1][3][4] について述べる。

3.3.1 [1] CCD 検出原理

放射線と物質の相互作用には、光電効果、コンプトン散乱、電子正孔対生成の 3 種類がある。放射線は物質中の束縛電子とこれらの相互作用を行い、そのエネルギーを束縛電子に渡す。エネルギーを得た電子は物質中を動き、飛跡に沿って電子ホール対を生成する。半導体を用いた放射線検出器の動作原理は、これらの電離作用により生成された電子ホール対を分離し、電極に収集して信号にすることである。生成された電子ホール対の数は放射線から受け取ったエネルギーに比例しているため、信号の電荷量がそのまま放射線のエネルギー損失を表す。正しくエネルギーを知るためには、生成された電子ホール対が再結合する前に効率良く分離、収集しなければならない。そのためには半導体結晶内に電場をかけることが必要である。純粋なシリコン結晶の場合、バンドギャップは大きく (1.15 eV)、常温で熱励起によるキャリアがほとんど存在しないので、結晶中に電場をかけることができる。しかし、実際のシリコン結晶は不純物を含んでいるので、熱励起されたキャリアを持っている。そこで、シリコン結晶を放射線検出器として使用する場合、結晶内からキャリアを消す「空乏化」が必要になり、空乏化された結晶内 (空乏層) が有感領域となる。シリコン検出器は極めて純粋な結晶を用い、ダイオード構造にして逆バイアスをかけることによって空乏層を厚くしている

半導体検出原理

シリコンやゲルマニウムは 4 価の原子なので、5 価のリンを少量混ぜるとリンに置き換わった格子で電子が 1 つあまり、容易に伝導電子となって、電子をキャリアとする n 型半導体をつくることができる。また逆に 3 価の元素をドーピングすると、ホールをキャリアとする p 型半導体になる。n 型、p 型半導体のバンドギャップ内にできる新しいエネルギーレベルの構造を図 3.7 に示す。ドーピングした不純物濃度が特に高いものを + 記号をつけてそれぞれ n + 型、p + 型半導体という。この

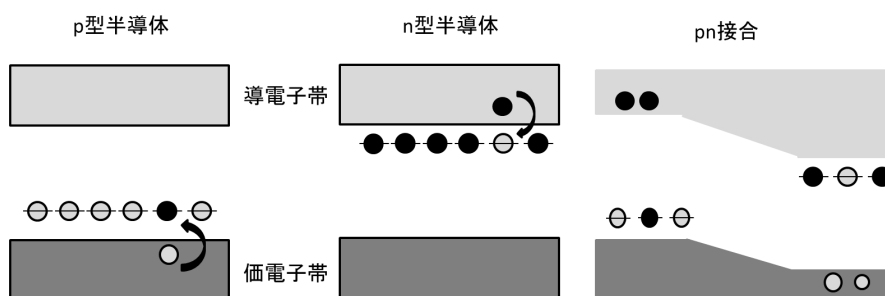


図 3.7: n 型および p 型半導体と、pn 接合のバンドギャップ内にできる新しいエネルギーレベル

2つの半導体が接合されるとpn接合ダイオードができる。接合近傍には大きなキャリア密度勾配ができるので、キャリアの拡散が起こり、n型からp型に向けて電子が移動し、p型からn型に向けてはホールが移動する。その結果、移動した電子ホールが再結合し、残されたアクセプタイオンとドナーイオンにより電場が作られる。この電場はn型およびp型半導体のキャリアの侵入を防ぐ方向に作られるので、接合近傍はキャリアがほとんど存在しない空乏層になる。さらに、pn接合ダイオードに逆バイアス電圧をかけることにより、それぞれのキャリアは接合部のポテンシャル壁をこえて再結合する。はじめに中性であったn型とp型半導体はそれぞれ正負に帯電し、逆バイアス電圧とつり合うところまでキャリアが取り除かれ、空乏層を広げることができる。

3.3.2 放射線ダメージ

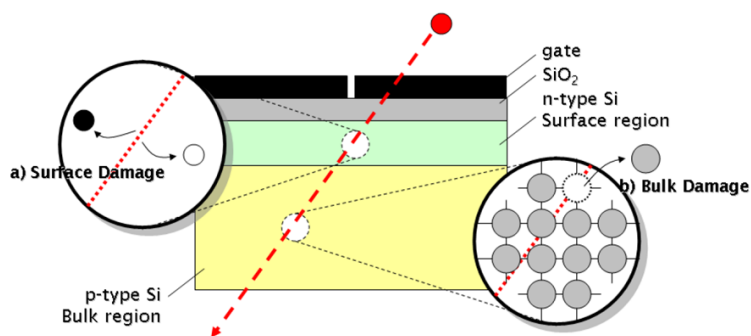


図 3.8: CCD 放射線ダメージ

シリコン検出器は厳しい放射線がさらされ、放射線ダメージが検出器の性能を低下させる原因となる。放射線ダメージには主に二つあり、(i) 原子の格子欠陥 (ii) イオン化によるダメージである。

格子欠陥によるものは、バルクの特性を変える為 bulk damage と呼ぶ。イオン化ダメージは、接合面の欠陥によるため surface damage と呼ぶ。

放射線ダメージの結果として、(1) リーク電流が上昇することによるノイズ上昇。(2) トラップ準位が生成することによる電荷収集効率の低下が影響として表れる。

CCD における 2 つの放射線損傷のうち、まずはまず Surface Damage について考える。この呼び名は、この現象が荷電粒子が CCD を通過することにより対生成された電子と正孔のうち、正孔の幾つかが $Si - SiO_2$ 境界面に蓄積されることにより引き起こされる現象であることに起因する。この現象は入射粒子による電離によって起こる現象である。したがって、Surface Damage の原因となっている素過程は電離であり、イオン化をとともなうエネルギー損失 (dE/dx) に比例するものと考えられる。正孔がシリコン酸化膜に蓄えられ、トランジスタのドレイン、ソース間の導通をさせるためのゲート、ソース間の最小電圧、閾値電圧の上昇につながる。殆どの場合、生じた正孔は再結合し、支障をきたさないのだが、それでも生じた正孔は暗電流の寄与につながる。しかし CCD は暗電流に強いため、CCD における surface damage の影響は小さい。

では、bulk damage についてはどうだろうか。bulk damage は、放射線が Si の格子に衝突することで Si の格子欠陥を引き起こすことで、格子欠陥は、Si 結晶中のバンドギャップ中に新たなエネルギー準位 (トラップ) を作る。このトラップは転送効率悪化を引き起こす。Si の原子核を格子の位置からずらすためには、最低 25 eV の反跳エネルギーが必要であり、電子、陽電子がそのような反跳エネルギーを持たせるには、260 keV のエネルギーが必要である。図 3.9 のように、ペアバックグラウンド事象は 260 keV より大きなエネルギーを持ち、トラップ準位が多数生じる。 [8]

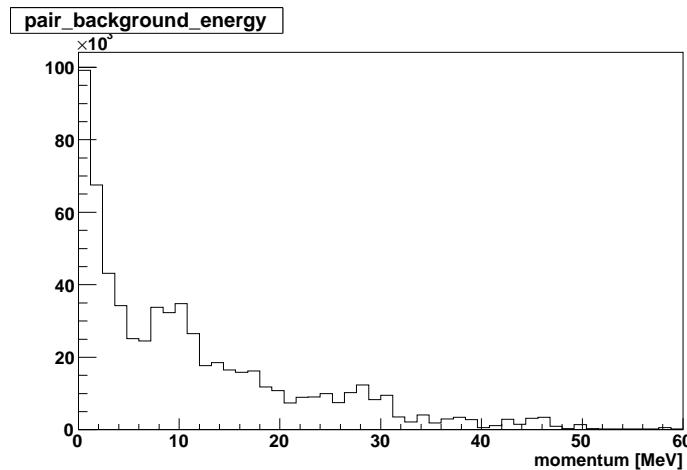


図 3.9: 崩壊点検出器へのペアバックグラウンドの入射エネルギーの分布

このトラップ準位に、信号事象によって生じた電荷が捕えられ、信号電荷の転送効率が悪化する。一つのピクセルが隣のピクセルへの転送効率を CTE (Charge Transfer Efficiency) と定義し、転送非効率を CTI (Charge Transfer Inefficiency) と定義する。転送前の信号電荷 Q_0 と転送後の信号電荷 Q_n は、CTI によって式 3.1 に従う。

$$Q_n = Q_0(1 - CTI)^n \quad (3.1)$$

FPCCD 崩壊点測定器は、ピクセル数が多く (n 大)、CTI の影響を大きく受けるため、センサーは、CTI の放射線対策が最も重要な項目となる。

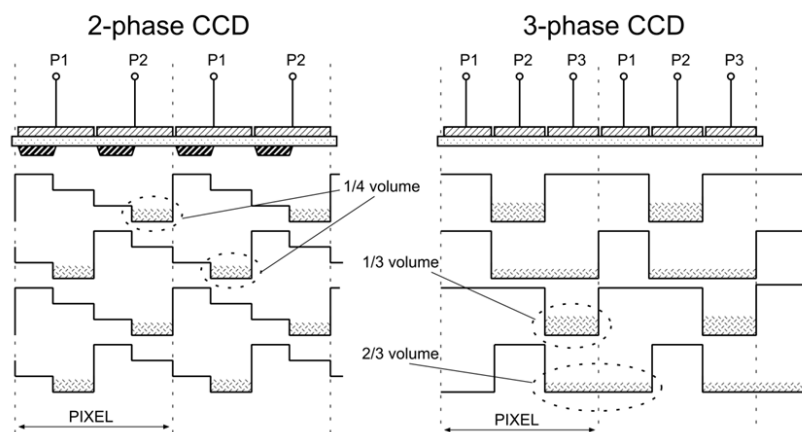


図 3.10: 2相と3相式 CCD

3.3.3 [2] CCD の電荷転送方式

CCD 素子は電荷転送デバイスの一種であり、ポテンシャルの井戸を利用して半導体中を電荷を転送するデバイスである。ポテンシャルの井戸は、複数の MOS 構造の電極の 1 つに、他と異なる電圧を加えることによりその電極下を部分的に異なるポテンシャルにすることで実現できる。電極への電圧の加え方には代表的なもので 2 相方式と 3 相方式がある

2 相方式では、電荷転送に用いるパルスが 2 種類必要である。さらに、各電極下のシリコン内部の電場に構造を持たせる。これは、n シリコン中に p シリコン帯を置くことで実現できる。これによって、すべての電極の電位が等しいときでもピクセル内にポテンシャル井戸を保つことが出来る。

3 相方式では、電荷転送に用いるパルスが 3 種類必要であるが、最も基本的な方式である。信号電荷のあるポテンシャル井戸は転送前方に隣接する井戸より浅く、後方の井戸より深い。

2 相方式は電荷転送に用いる 2 種類の位相の異なるクロックパルスがあり、 $Si - SiO_2$ 接合面に p 型のシリコンをドーピングすることにより電場に構造を持たせている。これにより、4 相構造の電場を形成することが可能となる。クロックパルスの数が 2 種で良いこと、電荷の高速転送が可能、さらに 3 相方式より 2 相方式の方が CTI が 4 倍よい結果が出ているという利点から本研究で利用した CCD の転送方式には 2 相方式を採用した。[8] 2 相方式より 3 相方式の方が CTI が高いのは、2 相は電荷がピクセル体積の 1/4 を占めるのに対し、3 相は電荷がピクセル体積の 1/3 や 2/3 を占め、トラップされる確率が高くなるからである。P1V, P2V(垂直転送用電圧), P1H, P2H(水平転送用電圧) の電圧を掛けることにより、電荷の転送を実現し、電荷転送を行うために CCD に印加している電圧は、高レベルの場合で 4 V, 低レベルの場合が -8 V という仕様となっている。

3.3.4 [3] 電荷電圧変換

CCD のシフトレジスタにより転送された信号電荷は、最終的に出力部において信号電荷に対応した電圧に変換されて出力される。FPCCD では、電荷の検出方式として最も広く使用されて

いる方法である FDA (Floating Diffusion Amplifier) を用いている (図 3.11)。この方式では電荷を検出するノードと、それに接続された 1 組のリセット用 MOSFET (MOS1) と電荷電圧変換用 MOSFET (MOS2) により構成されている。検出ノードまで転送されてきた電荷は電荷電圧変換用 MOSFET で $Q = CV$ の関係により電圧に変換される。MOS2 はソース・フォロアが用いられており、これは広帯域かつ広い動作電圧範囲で良好な入出力の直線性を保つからである。RG はリセット信号で、次の信号を読むために検出ノードはリセット用 MOSFET (MOS1) によりリファレンスレベル (RD の電圧) にリセットされる。また信号電荷の出力されるタイミングは、シフトレジスタの最終クロックゲートであるサミングゲート SG がハイレベルからローレベルになるときと同期している。

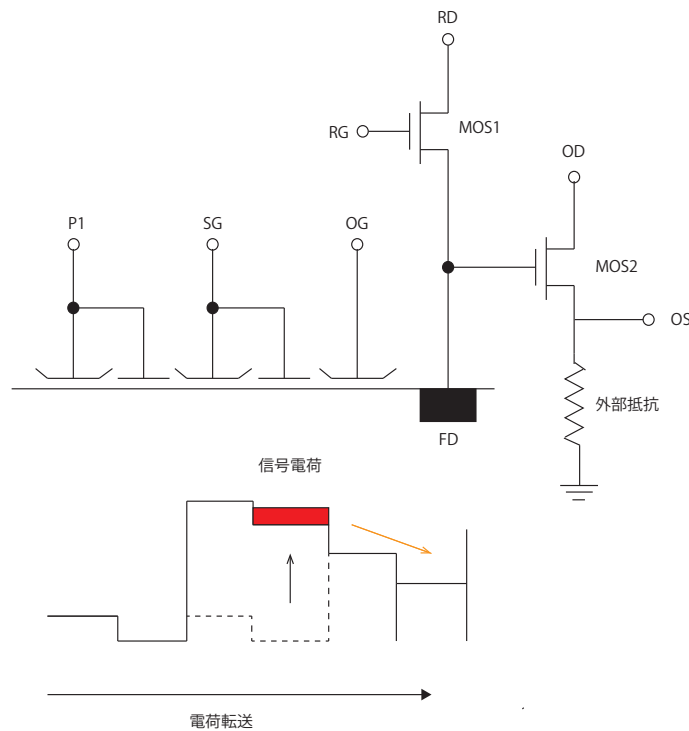


図 3.11: CCD の電荷検出機構 (FDA)

3.4 FPCCD 崩壊点検出器の特徴

3.1 章、3.2 章、3.3 章で述べた FPCCD 崩壊点検出器の特徴から得られるメリットをまとめると、

- (1) 位置分解能が高い。 ($\sigma \leq \text{ピクセルピッチ} (5\mu\text{m}) / \sqrt{12} = 1.4 \mu\text{m}^1$)
- (2) 高精細ピクセルのため、ピクセル占有率が下がり、バックグラウンドに耐性が強い。
- (3) 全空乏化により粒子のトラックの分離能力が高い

¹実際は、エネルギーデポジットを AD 変換し、複数ピクセルの重心をとるので、この値よりだいぶよくなる。
 $\sigma_{r\phi} \sim 0.96 \mu\text{m}, \sigma_z = 0.64 \mu\text{m} \sim 1.4 \mu\text{m}$ z 方向は入射角度に依存する。

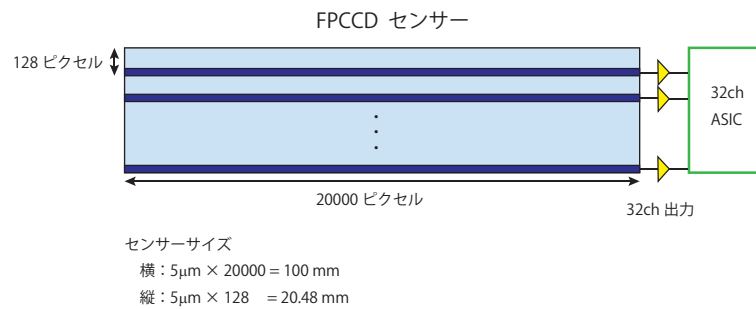


図 3.12: 1 モジュール (FPCCD センサー+読み出し回路) 概略図

- (4) トレイン間でデータを読み出すのでビーム由来の高周波ノイズの影響を受けない
- (5) ヒット分布の形また、レイヤーの裏表のヒットから作られるベクトルの向きによってバックグラウンドを除去できる。
- (6) CCD の特性として、多重散乱を抑えるために、センサー層を薄くできる。
- (7) 同じく CCD の特性より、小さいピクセルセンサーを大面積で一様に作れる。

がある。デメリットとしては、

- (1) 読み出しがシリアルなので、比較的読み出し時間が長くなる。
- (2) CCD センサーが放射線ダメージに対して敏感である。

が挙げられる。

3.5 FPCCD 崩壊点検出器への要求性能

FPCCD 崩壊点検出器を採用することでもって、満たさなければならない要求性能について述べる。

- [1] 読み出し速度 $> 10\text{M}$ ピクセル/s
- [2] ノイズレベル < 50 電子
- [3] 放射線耐性 (消費電力 $< 100\text{W}$)

3.5.1 [1] 読み出し速度

読み出し速度は、トレイン間 ($\sim 200\text{ ms}$) で読みだすピクセルの数によって決められる。FPCCD 崩壊点検出器は図 3.12 のようなセンサーと読み出し回路を含むモジュールからできている。センサーサイズは縦が約 20 mm 、横が 100 mm である。FPCCD センサーの 1 チャンネル (信号読み出し口) 当たりには縦 128 ピクセル、横 20000 ピクセルが並んでおり、1 センサー当たり 32 チャン

ネルを持つ。これらのチャンネルからの信号は読み出し回路に送られる。サイズとレイアウトの詳細な数字を表 3.1 にまとめる。FPCCD 崩壊点検出器全体の読み出しチャンネルは 6080 で、合計のピクセル数は約 10^{10} にも及ぶ。ピクセルに蓄積したデータはトレイン間の 200 ms の間に全て読み出されなければならない。FPCCD ではピクセル占有率を抑えるためにピクセルサイズを小さくし、ピクセル数が膨大になったため、データ読み出し速度に厳しい制限が付く。1 チャンネルあたりのピクセル数は 20000×128 あるため、10 M ピクセル/s ($\sim 20000 \times 128 \text{ pix} \div 200 \text{ ms}$) の読み出し速度が必要となる。

表 3.1: FPCCD 崩壊点検出器のレイアウト詳細

	センサーサイズ (mm ²)	センサー当たりの ch 数	センサー数	総 ch 数
L1a	10.24×65	16	15(ϕ)×2(Z)	480
L1b	10.24×65	16	15(ϕ)×2(Z)	480
L2a	20.48×100	32	16(ϕ)×2(Z)	1024
L2b	20.48×100	32	16(ϕ)×2(Z)	1024
L3a	20.48×100	32	24(ϕ)×2(Z)	1536
L3b	20.48×100	32	24(ϕ)×2(Z)	1536
合計			220	6080

3.5.2 [2] ノイズ

半導体検出器 (シリコン) では、入射してきた粒子が $1 \mu\text{m}$ 当たり落とすエネルギーは 388 eV である。したがってセンサー内を粒子が通過する際、飛距離 $1 \mu\text{m}$ あたり発生する電子数は 110 である²。FPCCD はピクセルサイズを小さくした分、ピクセルあたりの信号の電荷量が小さくなり、ノイズとの区別が難しくなる。ピクセル表面に対して垂直に入射する粒子の場合、有感領域 $15 \mu\text{m}$ を進むので得られる信号は 1650 電子 ($110 \text{ 電子} \times 15 \mu\text{m}$) となる。一方、ピクセル表面に対してほぼ平行に入射する粒子の場合、通過する有感領域は $5 \mu\text{m}$ 程度となり、この時得られる信号は 550 電子 ($110 \text{ 電子} \times 5 \mu\text{m}$) とかなり小さい。これより信号とノイズを識別するためには検出器のノイズレベルを低く抑える必要があり、50 電子以下 (信号レベルの約 1/10) を要求する。

3.5.3 [3] 放射線耐性 (消費電力 < 100 W)

FPCCD 崩壊点検出器は $-40 \text{ }^\circ\text{C}$ の温度の下で稼働することになっている。これは、CCD の CTI を最小にする最適な温度である。CCD のセンサーの生じれるトラップレベルのエネルギー準位には、0.42eV, 0.17eV とあり、温度を $-40 \text{ }^\circ\text{C}$ 以上で稼働させると、0.42eV のエネルギー準位から電子が励起し、信号電子が捕えられるトラップレベルができ、CTI が上昇する。また、 $-40 \text{ }^\circ\text{C}$ 以下だと、0.17eV のエネルギー準位から励起して、電子が飛び出ても、元のレベルに戻るための十分な熱エ

² $dE/dx=1.66 \text{ MeV}/(\text{g}/\text{cm}^2)$ 、密度: $2.33 \text{ g}/\text{cm}^2$ 、電子・正孔対生成エネルギーを 3.6 eV を用いて計算

エネルギーがないために、トラップレベルが生じ、CTIが上昇する。これらの影響より、CTIを最小にする温度 -40°C の下で稼働することになっている。冷却システムを用いて崩壊点検出器を -40°C に保つためには、崩壊点検出器の消費電力が 100W 以下でなければならない。この消費電力を全チャンネル 6080ch で割ると、センサーとASIC合わせて消費電力を $16\text{mW}/\text{ch}$ 以下に抑えないといけない。CCDは転送させるのに入力電圧として、高いプラス電圧とマイナス電圧を含む複数の電圧(-8V 、 $+4\text{V}$)を必要とするためCCDの消費電流は比較的高いものになり、センサーの消費電力は $10\text{mW}/\text{ch}$ 、ASICは $6\text{mW}/\text{ch}$ 以下を要求される。

3.5.4 FPCCD 読み出し回路への要求性能

FPCCD 崩壊点検出器への要求性能を受けて、読み出しASICには以下の3つを要求する。

- (I) データ読み出し速度 $> 10\text{M}$ ピクセル/s
- (II) ノイズレベル < 30 電子
- (III) 消費電力 $< 6\text{mW}/\text{ch}$

読み出し速度は検出器全体に要求されるものと同じである。センサーから 10M ピクセル/sで出力されたデータをASICで受けて 10M ピクセル/sで処理しなければならない。また検出器全体でノイズの大きさは 50 電子以下が要求されており、それを達成するために回路単位には 30 電子以下という制限を課した。この 30 電子というのは、設計する回路自身の各素子が発生する「電子雑音」と、回路の周囲から漏れ込んでくる「外来雑音」、あとADCの精度により、ADC値が理想的な値からズレることによる量子化雑音、これらを全部合わせて 30 電子以下にならなければならない。

消費電力に関しては検出器全体で 100W 以下が要求されており、全部でチャンネルは 6080 あるためチャンネルあたり許される消費電力は約 16mW である。これを実現するために、FPCCDセンサーには $10\text{mW}/\text{ch}$ 、ASICには $6\text{mW}/\text{ch}$ を要求する。

過去にFPCCDの為の読み出し回路は、2度作られ、本研究では、二次試作の読み出し回路動作確認、性能評価、および、新しい読み出し回路の設計を行った。

4章において、読み出し回路の設計における今までの推移と基本方針、今までの試作の読み出し回路の特徴と問題点及び対策、5章では、試作した二次試作回路のデザイン、6章では、二次試作回路の性能評価結果について述べる。7章では、三次試作回路のデザイン及びシミュレーション結果について述べる。最後に8章でまとめる。

第4章 読み出し回路 ASIC の開発

3章で述べたように、読み出し回路には、読み出し速度、ノイズ、消費電力に関して性能が要求されている。このような課せられた要求に応えるために高密度に集積しつつ、高速信号処理できる FPCCD 専用信号処理の読み出し回路が必要となる。我々は、デジタル信号とアナログ信号を混在して処理するミクストシグナル処理システムの FPCCD 専用 LSI、ASIC を開発した。

4.1 LSI 開発

LSI(Large Scale Integration) とは、大規模集積回路のことでダイオード、トランジスタ、抵抗、コンデンサ、などの回路素子が一つのシリコン結晶チップに組み込まれ、決められた作用をする電子デバイスである。一つのチップの中に組み込まれる素子数は、1000 個から 10^8 個のものまで実に様々である。比較的小規模のものを単に IC、比較的大規模のものを単に LSI としている。個別に回路素子を配線して回路を構成する場合に比べると、集積化することで一般に以下のような利点が得られる。

1. 1枚のシリコンウェーハ上に多数の集積回路を同時に製造することが可能なため、製造コストを下げるができる。
2. 配線のための半田付け行程が存在しないため、信頼性を高めることができる。
3. 小型化することでトランジスタの動作電圧が低くなり、その結果として消費電力も小さくすることができる。
4. 素子間の配線やチャンネル長の短縮、ソースドレイン面積の縮小による容量削減により、信号伝達の遅延時間を短縮することができ、回路の動作速度を向上させることが可能となる。

4.1.1 ASIC

ASIC (Application Specific Integrated Circuit) とは、本研究で開発する FPCCD 専用信号処理 LSI のように、ある特定の用途のためだけに設計、製造される集積回路の呼称である。あらかじめ特定の用途を想定して製造する「セミカスタム IC」と、自分で自由に設計をすることができる「フルカスタム IC」の二種類がある。「セミカスタム IC」はあらかじめ特定の機能を持った回路の組み合わせによる製造途中段階の製品を用意しておき、要望に応じて回路ブロックの配線を変更して所望の回路構造を得る手法であるため、低コストで開発を行うことができるという利点がある。しかしながら繊細なアナログ信号処理回路の開発には適さないため、本研究では自由度が高く、高精度を実現可能なフルカスタム IC の開発を行うことにした。

4.1.2 CMOS プロセス

相補型金属酸化膜半導体 (CMOS : Complementary Metal Oxide Semiconductor) とは、電子をキャリアとする nMOSFET と、ホールをキャリアとする pMOSFET という性質の異なる 2 種類の電界効果トランジスタ (FET : Field Effect Transistor) を組み合わせて同一の基板上に形成したものである。ゲートの形状によってトランジスタの特性を制御できること、ゲートが絶縁されており回路の入力インピーダンスが高く消費電力を抑えられること、アナログとデジタルの混成による複雑な回路構成が可能なこと、集積度を高くできること、量産に適しており製造コストが比較的安価であること、など従来のバイポーラプロセスに比べ優位な点が知られている。一方で耐圧が低く静電気に弱い、高抵抗素子や大容量を使用できない等のデメリットも存在する。本チップではこの CMOS を基本構成要素としてアナログ信号処理回路を構成した。近年、アナログ回路も CMOS で構成する技術が確立してきており、プロセスもそれを支持するようなアナログオプションを充実している。例えば高抵抗 POLY、PIP 容量、MIM 容量など、いずれも二次試作、三次試作で採用した。また、産業界はシリコンファブリーが成立し、製造を提供するだけでなく、TSMC の CyberShuttle にみられるような試作サービスが充実している。

4.1.3 MOSFET の動作

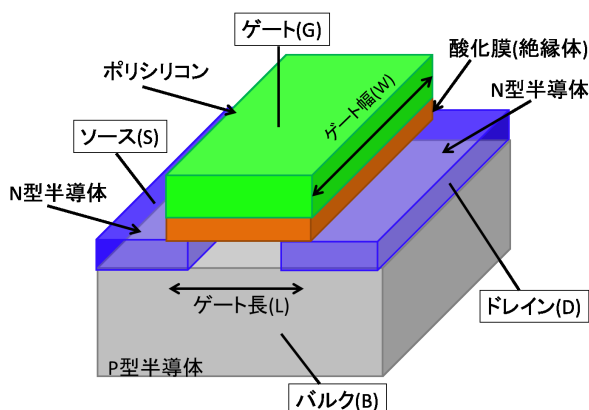


図 4.1: MOSFET はゲート (G)、ソース (S)、ドレイン (D)、バルク (B) の 4 端子で構成される。ゲート電極となるポリシリコンは多結晶シリコンであり、不純物を多量に添加することで導電性を示す。

図 4.1 に CMOS 集積回路の基本要素となる nMOSFET の構造を示す。nMOSFET は p 型のバルク (B) 単結晶の上に n 型不純物を打ち込んで形成されたソース (S) 及びドレイン (D) 領域と、それらの間に薄い酸化膜と電極で形成されたゲート (G) 領域、という 4 つの端子で構成されている。nMOSFET の場合は電子がキャリアとなるので、電子を供給する低電圧側 (V_{SS}) がソース、電子が流れ出る高電圧側 (V_{DD}) がドレインと呼ばれる。MOSFET はゲート電圧によりソース-ドレイン間の電流 (ドレイン電流) の制御を可能とした素子である。

nMOSFET のドレイン電流は、

$$I_D = \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{TH})V_{DS} - \frac{1}{2}V_{DS}^2] \quad (V_{DS} < V_{GS} - V_{TH}: \text{非飽和領域}) \quad (4.1)$$

$$I_D = \mu_n C_{ox} \frac{W}{2L} (V_{GS} - V_{TH})^2 \quad (V_{DS} > V_{GS} - V_{TH}: \text{飽和領域}) \quad (4.2)$$

という形で表せる。ここで、 μ_n は電子の移動度、 C_{ox} は単位面積あたりのゲート容量、 V_{GS} はゲート・ソース間の電圧、 V_{DS} はドレイン・ソース間の電圧、 V_{TH} はドレイン・ソース間にドレイン電流 I_D が流れ始めるしきい値となる電圧である。しきい値電圧 V_{TH} はバルク電圧 V_B を変えることである程度制御することができる (基板バイアス効果)。また W/L はゲートの幅をゲートの長さで割ったものであり、アスペクト比と呼ばれ MOSFET の特性を決める重要なパラメータである。アナログ回路では特殊な場合を除き非線形な挙動をする非飽和領域での動作を避ける必要があり、そのために適切なバイアス電圧を印加して動作点を飽和領域に設定する。

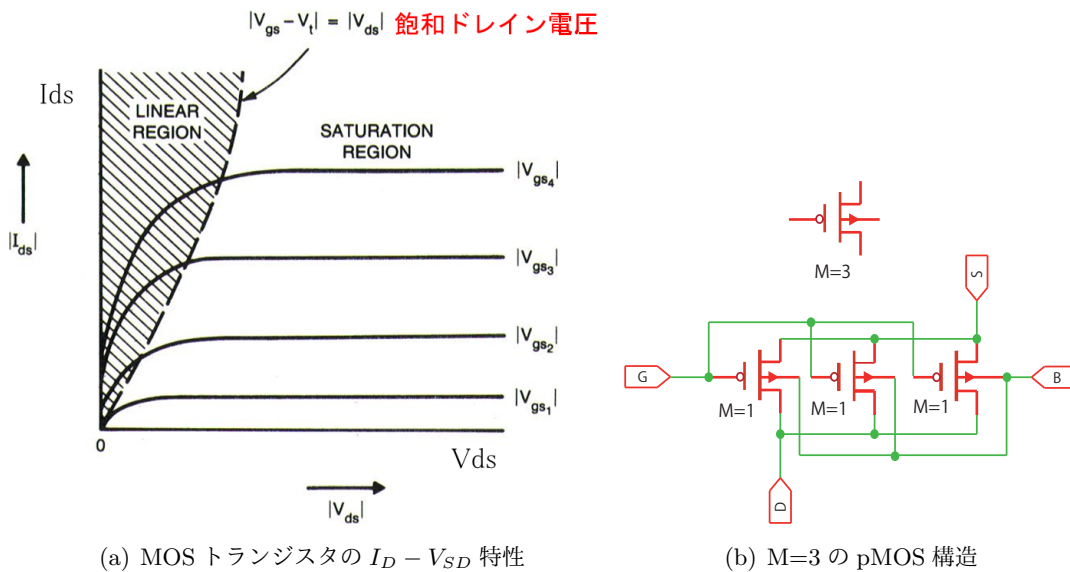


図 4.2: MOSFET

MOSFET の動作を理解する上でもう一つ重要なパラメータとして、相互コンダクタンス (g_m) が挙げられる。相互コンダクタンスは MOSFET の電圧電流変換効率を表すパラメータであり、飽和領域で動作している場合にはゲート電圧を微小変動させた時のドレイン電流の変化量として以下のように定義される。

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \beta (V_{GS} - V_{TH}) = \sqrt{2\beta I_D} \quad (4.3)$$

ただし $\beta \equiv \mu C_{ox} W/L$ である。式 4.3 で表されるように、MOSFET のドレイン電流はキャリアの移動度やゲートの形状により変化する。一般には正孔に比べ 3 倍程度移動度の大きい電子をキャリアとして用いる nMOSFET のほうが、pMOSFET より大きな相互コンダクタンスを得られる事になる。なお実際の回路設計では製造プロセスの誤差などにより W や L の値が変化してしまい、必ずしも設計通りの電流が流れるとは限らない。従って所望の電流を流すために同じ形状のトランジスタを並列に M 個配置して相互コンダクタンスを調整する方法が取られており、並列に挿入されるトランジスタの個数は M 値もしくは M ファクターと呼ばれている。本論文では、nMOS

及び pMOS について図 4.2(b) に示すような回路記号を用いて記述する。図 4.2(b): (右上)pMOS の回路上の記号。矢印記号はバルクからソース、ドレインへ向かう PN 接合の向きと一致している。(右下)M=3 のトランジスタの構造。M=1 の同じ形状のトランジスタが 3 個並列に接続され、4 つの端子も共通化された構造になっている。

4.1.4 LSI 開発の流れ

LSI 開発のおおまかな流れを図 4.3 に示す。今まで 2 つの試作回路が製作され、現在三次試作回路のレイアウト設計の段階にある。本研究では、二次試作の性能評価 (段階 8) から、三次試作のレイアウトの設計 (段階 5) までを取り扱った。

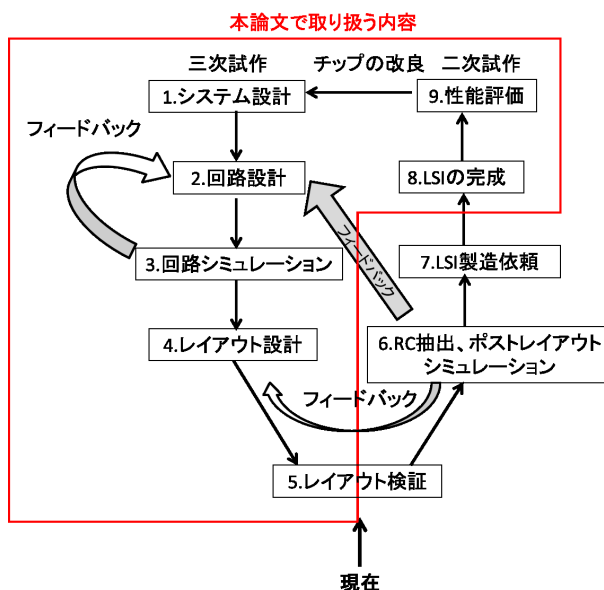


図 4.3: LSI 開発の流れ

1. システム設計

まず、LSI に必要な機能や最低限満たさなければならない性能など、チップに要求される仕様を確定する。具体的には、信号処理回路の仕様、チャンネル数、雑音レベル、消費電力、電源電圧、チップのサイズ等の検討を行い、最終的に仕様に適合する半導体プロセス (例えば CMOS の $0.25\mu\text{m}$ プロセス等) を決定する。

2. 回路設計

次にシステム設計の要求を満たす回路を、トランジスタ、抵抗、コンデンサ等の基本素子で構成する。回路設計の場では回路シミュレータの入力言語である SPICE(後述) による記述が標準的に用いられている。その際、IP (Intellectual Property : 知的財産) ライブラリを用いることで効率的に設計を進めることが可能である。IP ライブラリとは、検証済みの再利用可能な集積回路の構成ブロックの事であり、メーカーと守秘契約を締結することで提供を受けることができる。

3. 回路シミュレーション

回路設計後、SPICE シミュレータを用いて回路シミュレーションを行い、回路の動作検証を行う。このシミュレーション結果を随時回路設計にフィードバックすることで、仕様を満たす回路に近付けていくことが可能である。確認事項には線形性、雑音特性、製造誤差による影響、温度特性、電源電圧の変動に対する影響、オフセット評価など、数多くの項目が存在する。

4. レイアウト設計

動作検証の完了後、SPICE 記述を元にして物理的な素子や配線のレイアウト設計を行う。アナログ信号処理回路のレイアウト設計には各チャンネルの配線の長さを揃えたり、抵抗や容量のばらつきを抑える工夫など、設計者の経験や勘に頼った領域が存在しているため自動化が困難である。そのため我々は株式会社デジアン・テクノロジーにレイアウト設計を依頼した。

5. レイアウト検証

レイアウトの完成後には、最終作業として DRC 及び LVS と呼ばれる検証作業を行う必要がある。DRC (Design Rule Check) とは、レイアウト設計データが製造工程の基準 (デザインルール) を満たしているかどうかの検証を行うことである。具体的には、配線の幅、配線間隔の距離、素子または打ち込み領域間の非干渉性等が対象となる。

LVS (Layout Versus Schematic) とは、回路設計で作成した SPICE ネットリストと、レイアウトから抽出した SPICE ネットリストを比較照合し、必要な修正を行うものである。

6. RC 抽出、ポストレイアウトシミュレーション

レイアウト検証後は、レイアウト寄生パラメータ抽出 (RC 抽出) を行う。RC 抽出とは、配線寄生素子 (抵抗, 容量) や、回路シミュレーションで規定された設計素子のインスタンス・パラメータを抽出することである。LPE (layout parasitic extraction) とも呼ばれる。抽出した配線寄生素子は、回路シミュレーションを用いたトランジスタ・レベルのポスト・レイアウトシミュレーションに用いられる。性能上の不具合が見られた場合、その都度、回路設計やレイアウト設計に修正を施すことになる。

過去に試作された二次試作回路では、ポストレイアウトシミュレーションを行い、レイアウト設計修正でコンパレータのレイアウト対称化、回路設計修正で ADC 直前でのピーキングを抑える為ダンピング抵抗を設ける、コンパレータの後段部分の回路¹などの修正が施された。三次試作では これからではあるが、ADC ブロック、1 チャンネルのブロック、全体回路での階層で RC 抽出、ポストレイアウトシミュレーションを行う予定である。

7. LSI 製造 LSI 製造を依頼する。製造は、マスク作成、ウェハプロセス工程、組み立て工程からなる。

8. LSI の完成 LSI の完成までには、マスクデータの提出から 3ヶ月程度の時間が必要である。

¹コンパレータの二段目をやめ、インバータに変更

9. 性能評価完成した LSI チップに対して、様々な角度から性能評価を行う。性能評価には、半導体プロセスの評価と回路設計の評価という 2 種類が存在する。もしチップに不具合が発見された場合、それが半導体プロセスの製造上の問題なのか、それとも回路設計上の問題なのかどうかを切り分けることは非常に重要である。しかし半導体プロセスの場合、製造の精度に関しては製作会社の定める一定の許容範囲があるため、常に製造誤差による影響まで考慮した回路設計を行うことが必須であると言える。以上の結果を次の回路設計に活用することで、チップの改良を行っていくことが必要である。

4.2 試作回路開発歴史と現在

読み出し回路の要求性能を満たすべく、今まで 2 度の試作回路が作られ、現在、第三次試作回路製作中であり、回路デザインがかたまり、レイアウトを作成中である。7 章では、3 次試作回路の開発の詳細について記述する。3 つの試作回路で全体のデザインは、根本的に大きくは変わらないが、それぞれの目的が少しずつ異なる。以下で 3 つの試作回路の関係と結果を記す。本論文では、第二次試作と第三次試作を取り扱う。

表 4.1: ASIC 開発の推移

時間	試作	目的、狙い	結果
最終目標		読み出し速度、ノイズ(読み出し精度) 消費電力	10M ピクセル/s、30 電子、6mW/ch
過去	1 次	読み出し速度 ノイズ(読み出し精度)	実機 速度 1.5M ピクセル/s、 40 電子(大きなビット飛びあり) 消費電力 13mW/ch (@1.5M ピクセル/s)
本論文	2 次	読み出し速度 ノイズ(読み出し精度)	実機: 読み出し速度 10M ピクセル/s、 7 電子(+読み出し精度で 18 電子相当)、 30 mW/ch @10M ピクセル/s
本論文	3 次	読み出し速度、 ノイズ(読み出し精度) 消費電力	シミュレーション: 読み出し速度 10M ピクセル/s、 ノイズ 二次試作同程度、(読み出し精度 $\pm 1/2$ LSB) 5.3 mW/ch @10M ピクセル/s

試作回路製作においていきなり全部の要求性能を満たす読み出し回路の試作から始めるのではなく、まずは機能する試作回路を作るのが重要となる。とくにアナログ回路は、ノイズ、読み出し速度、精度、消費電力の関係がトレードオフの関係にあり、一つの性能を上げるようにすると他の性能が落ちることもあるため、まずは、読み出し速度、読み出し精度、ノイズの要求を満たす回路を設計する。3 章で述べたように、ノイズは読み出し精度と、電子雑音、外来雑音と合わせて、30 電子以下という要求が課される。読み出し速度、読み出し精度、ノイズが要求性能を満たすものができたら、消費電力をも満たす ASIC の開発を行う流れとなる。

最初の一次試作回路では、読み出し速度、精度、ノイズを目標とした。また当時は、検出器とどのように結合するか実装方式が決まっていなかったため、回路面積の小型化を試みた。この際、

容積の大部分を費やす ADC のキャパシタ容積を小さくするようにしたが、これが、読み出し精度に悪影響を及ぼした。またノイズも要求性能を満たしていなかった。二次試作回路では、大幅な小型化を行わずとも、実装上問題はないことが分かったので、回路面積の大幅な小型化は狙わず、消費電力の要求性能も狙わず、読み出し速度、精度、ノイズの要求性能を満たすように開発された。結果は、読み出し速度、ノイズの要求性能を満たしていたが、消費電力が満たされていなかった。さらに FPCCD では性能要求されていないが、ダイナミックレンジの悪化も見られた。詳細は、5 章で述べる。三次試作回路では、読み出し速度、精度、ノイズに加えてさらに消費電力の要求性能を満たすように設計した。シミュレーション上では、全ての要求性能を満たす結果が出ている。詳細は、7 章で述べる。

4.3 要求性能に対する ASIC 開発の基本方針

3 章で述べたように、読み出し回路には、読み出し速度、ノイズ、消費電力に関して性能が要求されている。課せられた要求に応えるために、ASIC をデザインした。ASIC 開発は宇宙航空研究開発機構の池田博一教授に協力していただき、Open-IP を利用している。

まず、消費電力 (6mW/ch) に対しては、消費電力の大きな起源は ADC であるため、我々は、消費電力の大きいオペアンプ式の ADC を用いずに、電荷再配分型の逐次比較 ADC を用いた。ADC については、4.4.5 章で詳細に述べる。読み出し速度に対する対策として、読み出し速度 (10M ピクセル/s) を決めるのは、ADC の速度であることから、消費電力を抑えつつ読み出し速度を実現するために、我々は 5M ピクセル/s の逐次比較型 ADC を 2 つ並列に使う方法を採用した。

ノイズ (30 電子) 対策としては、ローパスフィルタと相関二重サンプリング回路を組み込むことで抑えられる。ローパスフィルタで高周波ノイズを落とし、CCD の信号電荷を検出する直前にリセットの際に生じるリセットノイズを抑える。

以下で全体的なデザインについて述べる。

4.4 ASIC 全体のデザイン

この章では、本試作回路に使われる、部分回路の構成物の役割と特徴に注目して説明する。実際の回路構造は、試作によって変わるため後の章で説明する。

試作回路は大きく CHAIN1B と CHAIN2 に分けられる。CHAIN1B は 8 系統からなり、8 チャンネル分の信号処理を行う。CHAIN2 では CHAIN1B を制御、または電流電圧を供給しサポートする役割を担っている。本章では、まず信号処理をする CHAIN1B の説明から始め、CHAIN1B、CHAIN2 に使われるコントロールレジスタの説明、最後に信号出力するドライバと信号受信するレシーバの説明をする。図 4.4 に CHAIN1B 及び CHAIN2 の関係と中身を表す概略図を示す。

4.4.1 CHAIN1B

CHAIN1B は、前置増幅器 (pre-Amp)、ローパスフィルタ (LPF)、相関二重サンプリング回路 (CDS)、AD コンバータ (ADC) とローカルコントロールレジスタ (LCR) から構成され、CCD か

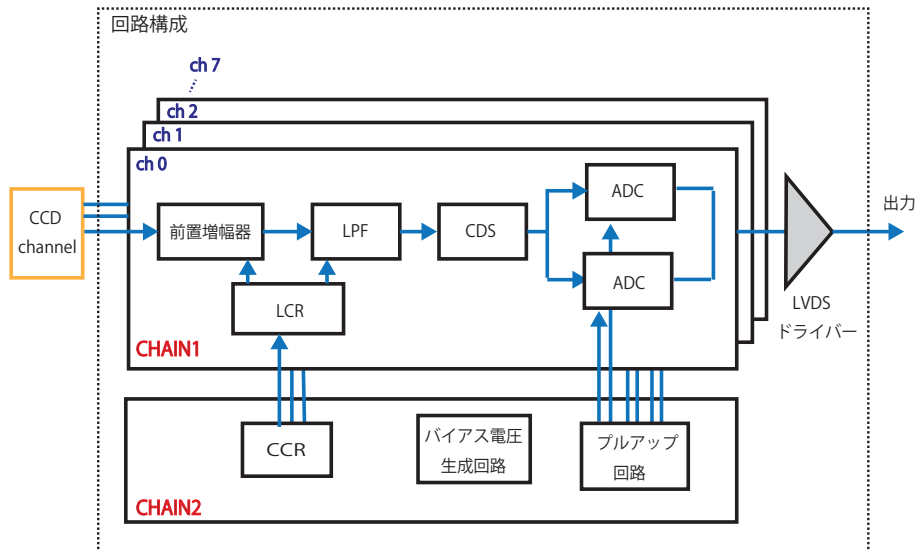
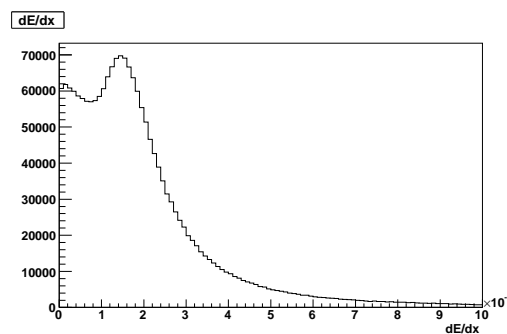


図 4.4: チップの概略図

らの入力信号を増幅し、ノイズを抑制し、8ビットにデジタル信号に変換し、出力する。さらに CHAIN1B の前置増幅器の増幅率やモニター回路の切り替えなどのパラメータの設定はローカルコントロールレジスタ (LCR) で行われる。

4.4.2 前置増幅器

前置増幅器とは、検出器からくる電圧信号を増幅する増幅器である。

図 4.5: ノイズを含めたときの dE/dx のエネルギー分布

CCD から信号は、入射粒子のエネルギー損失に比例した生成電子・正孔対の電子を電圧変換したものであった。このエネルギー損失は、入射粒子の物質中の電子との多数回の散乱によって引き起こされる確率過程である。多くの場合は電子とクーロン力により相互作用を起こされる。しかし、たまに電子が hard scatter されて、この影響がグラフの高エネルギーの tail となって現れる。

FPCCD のような、薄く軽い (Si) 物質でできている検出器は、衝突回数が少なく、電離損失の分布は大きくエネルギーを失う確率が多いほうに広がり最頻値は Bethe-Bloch の値より小さくな

るようなランダム分布をとる。

図 4.5 は、1GeV のミューオンが FPCCD 検出器 (シリコン物質) に入射したときの 1 ピクセルあたりのエネルギーデポジットのシミュレーション結果を表したものである。GeV のエネルギースケールで表されている。²5keV 付近が ~ 1400 の電子正孔対に相当する。[9] FPCCD の読み出し回路では、利得を設定することで、ダイナミックレンジを決め、その範囲を 7 ビットの分解能 (極性を測る符号ビットも含めれば 8 ビット) でデジタイズする。電荷収集効率 $5\mu V/e$ 、入力結合容量 $3, 2pF$ を仮定。この利得を前置増幅器で調節する。二次試作回路では、5/8 \sim 5 倍の増幅率調節ができ、三次試作回路では、1 \sim 2 倍の増幅率を調節できる。³ 高い増幅率はノイズの詳細評価に有効になる。出力電圧は外付けの入力容量 C_{in} と、帰還容量 C_f を設定することで、どこまでの範囲を 8 ビット (符号+7 ビット) 変換し、測定するかダイナミックレンジを調節できる。⁴

4.4.3 ローパスフィルタ (LPF)

ローパスフィルタは、増幅回路の利得が周波数によって異なる回路特性を利用したもので、高周波ノイズを遮断するのに使われる。二次試作では、差動増幅回路を用いた全差動型電圧電流変換回路 (OTA) をローパスフィルタとして使用し、三次試作ではノイズ源が LPF 後の回路が主であったため、LPF をとった。詳細については、??章で述べる。

4.4.4 CDS(Correlated Double Sample)

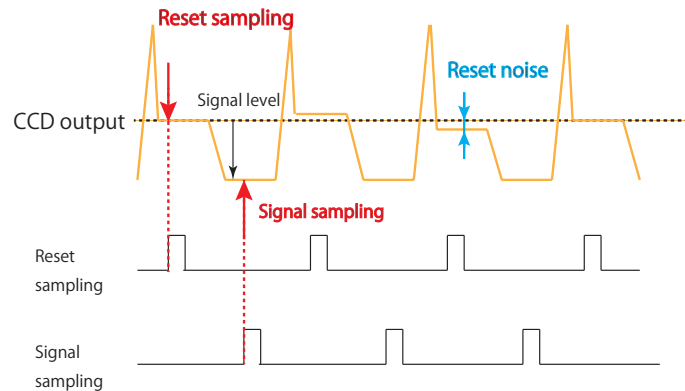


図 4.6: CDS 回路動作波形

FPCCD には、2 箇所 CDS が使われている。一つは CCD に使われ、暗電流ノイズを取る働きをする。もう一つは、電子回路に使われている。まず暗電流ノイズという、センサー内部で発

²電子正孔対 1 つあたり 3.62 eV 要るとして計算している。これは、300K のときの値。77K では 3.81 eV 必要。エネルギー損失の内 1/3 が電子正孔対生成に使われ、残りの 2/3 が格子振動に使われる。

³二次試作では、非線形効果が大きいため、

ダイナミックレンジは決めづらいが、三次試作では 2500 もしくは、5000 電子相当のダイナミックレンジを持たせる。

⁴ここでは、ローパスフィルタでの利得を 1 として説明している。

生ずる熱などにより電荷が蓄積してしまうノイズがある。この暗電流ノイズは、CCD で読み取るたびに蓄積電荷をゼロにできるため、一旦読み取り、トレイン間データを貯め、再び読み取りと、その差を実際の情報とすることで、暗電流ノイズを抑圧することが可能である。これを相関二重サンプリング (CDS) と言い、このため CCD はノイズに強い。しかし、ポテンシャルを作り転送し、蓄積電荷をゼロにリセットするため、代わりにリセットノイズが生じる。リセットノイズを表した信号波形を図 4.6 に示す。また、CCD の出力アンプからの信号は各チャンネルのアンプ特性の違いにより、異なるオフセット電圧を持つ。電子回路に搭載された CDS はこのリセット雑音及び kT/C 雑音を除去する回路であり、CDS 回路では電荷情報が入る前のオフセット時の電圧と電荷情報の差をとることで、オフセットの電圧のばらつきの影響を避けることができる。

4.4.5 ADC(Analog to Digital Converter)

低消費電力と 10M ピクセル/s の読み出し速度の性能を要求されていることから、電荷再配分型の逐次比較 (SAR : Successive Approximation Register) の ADC を採用した。SAR-ADC の主な利点は、低電力消費、高分解能、高精度、出力データのレイテンシーがないこと、⁵ 及び小型形状であることである。一つのデータにつき、複数のコンパレータからなるコンパレータ群を用いて一度に変換するフラッシュ ADC などと違い、逐次比較型 ADC は一つのコンパレータをビット数分何回も通るので、回路規模 (占有面積) を抑えつつ、抵抗やオペアンプも用いないため、消費電力が低い。しかし、一つのデータを AD 変換するにあたって、コンパレータをビット数回通るため、変換速度が遅い特徴をもつ。また、オーバーサンプリングすることで高分解能かつミッシングコード⁶が原理的にない $\Delta\Sigma$ 型 ADC と違い、SAR-ADC は、オーバーサンプリングしないため、ミッシングコードが生じるが、消費電流が小さいというメリットを持つ。またサンプリングレートも上限以下なら自由に決められるという特徴を持つ。このため、精度のよい、ミッシングコードの少ない ADC を設計することが重要となる。我々は、8 ビット + 2 ビット (チェックビット, 空きビット) = 10 ビット と一つのデータにつき、10 ビットの変換を行うため、実質 ADC 全体で、変換速度 $10\text{M ピクセル/s} \times 10 \text{ ビット/ピクセル} = 100\text{Mbps}$ のデータ速度が要求される。近年、SAR-ADC の変換速度の改善が図られており、我々は、一つのチャンネルで 2 つの SAR-ADC を用いることにより、100Mbps の速度を目指す。これは逐次比較型 (SAR 型) の最大の特徴である、いつでも入力信号の変換を開始できる利点があるからこそ可能な技術である。これでもって入力データごとに異なる AD コンバータで変換し、入力を切り替えたタイミングで変換を開始できる。SAR-ADC は他にオフセットキャンセレーションが組み込まれていることなどの長所を持つ、その反面、正確な容量のいいキャパシタを持たないといけない、ある程度の大きさのキャパシタを用いなければマッチングが難しくなる ($\delta W/W, \delta L/L$ 大) ことなどを短所として持つ。

⁵レイテンシーとは、この場合アナログサンプルが ADC によってキャプチャされる時間と、デジタルデータが出力可能になる時間の差と定義される。

⁶精度が悪いと出力しないコード

4.4.6 AD 変換過程

(1) 準備

C_{SP} と C_{SN} をグラウンドにつなぎ、リセットする。コンデンサ・アレイには C_U を基本単位として 2 進数を係数に重み付けしてあり、あらかじめ参照電圧 V_{ref} を接続しておく。

(2) 入力電圧のサンプリング

まず入力信号をコンデンサ C_{SP} と C_{SN} に蓄める。この状態でコンパレータは V_{QP} と V_{QM} を比較する。このとき、

$$V_{QP}^0 - V_{QM}^0 = V_{inp} - V_{inm} \quad (4.4)$$

であるから V_{QP} と V_{QM} を比較することで、入力電圧の正負 (サインビット) を決定できる。
7

(3) 最上位ビットの決定

(2) の判定に基づいてスイッチ $cp(1)$ と $cn(1)$ を図 4.7 のように一方を導通させ、コンデンサアレイの中で最も大きく重みをつけたコンデンサ C_1 と C_{SP} と C_{SN} を接続する。サインビットが 1 のときを例として、電荷保存則から、

$$C_{SP}V_{inp} - C_1V_{ref} = C_{SP}V_{QP}^1 + C_1(V_{QP}^1 - V_{QM}^1) \quad (4.5)$$

$$C_{SN}V_{inm} + C_1V_{ref} = C_{SN}V_{QM}^1 + C_1(V_{QM}^1 - V_{QP}^1) \quad (4.6)$$

が成り立ち、 $C_1 = 0.5 \times C_{SP}$ を代入すると、

$$V_{QP}^1 - V_{QM}^1 = \frac{1}{2}((V_{inp} - V_{inm}) - V_{ref}) \quad (4.7)$$

となる。この状態でコンパレータで V_{QP}^1 と V_{QM}^1 を比較し、最上位ビットを決定する。

(4) 2 ビット目の決定

スイッチ $cp(1)$ と $cn(1)$ を開き、次にスイッチ $cp(2)$ と $cn(2)$ を閉じ、 C_2 と C_{SP} と C_{SN} を接続する。このとき電荷保存則より、

$$C_{SP}V_{inp} - C_1V_{ref} - C_2V_{ref} = C_{SP}V_{QP}^2 + C_2(V_{QP}^2 - V_{QM}^2) \quad (4.8)$$

$$C_{SN}V_{inm} + C_1V_{ref} + C_2V_{ref} = C_{SN}V_{QM}^2 + C_2(V_{QM}^2 - V_{QP}^2) \quad (4.9)$$

が得られ容量値 $C_2 = 0.25 \times C_{SP}$ を代入すると、

$$V_{QP}^2 - V_{QM}^2 = \frac{2}{3}((V_{inp} - V_{inm}) - \frac{3}{2}V_{ref}) \quad (4.10)$$

となる。この状態でコンパレータで V_{QP}^2 と V_{QM}^2 を比較し、2 ビット目を決定する。

これを繰り返すことで A/D 変換を実行する。

⁷比較電圧 V_{QM} などの右肩についている数字は、指数ではなく数列の index である。

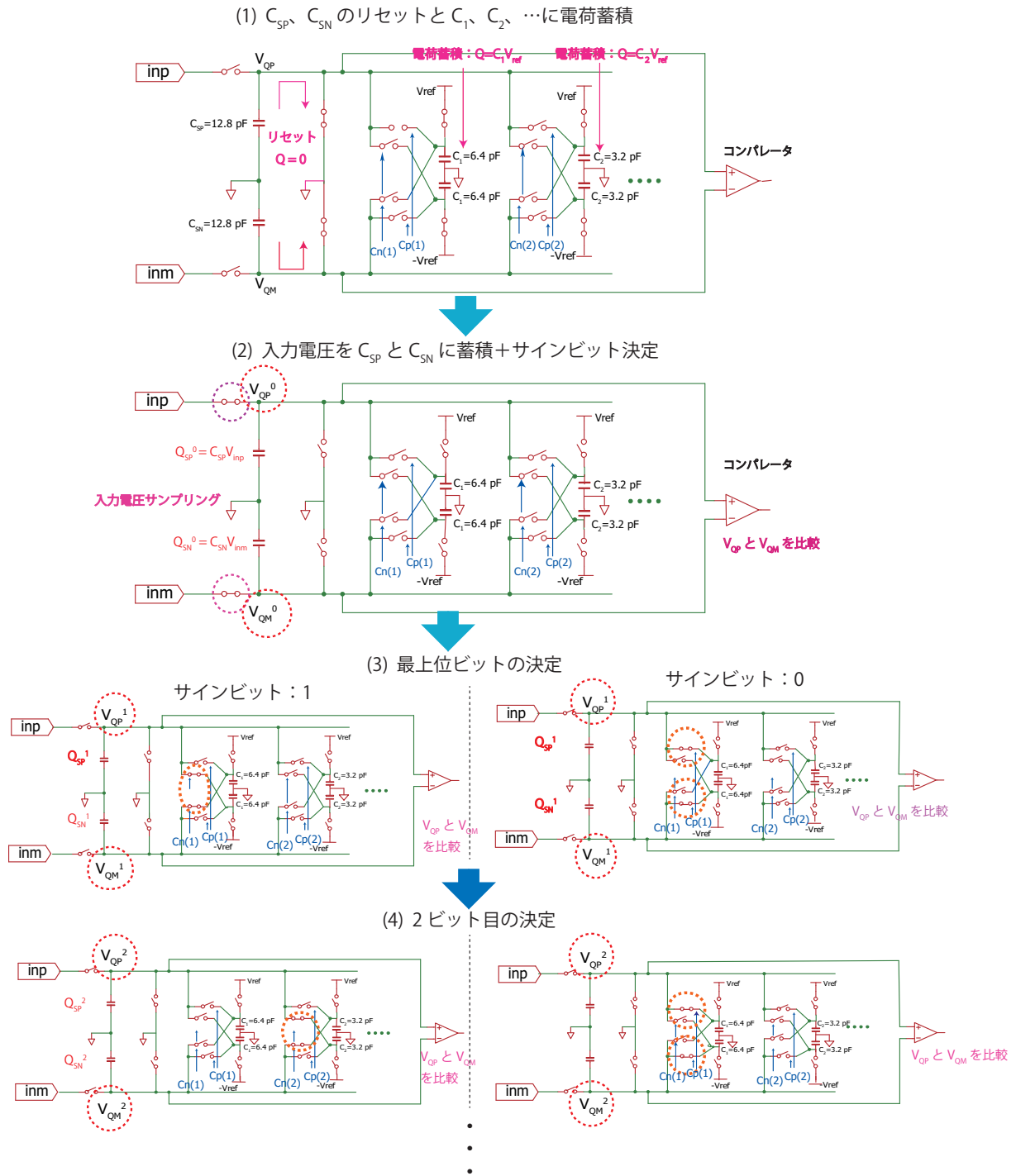


図 4.7: 電荷再配分型 ADC の A/D 変換処理

4.4.6.1 ADC 変換速度

ここで、ADC の変換速度について述べる。ADC の変換速度は、AD 変換動作速度とサンプル & ホールド回路でのホールド時間によって決められる。今、AD 変換するのに 100ns の時間を与えられているので、ホールド時間が 0 秒ならば、ただ AD 変換の結果をシリアルに流せばいいだけでよく一つの高速 ADC で変換可能である。しかし、現実是一个の SAR-ADC で変換しようと思うと、大体 50ns で AD 変換、残りの 50ns で電荷を蓄え (pre-charge)、ホールド (hold) し、解放 (reset) しなければならない。ADC 一つあたり 25pF を持っているので、 $25\text{pF} \times 8\text{ch} = 200\text{pF}$ の容量が AD 変換に使われる。ここで供給配線を 10Ω とすると pre-charge と reset で、 $200\text{pF} \times 10\Omega = 2\text{ns}$ CR の回路が安定するのに CR 時定数の 5~10 倍の時間が必要と考えると 20 ns オーダーの時間を要する。こういう要因より、pre-charge, reset の時間を短くすることはできず、ADC を 2 つ並列に使用している。

4.4.7 モニター回路

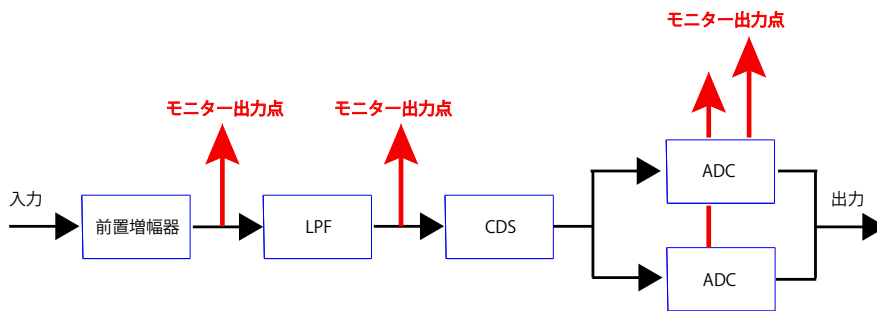


図 4.8: モニター出力の測定点

モニター回路は回路のデバッグに用いられ、本研究ではアナログバッファを用いた。図 4.8 に二次試作で、モニターするモニター出力の測定点を表す。二次試作回路では、前置増幅器後、ローパスフィルタ後、ADC 直前、ADC のコンパレータの直前をモニターできるようにしている。三次試作回路では、消費電力を削減し、回路を簡素化を図るために、モニター回路の数を減らし、前置増幅器後、ADC 直前に設置している。

4.4.8 コントロールレジスタ

コントロールレジスタは、シフトレジスタ⁸群からなり、決められた制御コードを書き込むことで動作条件のコントロールを行う機能を持っている。各チャンネル毎に設けられた 15 ビットのローカルコントロールレジスタ (LCR : Local Control Resistor) とチップに 1 つだけ用意され、チッ

⁸シフトレジスタとは、データを一時的に記憶する機能を持つレジスタを n 個直列に接続し、クロックが入力されるごとに記憶された n ビットの情報を次々と隣のレジスタにシフトさせる機能を持つレジスタである。

プ全体に関わる設定を行う、17ビットセントラルコントロールレジスタ (CCR : Central Control Resistor) の2種類のレジスタ群が搭載されている。

これらの部分回路の詳しいことに関しては、後で記述する。

4.4.8.1 LCR (Local Control Register)

LCRでは、各チャンネルに接続された CCD の特性に応じて回路パラメータを最適化することができる。二次試作では、前置増幅器の利得、モニター設定、コンパレータのスレッシュホールド電圧の調整等の操作を行うことができる。三次試作では、PRC のオフセット調整回路とモニター回路の設定調節できるようにした。

外部のパラメータ設定信号がシフトレジスタを構成しているフリップフロップに記憶され、その出力は前置増幅器、モニター回路の CMOS スイッチに接続されており、回路をつなぎかえることで設定を行う。またパラメータ設定しているシフトレジスタとともに最終段のフリップフロップの出力は外部に接続されており、出力を確認することで LCR が正常に動作しているかを確認できる。

4.4.8.2 CCR(Central Control Register)

CCRでは、各チャンネル共通のパラメータ設定を行う。それぞれで何を設定するかは、試作回路によって異なる。二次試作では、ローパスフィルタ (LPF) と CDS(Correlated Double Sampling) のパラメータ設定及びテストパルスチャンネルに入れる入れないかの TP イネーブルの設定を行う。三次試作ではコンパレータのスピードコントロールと TP イネーブルの行う。

また二次試作では、回路評価の目的でゲイン設定をチャンネルごとに設定できるようにしていたが、実用的な観点からは、チャンネルごとのゲインの調節は煩雑になるだけなので三次試作では、PRC のゲインの設定は、CCR に移動して、一斉に設定できるようにした。

4.4.9 CHAIN2

CHAIN2 は CHAIN1B で共通するバイアス電源を供給するバイアス電圧生成回路、セントラルコントロールレジスタ (CCR) から構成される。二次試作では、プルアップ回路も含まれている。

二次試作の CHAIN2 の回路図を図 4.9 に示す。プルアップ回路は静電気や静電誘導等によって予期しない大きな電圧がかかった際に ADC を守る役割を果たす。デジタル回路では"1"と"0"の中間状態になると誤作動を起こしたり、消費電力が著しく増加して故障につながる。このような現象から回路を保護するためにプルアップ回路を組み込む。本回路のプルアップ回路は ADC のトライステートバッファが中間状態をとることを避けるためにある。

4.4.9.1 バイアス電圧生成回路

バイアス電圧生成回路の回路図を図 4.9 示す。バイアス電圧生成回路は ASIC 外部から入力される参照電流をコピーし、他の回路の必要な箇所に定電流源を作りこむためのバイアス電圧を生成

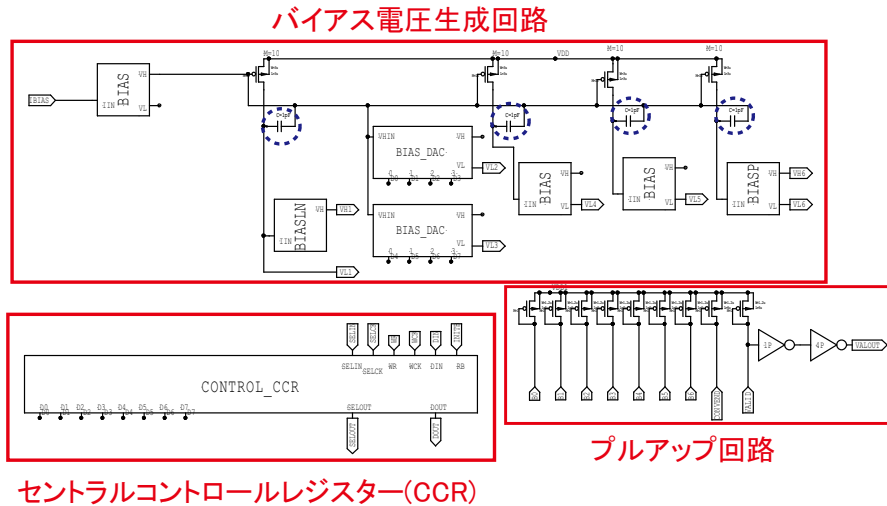


図 4.9: CHAIN2 の回路図

する回路である。外部から入力される電流は外付けのバイアス抵抗を流れる電流できまり、設計電流値は $100 \mu\text{A}$ である。基本構造のバイアス回路は BIAS、BAISP、BIASDAC そして BIASLN がある。BIAS、BAISP、BIASDAC は入力される電流を右側の素子にコピーするカスコード・カレント・ミラー回路となっている。カスコードトランジスタを用いることで出力抵抗を大きくし、電圧依存性の低い安定した出力電流を供給できる。また 1 pF のコンデンサはミラー効果を利用することで高周波利得を制限し、高周波雑音に対する感度を下げる役割がある。BIASLN は前置増幅器にバイアス電圧を与える回路である。BIASLN はカスコードトランジスタを省き、ゲート長の長いトランジスタを用いることで電源電圧の攪乱による影響を抑制している。

4.4.10 LVDS インターフェース

LVDS(Low Voltage Differential Signaling) には高速、低消費電力、ノイズに強いという特徴を持つことから我々は、インターフェースに LVDS の信号を取扱う。[10] TTL(Transistor-Transistor Logic) では、一本の信号の電圧の high と low で、“1”と“0”を決定するシングルエンド信号であり、ノイズと混合しないように、ある程度大きい閾値電圧を設ける必要がある。このため、1) 消費電力が大きい。2) 高速伝送する際、信号の立ち上がりや立ち下がりが急となり、オーバシュートやアンダシュートを引き起こす。3) グラウンドレベルが影響を受けるグラウンドバランスを考慮しなくてはならない。このようなことから、シングルエンド信号では、小消費電力、高速伝送は不向きである。

LVDS インターフェースでは、差動電流で負荷抵抗を駆動することにより 2つの信号の電位差が 0 のときの電圧(コモン電圧)を中心として片方は正ともう片方は負をとり、信号の電位差が信号レベルとなる。2本の信号は同じようにノイズがのるため、ノイズに強く、コモン電圧も低いため消費電力も小さい。また、振幅も小さいため、同じスルー・レート⁹のシングルエンド信号に対して速度が上がる。

⁹信号の立ち上がり/立ち下がり時間のこと。

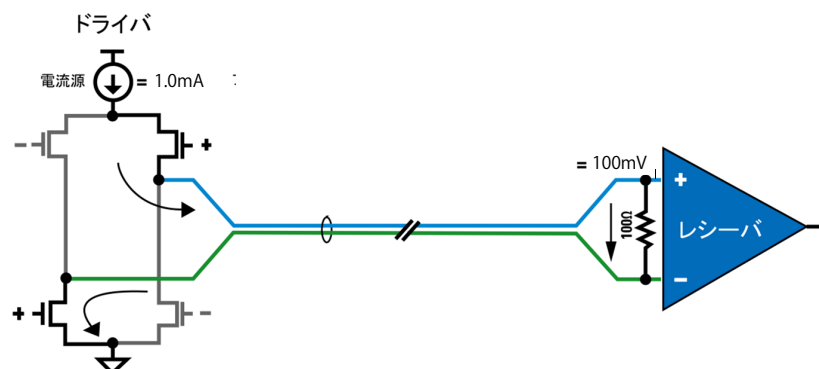


図 4.10: LVDS ドライバーの概略図 [11]

LVDS は電流駆動型インターフェースで電圧 (振幅) は駆動する電流の大きさと受信側についている終端抵抗の大きさで決まる。(通常は $100\ \Omega$ の終端抵抗) 通常規格では、 3.5mA の電流を流し、 350mV の振幅を作る。(このとき閾値電圧は $\pm 100\text{mV}$ 、コモン電圧 1.25V となる。) 規格は長距離伝送による減衰があるため、大きな電圧を作る必要があるが、二次試作回路の場合なら 1.65V の電源電圧を扱っており、崩壊点検出器は長い伝送を必要としないため、それほど大きな電圧を作る必要もない。消費電力の観点から見ても、駆動電流が大きいと不利なため、 1.0mA の駆動電流を流し、 100mV の振幅の信号を取り扱う。

4.4.11 TTL インターフェース

LCR や CCR などのパラメータ設定は高速通信の必要がないため、LVTTTL (Low level TTL) インターフェースでの信号処理を行う。これにより、信号線の本数を減らせるメリットがある。二次試作のサンプルでは 5MHz で動作させているが、さらに低速でもよい。また我々が ASIC で用いるインターフェースは一般規格よりさらに低電圧化した独自規格を用い、DGND と VDD1 の間で動作する¹⁰。

4.5 第一次試作回路の開発と評価結果

本論文では一次試作回路の開発、評価は研究内容に含まれていないが、一次試作回路の結果を受けて、二次試作で改良をし回路のデザインを行っているため、本章では、一次試作での問題点とその原因について、また二次試作回路に向けての対策について説明する。

一次試作回路では、読み出し回路の要求項目に対して、読み出し速度 1.5M ピクセル/s の動作の下で、ノイズ 40 電子、消費電力 13 mW/ch の結果を出している。これは、要求性能に対してい

¹⁰VDD1 は二次試作なら 1.65V 、三次試作は 1.25V

ずれも満たしていない結果となる。ここで起きた問題を克服できるように第二次試作回路はデザインされた。

4.5.1 第一次試作回路の読み出し速度と精度の結果

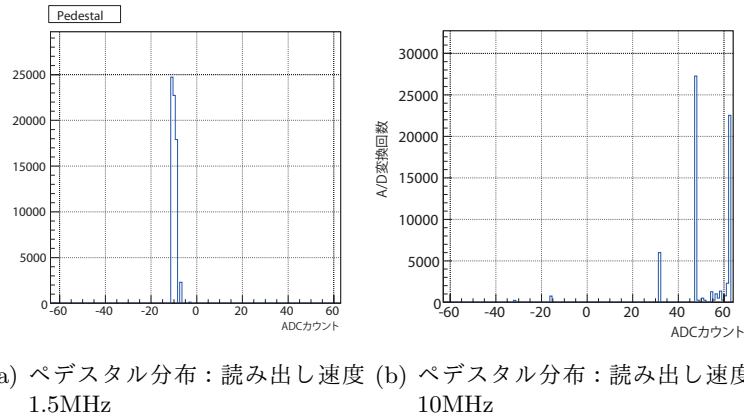


図 4.11: 読み出し速度の検証

読み出し速度に関しては、要求性能 10M ピクセル/s に対し性能が確認されたのは 1.5M ピクセル/s であった。また、1.5M ピクセル/s 動作でも線形性にビット飛びがみられ、正常動作していない。図 4.11 は、1.5M ピクセル/s ペDESTAL分布を表したものである。1.5M ピクセル/s の動作速度では、一定の ADC の出力が見られたが、10M ピクセル/s の読み出し速度で、動作しようとすると図 4.11(b) のように一定の ADC 値が得られず、いくつものピークが見られた。また ADC の出力値分布も広くわたっており、正常動作していないことが分かる。

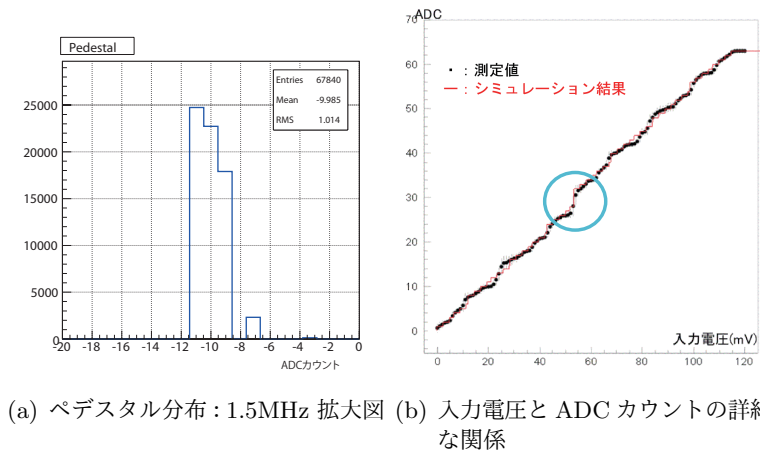


図 4.12: 読み出し速度の検証

読み出し精度に関しては、図 4.12(a) において出力の欠けが見られる問題がある。図 4.12(b) のようにテストパルスの電圧を 1mV 刻みに細かく入力し、出力される ADC カウントをプロット (黒) した。このとき前置増幅器の増幅率を最低に設定し、より細かく入力電圧と ADC カウントの関係

を調べた。この図を見ると、1~2 ADC カウント程度の飛びが確認できる。これは 30~60 電子に相当し、読み出し精度が悪く、ADC 値をノイズレベルの要求性能以下の精度で定めることができないことを意味する。

4.5.2 読み出し精度悪化の原因として考えられる回路構造

このような読み出し精度限界の要因として、一次試作回路では要求性能に加えて回路面積の小型化も図ったことが問題だと考えられる。回路面積の大部分は、ADC のキャパシタが占めるため、 $Q=CV$ で、同じ入力信号の大きさ (Q const) に対して、キャパシタ容量 C を下げ、参照電圧 V_{ref} をあげる方針を取った。また、参照電圧を $V_{ref1}500\text{mV}$ と $V_{ref2}250\text{mV}$ と 2 種類用いた。ADC に入力してくる信号を捕え、AD 変換の際電荷の足し引きをする、INPUTBLOCK とキャパシタアレイの全体の容量は、LSB の容量とビット数で決まる。一次試作では 7 ビット (符号ビット + 6 ビット) の信号を取り扱っており、 C が小さすぎると浮遊容量の影響の増大や、加工精度の悪化により $\delta C/C$ が大きくなり、外乱を受けやすくなるため、キャパシタアレイの LSB の容量は、 0.0625pF を設定した。バイナリウエイトで他のキャパシタの容量は設定されているので、(1 つの参照電圧しか用いない場合)6 ビットの際、MSB の容量は、 $0.0625\text{pF} \times 2^5 = 2\text{pF}$ となる。ここで V_{ref} を 2 種類用いて、上位ビットに対して、2 倍高い V_{ref} を用いることにより、上位ビットの容量を $1/2$ に節約することができる。また、これを受けてサンプリング回路の容量も大きく下がる。以下にキャパシタに蓄えられる電荷 Q 、DAC に設定されているキャパシタ C と用いている参照電圧 V_{ref} の関係を表す。表 4.2 にあるように、2 種類の参照電圧を用いることにより、上位ビットで使用するキャパシタ容量を抑えつつ、蓄積電荷をバイナリウエイトにすることができる。

表 4.2: 一次試作 ADC のキャパシタに蓄えられる電荷

対応ビット	1ビット目 (MSB)	2ビット目	3ビット目	4ビット目	5ビット目	6ビット目 (LSB)
参照電圧	$V_{ref1} 500\text{mV}$			$V_{ref2} 250\text{mV}$		
CAPBLOCK のキャパシタ容量	CAPBLOCK1 1 pF	CAPBLOCK2 0.5 pF	CAPBLOCK3 0.25 pF	CAPBLOCK3 0.25 pF	CAPBLOCK4 0.125 pF	CAPBLOCK5 0.0625 pF
蓄積電荷 Q	0.5 pC	0.25 pC	0.125 pC	$6.25 \times 10^{-2} \text{ pC}$	$3.125 \times 10^{-2} \text{ pC}$	$1.5625 \times 10^{-2} \text{ pF}$

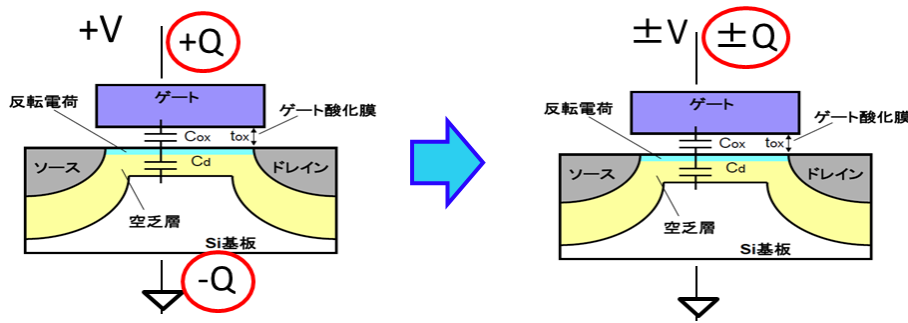


図 4.13: コンデンサレイの容量分割、底面電極接地による変化

4.5.3 読み出し精度限界として考えられる要因

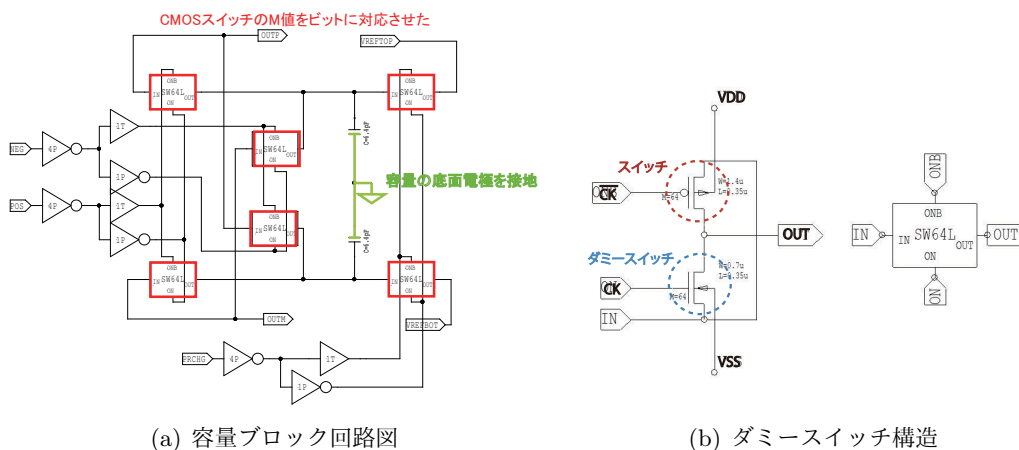
4.5.2 章で述べたような回路構造がどのようにして、読み出し精度の限界につながるか説明する。正確には、前述の回路構造と浮遊容量の影響によって生じる読み出し精度の悪化について述べる。

読み出し速度を落とした際(十分セトルした電圧レベルをサンプリングした状態)でも読み出し精度が悪い原因に関しては、浮遊容量対策が十分でなかったことが挙げられる。もうひとつの原因として、参照電圧を2種類設けたことが挙げられる。まずキャパシタ C 小さくすることでキャパシタアレイ及び INPUTBLOCK のキャパシタの mismatch が起きやすくなった ($\delta C/C$ 大で浮遊容量が付きやすくなった)。大きな浮遊容量として考えられるのは、容量素子の底面電極とシリコン基板の間、そして先ほど出てきた容量の接続を切り替えるスイッチ内である。これらの浮遊容量から、キャパシタの容量比がバイナリウェイトでなくなり、容量比が崩れた。さらに加えて、2つの大きさの参照電圧を用いた。キャパシタの容量比は崩れたが、参照電圧は依然として 500mV と 250mV と、誤差を無視できる。上位ビットに対して2倍高い参照電圧をかける為、上位ビットの浮遊容量の影響も一様に2倍される。図 4.12(b) には、浮遊容量を入れてシミュレーションした結果が赤線で示されている。¹¹ 測定結果の ADC の飛びを再現している。

大きな浮遊容量の候補として、容量素子の底面電極とシリコン基板の間、そしてスイッチ内があった。これらの影響を抑圧する方法として、二次試作では、以下の方針をとった。まず、ADC のスイッチの浮遊容量による容量比の崩れ対策として、CMOS スイッチ内に並列にビット重みに合わせた個数のトランジスタを並べる。ビット重みと M 値を合わせ、浮遊容量もビット重みに対応した大きさになるよう設計した。また、図 4.14(a) のようにコンデンサーを2つにして、それぞれの底面電極を接地した。こうすることで、上面電極のみに参照電荷を貯め浮遊容量の影響を排除し、A/D 変換が正しく行われるようにした。この変更によりプラス側とマイナス側の参照電圧が必要となったため、参照電圧を 500mV と 250mV から、 $\pm 250\text{mV}$ に変更した。(図 4.13)

さらに浮遊容量によるクロックフィードスルーの対策のために、ダミースイッチを設けた。こ

¹¹RC 抽出前のシミュレーションデータに対して、キャパシタアレイの各 BLOCK につく浮遊容量 δC_i のために、逐次比較の際の基準電圧がずれる効果 δV をフリーパラメータとして、実測データを再現させたもの。



(a) 容量ブロック回路図 (b) ダミースイッチ構造

図 4.14: ビット重みに対応したスイッチとダミースイッチの回路図

これは、以前言及されていなかったために、少し詳しく述べる。

クロックフィードスルー

クロックフィードスルーとは、スイッチ素子の寄生容量に蓄積された電荷がスイッチのオンオフごとに回路内の信号経路へ流れ込む現象をいう。クロックフィードスルーは主に2つの要因から来ており、一つは、オーバーラップ容量、もう一つは、チャネル電荷注入 (channel charge injection) からきている。

オーバーラップ容量は、MOS スwitchの、ゲートドレイン間または、ゲートソースの浮遊容量で、この容量を通してサンプリング容量へクロックの変化が漏れだす効果である。サンプルされた出力電圧に誤差が発生する。

チャネル電荷注入は、図 4.15 で表しているように、MOSFET がオンしているときチャネルに電荷がシリコンと酸化膜の境界に存在することに注目する。このチャネルに蓄積された電荷がソースドレイン間にクロックがオフされたときに抜ける現象をチャネル電荷注入という。図 4.15 の右側へ注入される電荷はサンプリング容量 C_H に蓄積され、これが容量の電圧の誤差として表れる。

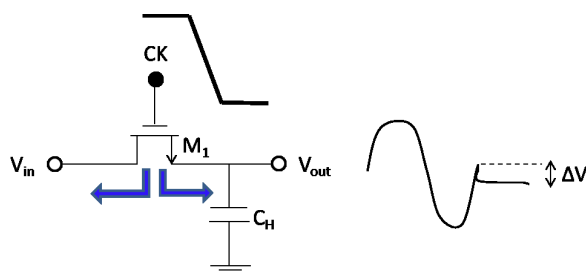


図 4.15: スイッチオフする際のチャネル電荷注入

クロックフィードスルー対策

クロックフィードスルーの影響が大きいとグリッジが大きくなる。このグリッジの深さ h は、 $h \propto 1/C$ の関係にあるため、容量が小さくなったことにより、深くなった。対策としては、まず C を大きくする。またオーバーラップ容量とチャネル電荷注入の影響をダミースイッチを設けることにより、抑制する。

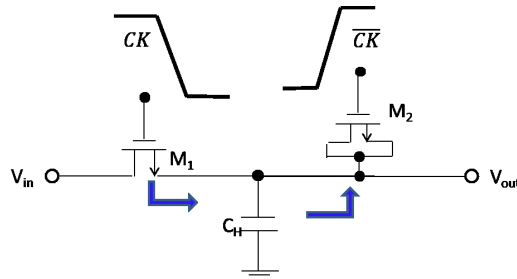


図 4.16: クロックフィードスルーの影響を打ち消す為のダミースイッチ構成

図 4.16 に示すように \overline{CK} (e.g. CK が立ち上がりの場合、 \overline{CK} は立ち上がりに相当) のタイミングで駆動されるダミースイッチ M_2 を回路に付加するものである。ここで M_2 のソースとドレインは出力ノードに接続し、 M_1 をオフした後で M_2 をオンにする。 M_1 からサンプリング容量 C_H に注入されたチャネル電荷は M_2 に形成されるチャネルに吸収される。¹² オーバーラップ容量に対しても、オーバーラップ容量によって漏れた電圧誤差 ΔV は、抑えることができる。

$$\Delta V = V_{CK} \frac{WC_{ov}}{WC_{ov} + C_H} \quad (4.11)$$

と表されることから、 $W_2 = 0.5W_1$ 及び $L_2 = L_1$ のダミースイッチを設けることで、図 4.17 と式 4.12 のように

$$-V_{CK} \frac{W_1 C_{ov}}{W_1 C_{ov} + C_H + 2W_2 C_{ov}} + V_{CK} \frac{2W_2 C_{ov}}{W_1 C_{ov} + C_H + 2W_2 C_{ov}} = 0 \quad (4.12)$$

ここで C_{ov} は単位ゲート幅あたりのオーバーラップ容量、 V_{CK} はクロック電圧であり、添え字 1,2 はスイッチ M_1 と M_2 に対応している。

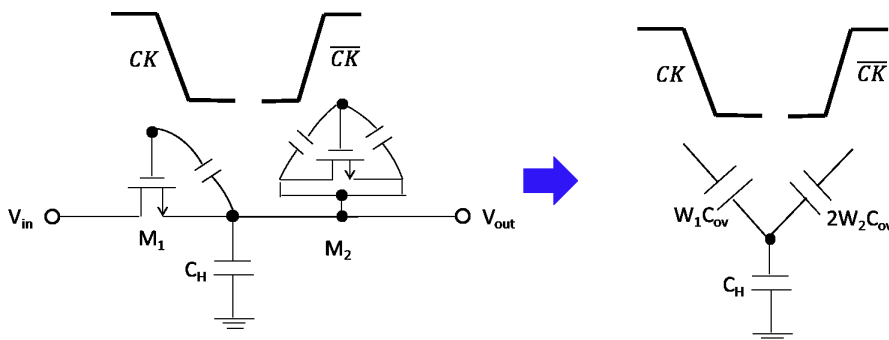


図 4.17: ダミースイッチによるオーバーラップ容量の影響対策

¹²このスイッチは ADC のみならず、PRC や ABUF にも使われ、スイッチの吐き出す電荷を補償している。

4.5.4 一次試作回路での精度悪化の原因と対策のまとめ

他には対策として、コンパレータに安定した電流を供給するため、電流を供給するピン数を増やす。これはクロック信号が立ち上がると過渡的に大きな電流が流れ、電源電圧が不安定になりやすいため、コンパレータへの供給電流を安定化されるためである。最後に一次試作回路から行った要求性能に直接関わる主な対策をまとめる。

表 4.3: 一次試作回路で性能悪化として考えられる原因と対策

対策対象	対策
キャパシタアレイの浮遊容量の影響軽減	キャパシタアレイに用いるキャパシタを大きくする。 参照電圧 500mV, 250mV から $\pm 250\text{mV}$ へ
スイッチにつく浮遊容量	キャパシタ 2 分割して上面接地。底面電極と GND の間の浮遊容量の影響軽減
クロックフィードスルー	スイッチのトランジスタ数をビットウェイトに比例させる
コンパレータでの浮遊容量が信号とカップリング	ダミースイッチを設ける コンパレータでのレイアウト対称化

第5章 第二次試作回路 ASIC の回路構成

第二次試作回路の回路構成についての詳細を述べる。まずは全体から説明する。

5.1 製作チップのレイアウトとパラメータ

この章では第二次試作回路の回路構成についての詳細を述べる。二次試作回路は、FPCCD2B と名付けられ、レイアウト作成は、デジアンテクノロジー社に依頼した。浮遊容量は隣り合う導線間にも生ずるため、コンパレータの機能に影響を与えないよう細心の注意を払いレイアウトした。出来上がったレイアウトを図 5.1 に載せる。

ASIC の製作は TSMC の CyberShuttle に依頼した。チップの設計パラメータを表 7.6 に示す。

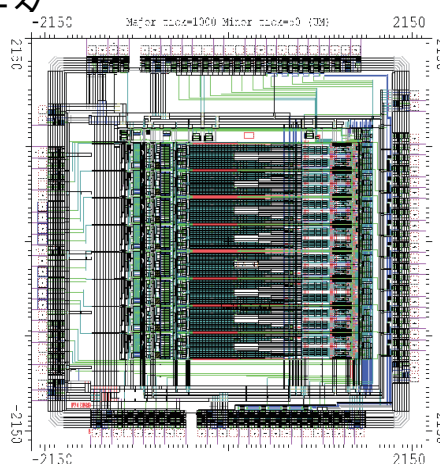


図 5.1: FPCCD2B のレイアウト

表 5.1: FPCCD2B チップ設計パラメータ

チップ名	FPCCD2B
チャンネル数	8
前置増幅器ゲイン	$-C_{in}/C_f$ C_{in} : 外付け入力容量 ¹ 、 C_f : 帰還容量 CCD からの入力: $C_{in}=20\text{pF}$ テストパルスからの入力: $C_{in}=1\text{pF}$
[ゲイン変更範囲]	C_f : 0.2pF~1.6pF (8steps)
製造会社	TSMC (Taiwan Semiconductor Manufacturing Company)
製造プロセス	0.35 μm ポリサイド 2層 POLY(PIP 容量) 4層 METAL
チップエリア	4.3 mm \times 4.3 mm
パッケージ	CQFP100PIN
電源電圧	3.3V(VDD=VDD1=1.65V, VSS=VSS1=-1.65V, GND=0V)

5.2 CHAIN1B

回路全体は、CHAIN1B 8チャンネルから構成され、CHAIN1Bにはそれぞれ、前置増幅器、ローパスフィルタ、CDS、ADCが備わっている。

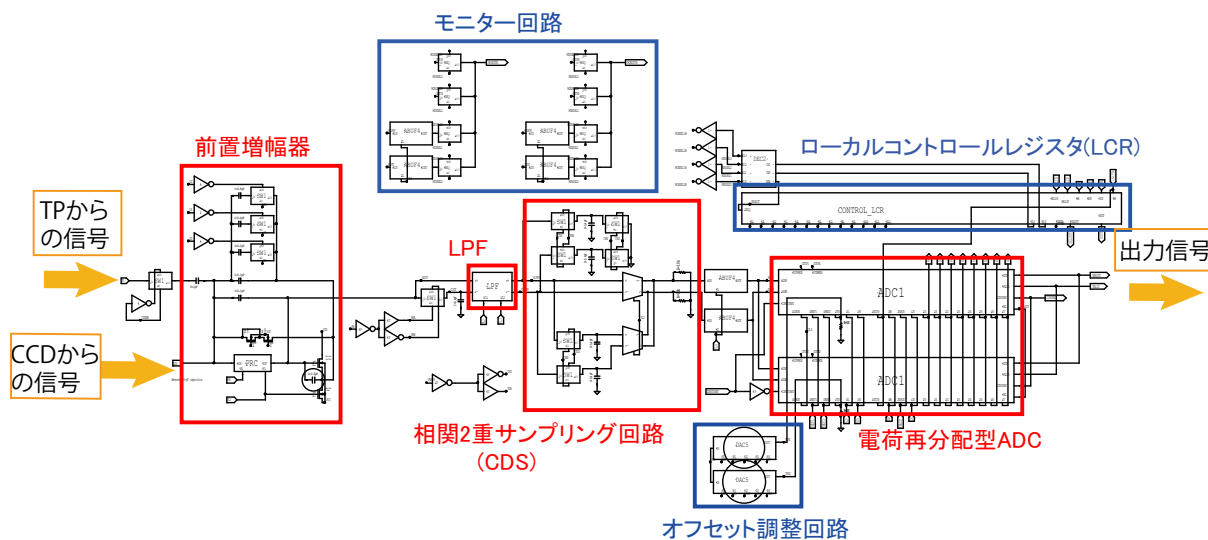


図 5.2: CHAIN1B 回路図：赤で囲った要素は信号に対して機能する回路、青で囲った要素はそれを補佐する回路である。

以下に部分回路構成を記述する。

5.3 前置増幅器

前置増幅器は、CCD 検出器からきた信号電圧を増幅する増幅器であり、増幅要素の PRC と帰還容量からなっている。入力信号 V_{in} と出力信号 V_{out} の関係は $V_{out} = -(C_{in}/C_f)V_{in}$ で表され、PRC が増幅要素であり、前置増幅器の出力電圧は、外付けの入力容量 C_{in} と帰還容量 C_f を設定することで決定される。

二次試作では、CCD の信号に対する入力容量は 20 pF、テストパルス入力容量 C_{in} は 1 pF、帰還容量 C_f は 0.2 pF ~ 1.6 pF であり、コントロールレジスタを通して外部から制御することにより 8 段階の利得が設定可能である。

前置増幅器における増幅要素である PRC の回路図を図 5.3 に示す。AIN はシングルエンドの入力端子、AOUT は出力端子である。VH は pMOS、VL は nMOS のバイアス電圧導入端子であり、増幅器を最適な動作点 (入力トランジスタの $I_d=500 \mu A$) で動作させるために置かれている。VL monitor 端子に 0.1 uF の容量を取り付けて VL、VSS 間の電位を安定化しているほかに、PRC の回路ブロックごとに MOS 容量を取り付けてさらなる安定化をはかっている。

電圧は CHAIN2 のバイアス電圧生成回路から供給される。電源とバイアス電圧導入端子の間には電源-バイアス電圧間の電圧を安定化させるためのバイパスコンデンサを挿入する必要がある。

しかし CMOS プロセスでは容量の大きなコンデンサを使用しにくい。そこで本回路ではコンデンサの代わりに MOS のゲート容量を利用して集積効率を高めている。一般に pMOSFET は nMOSFET に比べ、フリッカ雑音 ($1/f$ 雑音) による影響を受けにくい²ため、かつ放射線によるパラメータ変動も少ないため、増幅器の入トランジスタには pMOSFET を用いている²。増幅段は大きな電圧利得を得るために、カスコード負荷³を有するフォールドドカスコード構造⁴を採用した [13]。

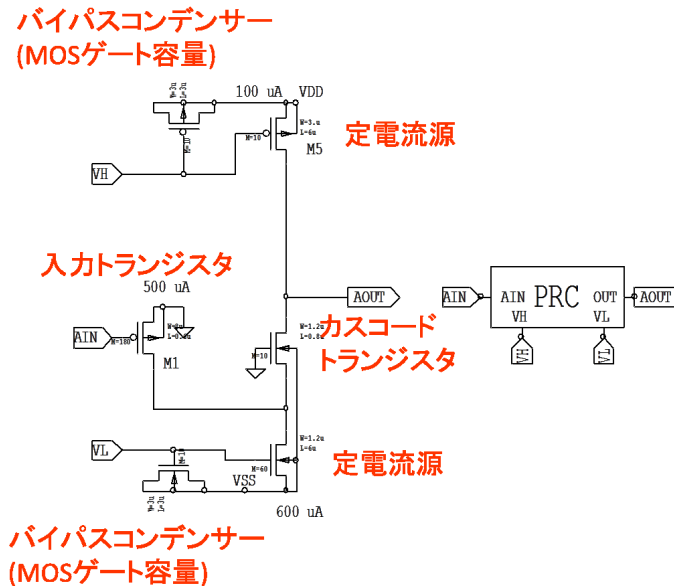


図 5.3: 増幅要素 (PRC)

帰還容量に関しては、最低設定値の 0.2pF の容量を 0.1pF を 2 つに分割し、これらの間には入力インピーダンスが高く出力インピーダンスが低いソースフォロアを介し、 2.5pF の容量を挟んだ。この容量は電圧をリセットする際に、信号が振動するのを抑える役割を果たす。

5.4 ローパスフィルタ (LPF)

図 5.4 にローパスフィルタの回路図を示す。本ローパスフィルタは 4 つの OTA ; Operational Transconductance Amplifier (電圧電流変換回路) からなっており、 $G_m - C$ フィルタ回路より構成されている。図の台形が OTA となる。 $G_m - C$ フィルタ回路とは、変換係数 $G_m - C$ の OTA とキャパシタを基本とした回路である。図 5.5(a) に $G_m - C$ フィルタ回路の一例を示す。OTA

²フリッカ雑音はゲート酸化膜とシリコン基板の境目にできたエネルギー準位にキャリアが不規則にトラップされることで発生する。MOSFET ではキャリアがほとんどシリコン基板表面を流れるため、大きな影響を受ける。pMOS は "buried channel" 化する傾向があるため、nMOS と比較して影響が小さい。

³ソース接地回路とゲート接地回路の継続接続を負荷とすることで出力インピーダンスが高まり、増幅特性が改善される。

⁴トランジスタを折り返し接続することで入出力電圧範囲を広く確保することができる。

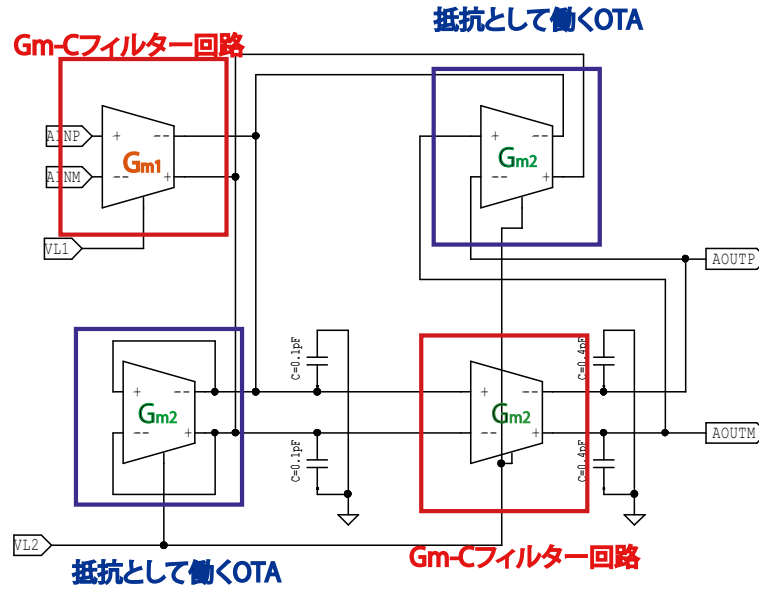


図 5.4: ローパスフィルタ (LPF)

に入力電圧 V_{in} を入れると、

$$I_{out} = G_m V_{in} \quad (5.1)$$

より I_{out} が得られる。この電流をキャパシタ C に流し込み、電荷を蓄えると出力電圧 V_{out} は次式のように得られる。

$$V_{out} = G_m V_{in} \cdot \frac{1}{sC} \quad (5.2)$$

s は微分演算子、 $1/s$ はその逆の積分演算子である。したがって式 5.2 は入力電圧 V_{in} を電流 $G_m V_{in}$ に変換し、それをキャパシタ C で積分 ($1/sC$) することを意味する。本 ASIC では $G_m C$ フィルターとして働く OTA を含む回路とまたもう 1 つ抵抗として機能する OTA を加えている。OTA は帰還をかけることで

$$R^{eff} = \frac{V_{in}}{I_{in}} = \frac{V_{in}}{I_{out}} = \frac{1}{G_m} \quad (5.3)$$

と抵抗値 R^{eff} の抵抗の役割を果たす。図 5.5 に示した 2 つの要素を図 5.5(c) のように組み合わせると、入力電圧と出力電圧の関係は次のように得られる。

$$I_1 = I_2 + I_3 \quad (5.4)$$

の関係から、

$$-G_{m1} V_{in} = G_{m2} V_{out} + j\omega C V_{out} \quad (5.5)$$

$$\frac{V_{out}}{V_{in}} = \frac{-G_{m1}}{G_{m2} + j\omega C} \quad (5.6)$$

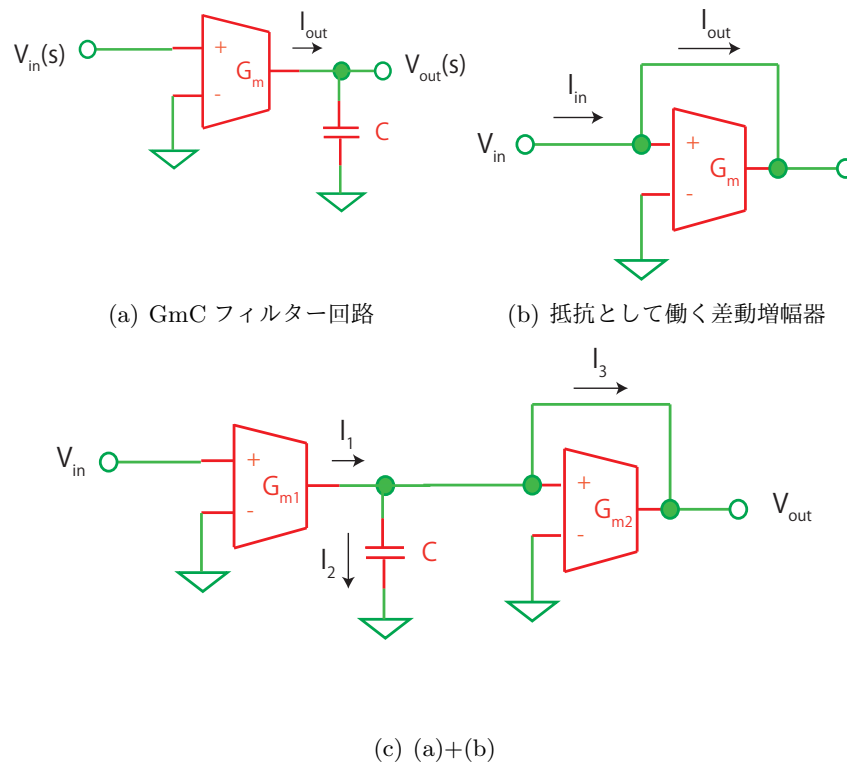


図 5.5: LPF 内の差動増幅器の役割

となり、ローパスフィルターの役割を果たす。

本 ASIC で使用している OTA は全差動型の差動増幅器を用いている。これは全差動型がシングルエンド回路よりノイズの影響を受けにくいためである。しかし全差動型にするためには、固有の要素回路が必要となる。それがコモンフィードバック (CMFB) 回路である。CMFB 回路は図 5.7 全差動型の 2 つの出力電圧の平均値が所定の値を取るようフィードバックをかける回路である。

図 5.6 に本 ASIC で用いている差動増幅器を示す。出力電圧 (OUTP、OUTM) が大きくなると、pMOS トランジスタのソースゲート電圧 V_{SG} が小さくなり、 V_{DD} から供給される電流が小さくなる。一方で下部の定電流源から供給される電流は一定なので、出力電圧 (OUTP、OUTM) は小さくなる。逆に出力電圧 (OUTP、OUTM) が小さくなると、 V_{SG} が大きくなり V_{DD} から供給される電流が増大し、出力電圧も大きくなる。このような機能が働くことにより、出力電圧の平均値を一定に保つことができる。

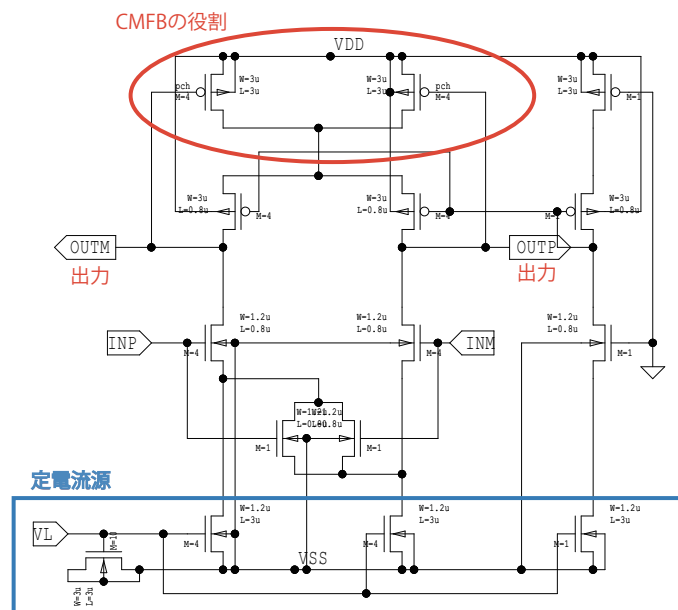


図 5.6: 差動増幅器

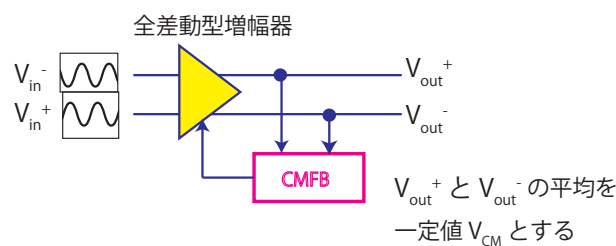


図 5.7: CMFB 回路の動き

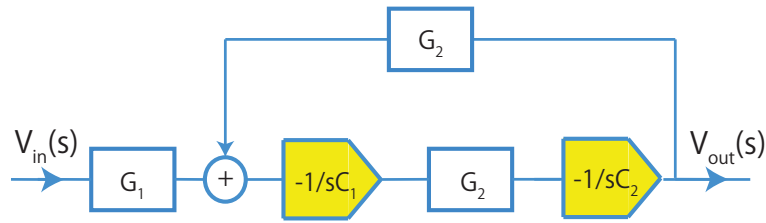


図 5.8: LPF のシグナル・フロー図

図 5.4 のローパスフィルターのシグナル・フロー図を図 5.8 に示す。この伝達関数は、

$$H(s) = -\frac{G_{m1}G_{m2}}{-G_{m2}^2 + C_1C_2s^2 + C_2G_2s} \quad (5.7)$$

と表わせれ、出力電圧と入力電圧の関係は次式で得られる。

$$\frac{V_{outp} - V_{outn}}{V_{inp} - V_{inn}} = -\frac{-G_{m1}G_{m2}}{-G_{m2}^2 + C_1C_2\omega^2 - j\omega G_{m2}C_2} \quad (5.8)$$

$$= -\frac{-G_{m1}G_{m2}}{-G_{m2}^2 + (0.2p \times 0.8pF)\omega^2 - j\omega G_{m2} \times (0.8pF)} \quad (5.9)$$

$$= -\frac{G_{m1}G_{m2}}{(G_{m2} + j\omega(0.4pF))^2} \quad (5.10)$$

ここで $C_1 = 0.2 \text{ pF}$ 、 $C_2 = 0.8 \text{ pF}$ を代入した。図 5.4 中で C_2 は 0.4 pF と見えるが、次段の相関 2 重サンプリング回路 (図 5.10) の容量 0.4 pF と合わせて 0.8 pF となっている。式 (5.10) より G_{m1} と G_{m2} を調節することにより、各周波数の増幅特性を変えることができる。 G_{m1} と G_{m2} はそれぞれバイアス電圧 VL1、VL2 で設定でき、バイアス電圧を大きくすると G_m も大きくできる。バイアス電圧 VL2、VL3 の設定は CHAIN2 のセントラルコントロールレジスタ (CCR) で行い、LPF の設定は全チャンネル共通である。図 5.9 に本 ASIC の LPF のシミュレーション結果を載せる。

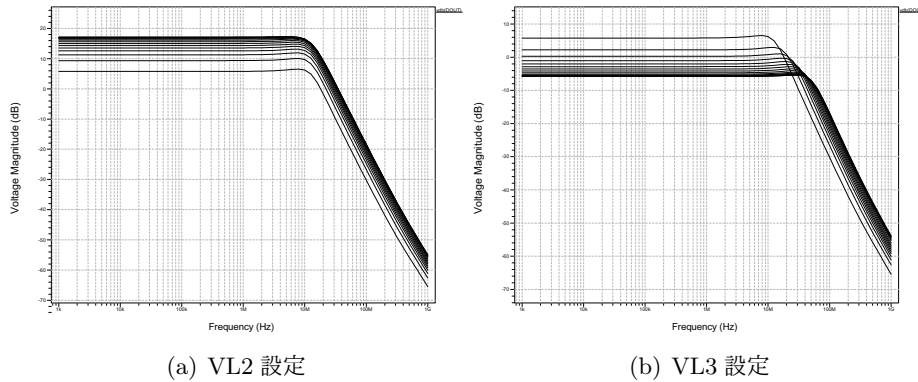


図 5.9: LPF の性能

(a) は VL2 を動かした結果、(b) は VL3 を動かした結果となる。いずれの結果も、式 5.10 の示すように、増幅率が周波数 ω の 10 MHz を超えたところで低下しているのを表している。

(a) の結果について、VL2 を変化して G_{m1} を動かしたのを、複数の実線で表したものである。VL2 は OTA の機能の差動増幅回路、一個につながっている。そこで電流が上昇すれば、 G_{m1} が上がり、 V/I で利得が上昇する。 G_{m1} は、増幅率の周波数依存性を変えるわけではないので、分布の形は変わらず G_{m1} 上昇で上に平行移動するだけである。

(b) の結果については、VL3 を変化して G_{m2} を動かしたのを、複数の実線で表したものである。VL3 は、OTA の機能の差動増幅回路一個と抵抗の機能の差動増幅器二個につながっていて、 G_{m2} を決まる。電流が上昇すれば、 G_{m2} が上昇し、抵抗 $1/G_{m2}$ が下がり利得が低下する。このとき同時に時定数は CR なので、帯域は上昇する。図 5.9 では G_{m2} 上昇で利得が下がり、帯域が増加している様子が見える。これにより、 G_{m2} で周波数と帯域を調節し、 G_{m1} で利得を調節できる。なお、10MHz での読み出し回路の動作を目指しているので、それより高周波のノイズを LPF により落とすことができるがみえる。

5.5 相関 2 重サンプリング (CDS)

図 5.10 の下部の容量 0.4pF に電荷が蓄積され、TRACK 信号でスイッチがオフになり、電圧がホールドされる。これがリセットレベルの信号のサンプリングに相当する。差動増幅回路のプラス出力とマイナス出力がつながり（逆もしかり）、電荷の引き算がなされる。

図 5.10 上部の容量はリセットレベルのサンプリングから電荷情報のサンプリングに切り替える際に回路の容量が変化しないための容量補償回路である。

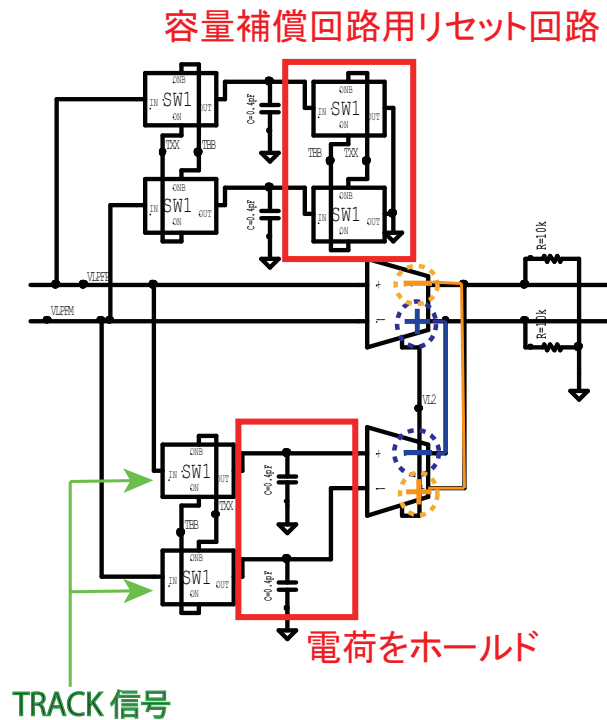


図 5.10: 相関 2 重サンプリング回路図

5.6 アナログバッファ (ABUF)

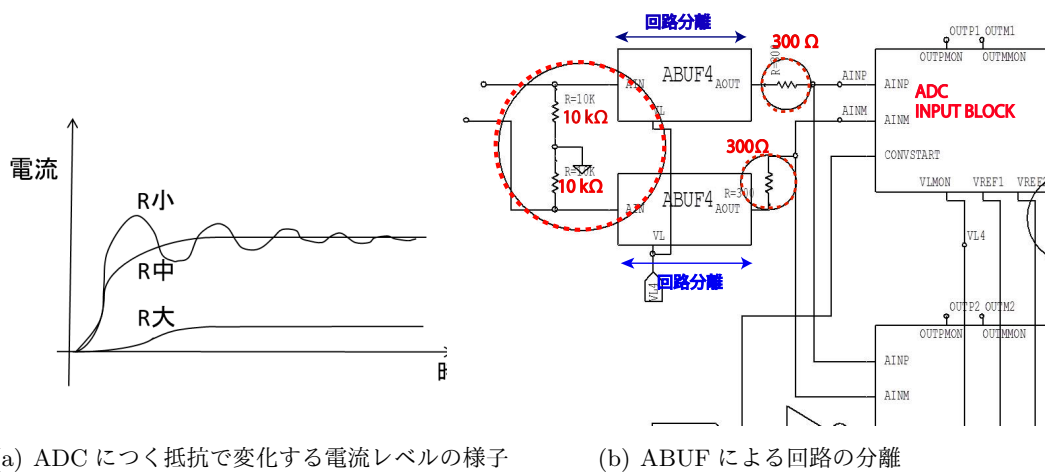
アナログバッファ回路の回路図を図 5.11 に示す。アナログバッファ回路は nMOS を入力トランジスタに用いた差動増幅器であり、AIN 入力の対となる端子が AOUT 出力端子と直結しているため 1 倍の電圧利得を持つボルテージフォロワとして動作する。つまり AIN から入力された電圧値は保持され、そのまま AOUT から出力される。VL は nMOS のバイアス電圧導入端子である。入力用のトランジスタには相互コンダクタンスの大きい nMOSFET を用いることで、オープンループゲインを稼いでいる。

ボルテージフォロアの性質は主に二つあり、それは、

- (1) インピーダンス変換
- (2) 回路の分離

である。十分大きな入力インピーダンスと小さな出力インピーダンスにより、弱い信号を強くして出力することができる。また、電気信号の伝達を一方通行に流すことができ、前段の回路に負荷をかけずに後段の処理を行うことができるのである。前者の性質は特にモニター回路に利用できる。

後者の回路の分離の性質は、ADCの前段部分に置かれているアナログバッファで使われている。ADC,input block の容量は 12.8pF と大きい。アナログバッファがないと、LPF 後の $10\text{k}\Omega$ と直接つながってしまい、 $12.8\text{pF} \times (10\text{k} + 300)\Omega$ と時定数が大きくなりすぎて、ADC の input block を駆動できない。図 5.11(b) LPF 後の抵抗と ADC を分離するために、アナログバッファ回路を入れている。すると、時定数が $12.8\text{pF} \times 300\Omega$ と時定数が程よく設定される。アナログバッファ後の 300Ω はダンピング抵抗で、ADC の入力信号の AINP、AINM の振動を抑えるために使われている。(図 5.11(a))



(a) ADC につく抵抗で変化する電流レベルの様子

(b) ABUF による回路の分離

図 5.11: ABUF の機能

5.7 Analog to Digital Converter(ADC)

5.7.1 ADC 回路構成

次に図 5.12 に具体的な ADC の回路図を示す。ADC は大きく分けて、(1)INPUT BLOCK (2)CAPACITOR BLOCK (3) コンパレータ (4) 論理回路に分けられる。

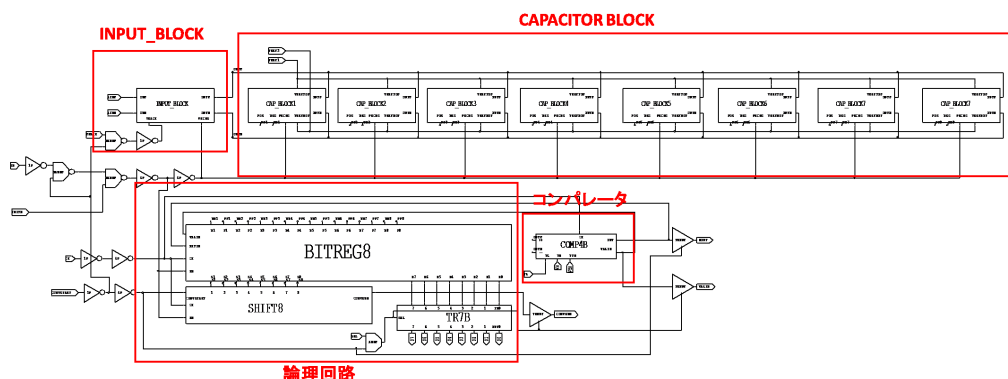


図 5.12: ADC 回路図

以下にそれぞれの機能を示す。

- (1) INPUT BLOCK は、入力信号の電荷を貯める入力ブロックのコンデンサになる。ここで入力電圧をサンプリングする。またビットの重みのついた電荷の足し引きを行う。
- (2) CAPACITOR BLOCK は、キャパシタアレイ (容量ブロック) で各ビットに対応した大きさの容量と、その接続を切り替えるスイッチを含むモジュールである。二次試作の ADC はサインビット+7 ビットであり、ビットに対応する容量は 6.4 pF、3.2 pF、1.6 pF、0.8 pF、0.4 pF、0.2 pF、0.1pF となっている。この容量に参照電圧 $\pm 250\text{mV}$ を接続することで 64:32:16:8:4:2:1 の比をもつ電荷を作っている。
- (3) 各ビット毎に電圧を比較する。
- (4) 論理回路はさらに、ビットレジスタ、シフトレジスタに分けられる。8 ビットのビットレジスタは各ビットの変換結果を記録して、容量ブロックの接続先を決定している。変換結果を記録するビットの選択をおこなっているのは 8 ビットシフトレジスタで、8 ビット選択し終わると変換終了の信号を外部に出力する。

5.7.2 ADC 動作の為のタイミング信号

次に ADC のそれぞれの回路ブロックを正しく機能させるための動作タイミングについて記す。ADC を動かすタイミング信号には、CK、RB、TRACK、CONV、実際の CCD やテストパルス信号 (TP) がある。

CK CK は、コンパレータの動作信号で、10M ピクセル/秒 × 10bit/ピクセル= 100MHz の動作速度で動いている。二次試作では、2つの ADC の切り替えに関係なく、コンパレータは両方 ADC において、常に CK 信号で動くようになっている。

RB

RB 信号は、Reset Bar の略で、low で INPUT BLOCK と CAP BLOCK の電荷を空にする。また、レジスタの記憶情報をリセットする。

TRACK

TRACK 信号は、INPUT BLOCK の入り口のスイッチのオンオフを行う⁵。

CONV

CONV 信号は、CONVersion start の信号で、我々は2つの ADC を並列に用いているため、A/D 変換の過程は「ADC への入力信号取り込み」と「入力信号の A/D 変換」の二つに分けられ、図 5.13 のように ADC の片方が「入力信号の A/D 変換」をおこなっているときは、もう一方が「ADC への入力信号取り込み」をおこなっている。このため、ADC の切り替え信号が必要になる。CONV が high のときは、片方の ADC(ADC1) に対して AD 変換、レジスタ書き込みを行い、もう片方の ADC(ADC2) に対して、INPUT BLOCK への入力信号取り込みを行う。low のときはその逆になる。(ADC1 と ADC2 が切り替わる。)

TP/CCD 入力信号

最後に実際に処理したい CCD やテストパルス (TP) の入力信号がある。テストパルスは CCD の信号を模擬した信号で、ASIC の評価のため、ASIC の検査 (製造後の良、不良の選別) のため、校正のために用いられる。

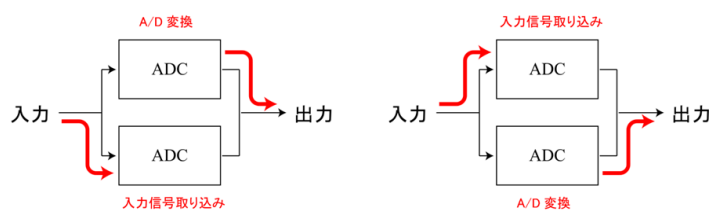


図 5.13: ADC 切り替えタイミング

ADC の動作タイミングを時間に沿って説明すると、図 5.14ADC のシミュレーション結果で示されるように、まず、レジスタ、キャパシタがリセットされ、INPUT BLOCK のスイッチがオンになり、TP もしくは CCD からの信号が入り、信号電荷が INPUT BLOCK に蓄積する。次はスイッチがオフになり、入力信号によって生じた電圧がサンプリングされる。ここから AD 変換がスタートし、生じた電圧をコンパレータで比較させた結果をレジスタに渡す。レジスタに書き込まれると、CAP BLOCK(容量ブロック)の接続先が決定し、電荷の足し引きがなされ、それをさ

⁵TRACK 信号は他にも CDS のキャパシタに電荷を貯めるスイッチのオンオフの信号としても使われている。

らにコンパレータで電圧比較し、AD 変換が行われていく。

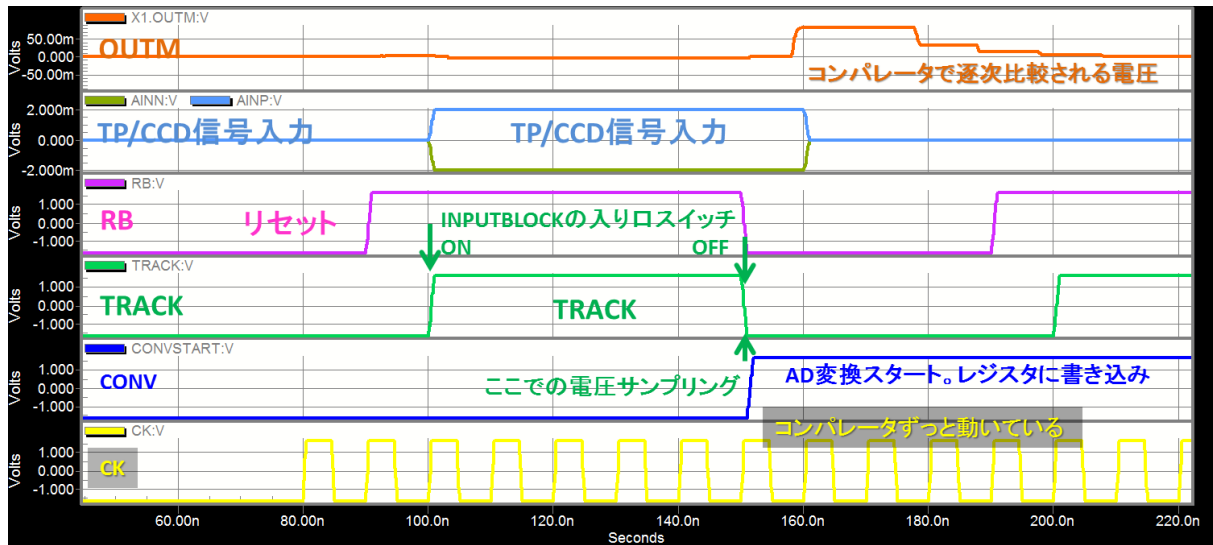


図 5.14: ADC 動作信号のタイミング

ここで、ADC の動作のためのタイミング信号についてまとめる。

表 5.2: ADC 動作信号

信号名 (略称)	信号名	役割
CK	ClocK	コンパレータ動作、レジスタ書き込み
RB	Reset Bar	INPUT BLOCK, CAP BLOCK 中の電荷を空にする。レジスタのリセット
TRACK	TRACK	INPUT BLOCK の入口のスイッチのオンオフ
CONV	CONVersion start	コンパレータの結果のレジスタへの書き込みのイネーブル信号。 high で ADC1、low で ADC2 の切り替えを行う。
TP	Test Pulse	CCD 模擬信号

5.7.3 二次試作での ADC 対策

このように我々の用いる ADC はキャパシタアレイを用いた、SAR-ADC で上述したような動作原理及び構造を持つ。最後に二次試作の ADC で、特に注目して行った対策について述べる。

- (1) LSB に対応する最小単位のキャパシタ (ユニットキャパシタ) 容量を 0.06pF から 0.1pF に変更。
- (2) 速度対策、精度対策として容量比に対応したトランジスタ数をもつスイッチとダミースイッチを設ける。

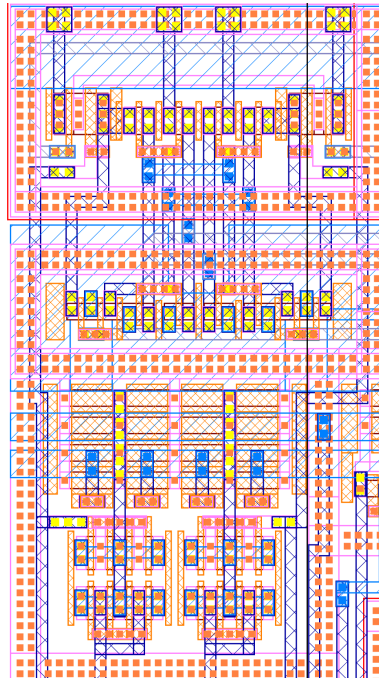


図 5.15: コンパレータのレイアウト

- (3) 浮遊容量対策として、キャパシタの底面電極を接地。
- (4) コンパレータへの供給電源のピン数を増やし、供給電流の安定化を図る。

他には、FPCCD2のレイアウト後のポストレイアウトシミュレーションにより、2段目のコンパレータのリセット解除動作が前段に影響し前段の動作を遅くしており、その結果コンパレータの判定出力が遅れることが確認できた。2段目のコンパレータは1段目のコンパレータのゲインを補う役割として置かれていたが、この結果よりうまく機能していなかったがわかった。FPCCD2Bでは、このコンパレータをインバータに変更する。インバータの役割は、後段へのドライブ能力⁶を高めることである。インバータ直前の回路がドライブ能力が低いため、直接後段の回路を接続するとスイッチング動作速度が遅くなる。そこでインバータを通してから、後段の回路をドライブすることにした。

また浮遊容量の影響を抑えるために、インバータも含め対称なレイアウトにした。これにより浮遊容量もまた対称につき、出力への影響を抑えることができる。浮遊容量は隣り合う導線間にも生ずるため、コンパレータの機能に影響を与えないよう細心の注意を払いレイアウトした。

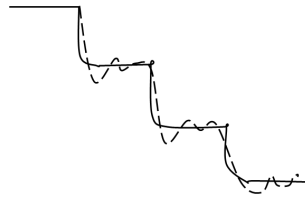


図 5.16: AD 変換中に生じるリンギング

5.7.4 オフセット調整回路の追加

二次試作回路では読み出し速度対策として、クロックフィードスルー以外にもリンギングにも対応できるように図 5.17(a) に示すコンパレータのオフセット調整回路を新たに追加した。

SAR-ADC で逐次比較変換中、電圧レベルが段階的に変化していく。この際生じるアンダーシュート/オーバーシュートなどのリンギングの影響対策のために、二次試作回路ではコンパレータからの入力信号整定時間(セtringタイム)を短縮するオフセット調整回路を導入した。

これは 5 ビットの電流 DAC 回路である。pMOS 定電流源用のバイアス電圧 V_H によって供給されるバイアス電流を M 値の異なるカレントミラーで分割し $1/5$ にする。分割された電流は M 値が 1(D0)、2(D1)、4(D2)、8(D3) に設定された nMOS にコピーされる。したがって D0 をオンにすると、 $M=1$ に相当する電流が流れ、D1 をオンにするとその 2 倍の電流が IOUT 端子から流れる。D0 から D3 までを全てオンにすると、IOUT から出力される電流量が最大となる。

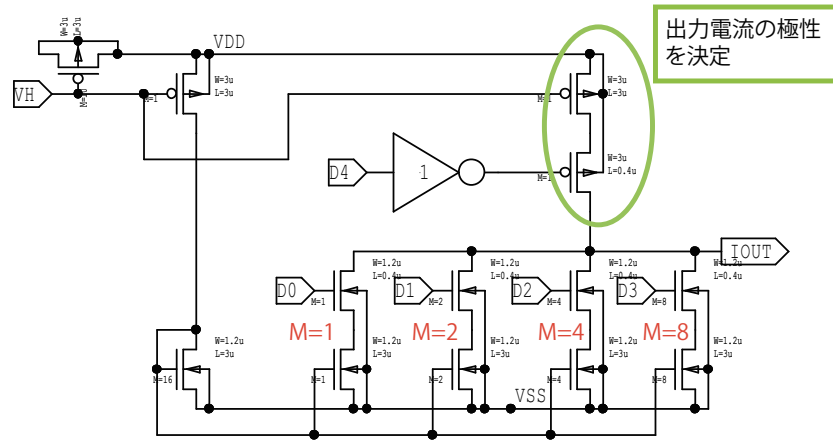
一方、D4 は IOUT から出力される電流の極性を決める。D4 がオンのとき、VDD 側から電流が流れ込む。この時 D0 から D3 までオフであれば、この電流は全て IOUT から出力されるため、流出電流量が最大となる。逆に D4 がオフのとき、D0 から D4 に電流を供給するために IOUT から電流が流入する。このときの流入電流量は D0 から D3 のスイッチにより決まる。

オフセット調整回路の出力ラインは $1\text{ k}\Omega$ の抵抗でグラウンドに落とされており、この抵抗に上で述べたような電流が流れることでオフセット電圧を与える。したがってオフセット電圧をマイナス側に最大にするためには D4 をオフ、D0 から D4 をオンにし、オフセット電圧をプラス側に最大にするためには D4 をオン、D0 から D3 をオフにする。

実際にコンパレータにオフセットを供給するには図 5.17(b) コンパレータ内のオフセット回路である。このオフセット回路にオフセット電圧が入力され、入力信号のオフセットを調整しコンパレータ回路に出力される (TPA、TPB)。

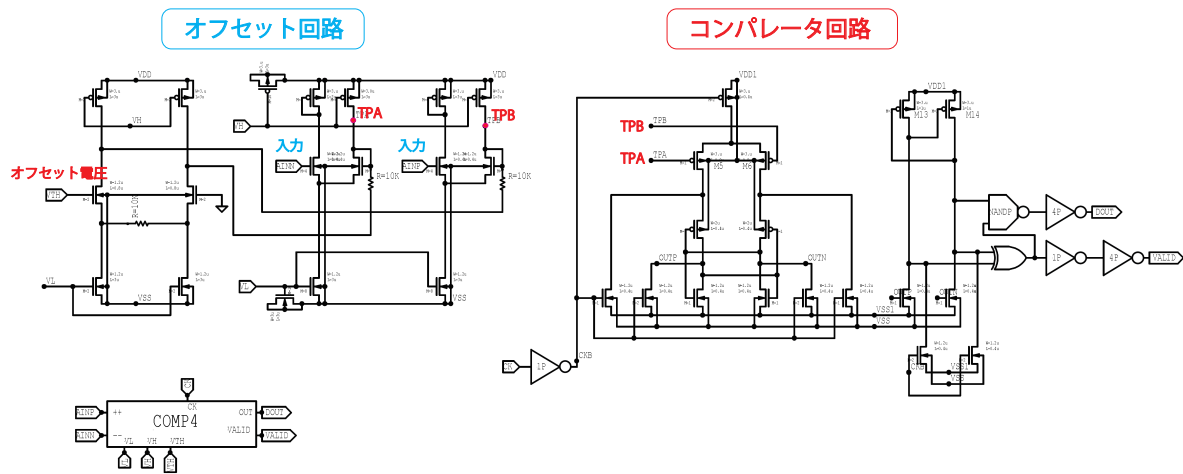
2 つ目はコンパレータの設計の変更である。コンパレータでの High、Low の判断の精度を上げるためにオフセット調整機能を導入した。コンパレータでは入力信号の差をとりその正負で出力を決定するが、閾値が 0 からずれる場合がある。このとき下位ビットほど精度が下がってしまう。しかしオフセット調整機能があれば、ずれていた閾値を 0 に戻し高い精度の判断が可能になる。オフセット電圧は ADC の外部にあるオフセット調整回路から供給される。

⁶次段の負荷回路をどうさせるために必要な駆動能力。具体的にはどれだけの電流が流せるかである。



D0~D3は出力電流の大きさを決定

(a) オフセット調整回路



(b) コンパレータ内のオフセット回路

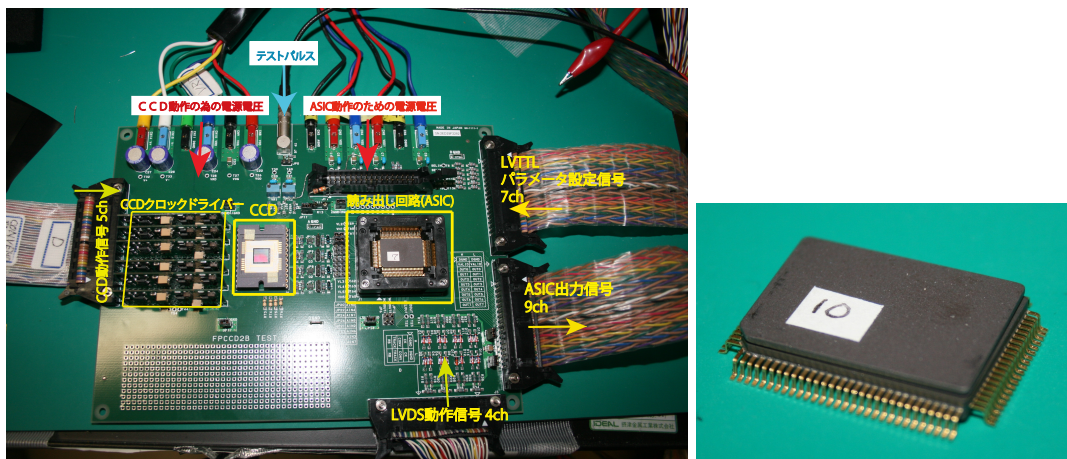
図 5.17: オフセット調整回路図

第6章 第二次試作回路の性能評価

この章では第二次試作回路の性能評価の結果について述べる。

6.1 セットアップ

我々は、開発したチップの評価を行うために評価用試験基板を製作した。その写真を図 6.1(a) に示す。アートワーク及び基板製作はジー・エヌ・ディー社 [26] に依頼した。試験基板では主にチップへの電力供給、入出力信号の引き出し、抵抗によるバイアス電流の設定、可変抵抗による ADC の基準電圧の調整を行っている。また設置したテストパルス入力用端子よりファンクション・ジェネレータを用いて CCD の出力を模擬した信号を入力することで、回路の動作試験が行える。回路図は付録 D、E に記載されている。



(a) 試作 ASIC 評価基板

(b) 試作回路のチップ

図 6.1: ASIC 性能評価読み出しシステムに用いる基板

ASIC からの出力信号の転送は数十 Mbps という高速で行う必要があり、試作した読み出し ASIC の性能評価を行うために高速処理が可能な専用の読み出しボード (図 6.2(b)) を開発した。システムの全体図を図 6.2(a) に示す。読み出しボードには FPGA(Field Programmable Gate Array)、CPLD、メインの FPGA に加えて SiTCP 用 FPGA が搭載されている。論理回路設計には ISE(Integrated Software Environment) を使用し、ハードウェア記述言語には VerilogHDL(Verilog Hardware Description Language) を用いた。

読み出しボードに搭載されている User FPGA で ASIC の動作信号の生成及び送信、ASIC の出力信号のサンプリング、ASIC の出力信号をサンプリングしたデジタルデータの記憶を行う。またファンクションジェネレータでテストパルスを生成するためのトリガー信号の生成、送信も行う。テストパルス入力にはアジレント社製ファンクションジェネレータ 33250A を使用した。読み出しボードで生成されたトリガー信号がファンクションジェネレータに入り、テストパルスの入力電圧、パルス幅、入力タイミングの微調整をファンクションジェネレータで定める。

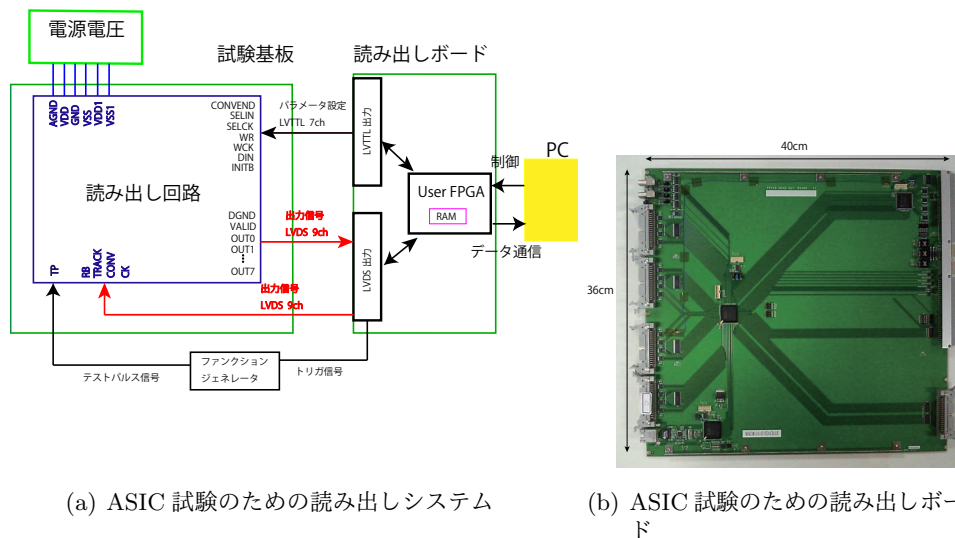


図 6.2: ASIC 試験のための読み出しシステム

読み出しボードが、送信する ASIC 動作信号は主に LVDS と LVTTL 信号の 2 種類に分けられ、高速転送の必要のない、CCR、LCR のパラメータ設定の信号は 1.65V の LVTTL で行う。一方、ADC の動作信号や出力信号などの高速信号は $\pm 1mA$ の LVDS で送受信する。

6.1.1 読み出しボードでのサンプリング

二次試作のコンパレータでは、コンパレータがビット判断を下す時間に遅延が生じ、結果としてパルス幅が小さくなる。図 6.3(b) はシミュレーション結果で、入力電圧によってコンパレータの出力 DOUT がクロック信号 CK に対して遅れ、AD 変換結果のシリアルデータ出力のパルス幅が狭くなっている様子を表している。OUTP,OUTM は、コンパレータ内の 2 つの入力電圧の増幅部分の端子で、入力電圧によっては、入力電圧差を増幅するのにより時間がかかる。これにより理想的に 5ns あったパルス幅は、短いときは、1.9ns となる。図 7.12(a) は、二次試作回路における AD 変換結果のシリアルデータ出力信号をオシロスコープで実際にとった波形になる。これは、ASIC が搭載されている試験基板から出力信号を読み出しボードで受信する際、厳しい要求を課すことになり、読み出しボード側のサンプリングミスの原因となる。もともと、必ずビットごとに 5ns ゼロに戻る Return-to-Zero というデジタル信号伝送方式を採用していたため、パルス幅は、最大で

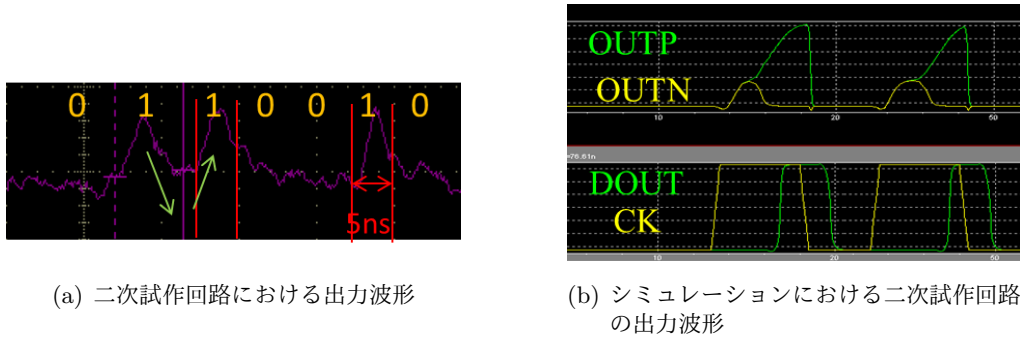


図 6.3: 二次試作回路における出力波形

も 5ns であり、立ち上がりのタイミングも分からない為、我々は 100MHz のデジタル出力信号を読み出しボードで 100MHz の 4 倍のクロックでサンプリングを行い、サンプリング結果を FPGA 内の RAM に蓄積した。¹

4 倍速度でのサンプリングを行った際のテストパルス入力電圧-100mV に対する ADC 出力の分布を図 6.4(a) に示す。4 倍サンプリングを行った際も、サンプリングミスによりビット落ちが生じ、ADC 出力の分布が離散化している。これは、AD 変換のシリアルデータ出力信号のパルス幅が短くなり、図 7.12(a) のような三角波の形の出力になっているためである。我々はこのに対応するため、信号伝送ケーブルの長さを調節し、サンプリングできるようにタイミングを調節した。図 6.4(b) にケーブル長を調節した後のサンプリング結果を示す。ADC 出力値の離散化がなくなったのが分かる。

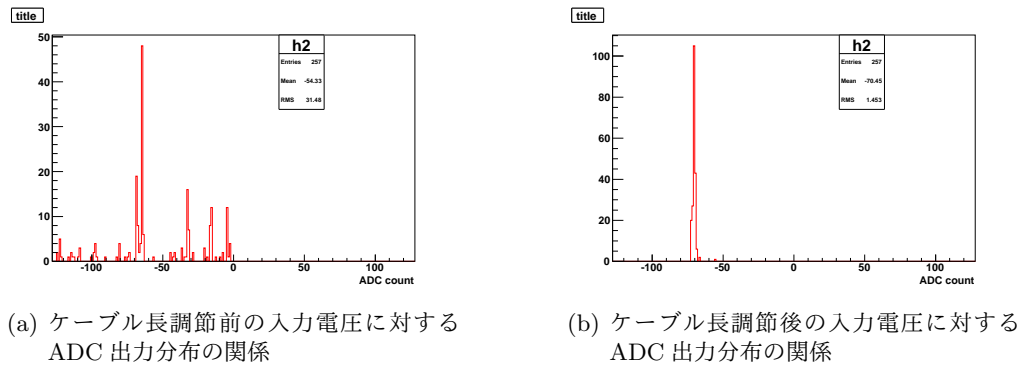


図 6.4: 100MHz 動作でのケーブル長と ADC 出力信号のサンプリングの関係

図 6.4(a) でみられる ADC 出力の離散化は、一次試作でみられた現象と似ている。出力が離散化し、出力の幅も広くわたっている。高速動作ほどサンプリングが難しく、このことから、一次試作回路でも読み出しボードでのサンプリングミスが生じていた可能性がある。

¹正確には読み出しボードで生成した 100MHz クロック信号の位相を 90°, 180°, 270°, 360° ずらした新たなクロックを用意し、4 つのクロックでそれぞれサンプリングし、サンプリングした結果を 4 種類の違う RAM に書き込んだ。

なお、補足としてここでは409画素相当のデータを解析した。FPGAのRAMの容量の制限から一度に取得できるデータの容量が決まる。1データにつき10bitの信号を(符号ビット+MSB電荷放出時間+7ビット+チェック/冗長ビット)取り扱い、4倍サンプリングを行っているため、1信号入力に対して $10 [\text{bit}/\text{data}] \times 4 [\text{sampling}/\text{data}] = 40 [\text{bit}/\text{data}]$ が必要になる。FPGAのRAMの容量の制限から409画素数に相当する409データのメモリ容量(16360 bit)を使用した。

6.2 読み出し速度

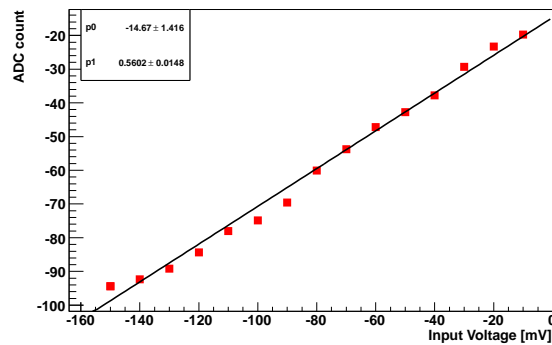


図 6.5: 100MHz 動作時の linearity 分布

無理やり直線をフィットし、プロットしているが、後の詳細な測定から直線からのズレは、非線形効果によるものが大きいと考えられる。

6.3 ノイズ

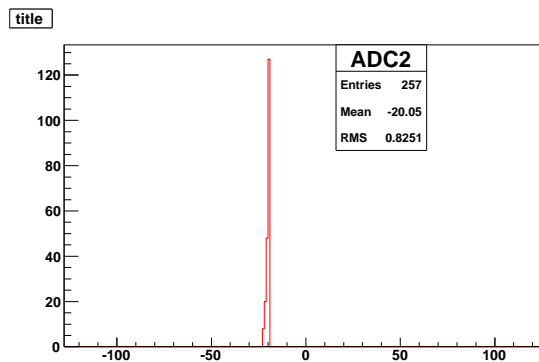


図 6.6: 10M ピクセル/s 読み出し速度時のペDESTAL分布

ノイズレベルが要求性能 30 電子以下を達成できるかを評価した。ノイズレベルは、入力がないときの出力であるペDESTAL分布の幅から見積もる。図 6.6 に 10M ピクセル/s 読み出しの速度でのペDESTAL分布を示す。グラフの横軸は ADC カウントで、RMS(Root Mean Square) は 0.825

LSB であった。ADC の出力値の平均が -20LSB と 0 からズレているのは、オフセット電圧に相当する。

ペDESTAL分布の幅をノイズの評価で取り扱える量、等価雑音電子数 (ENC) に換算するために、

- (1) ADC カウントからテストパルス入力電圧への換算係数、
- (2) テストパルス入力電圧から CCD 入力電圧への換算係数
- (3) CCD 入力電圧から CCD での生成電子数への換算係数

が必要である。

まず、(1)ADC カウントからテストパルス入力電圧への換算係数は、入力ゼロのときの ADC カウントとテストパルスの入力電圧の傾きから導出した。非線形効果が出ているため、直線のフィット範囲は非線形効果の小さい $[-20\text{mV}, 20\text{mV}]$ の範囲でフィットを行ったところ、

傾き $f'(0)[\text{mV}/\text{LSB}] = 0.815[\text{mV}/\text{LSB}]$ が得られた。

(2) テストパルス入力電圧から CCD 入力電圧への換算係数は、テストパルスの入力容量は 1pF 、CCD の入力容量は 20pF ということから、 $1/20$ となる。

(3) CCD 入力電圧から CCD での生成電子数への換算係数は、CCD の特性なので正確な値は CCD をつけたテストを行わないといけませんが、ここでは $5\mu\text{V}/\text{電子}$ を仮定する。

まず、ASIC の特性を表す値として、CCD のエミッタ出力端子の電圧に換算し、ノイズの大きさを評価すると、式 6.1 になる。

$$1[\text{LSB}] = f'(0)[\text{mV}/\text{LSB}] \times \frac{1[\text{pF}]}{20[\text{pF}]} \quad (6.1)$$

これは $40.8 [\mu\text{V}/\text{LSB}]$ に相当し、ペDESTAL分布より、 $33.2 \mu\text{V}$ の電子雑音、環境雑音が ASIC で生成し、測定されたことになる。さらに CCD の電子電圧変換係数を仮定すれば、 6.64 電子に相当する。これは、要求性能の 30 電子を十分満たす結果となっている。

6.4 読み出し精度

読み出し精度には、二種類あり、一つは AD 変換を行う精度、これは量子化雑音として現れ、微分非直線性で見積もることができる。もう一つは積分非直線性ではある。これは ADC の前段の回路の寄与を定量的評価に使うことができ、直線からのズレとして表される。ASIC では正常出力しているけれども、読み出しボードでのサンプリングミスも生じる可能性があることから、積分非直線性は、読み出し精度は 50MHz クロック (5M ピクセル/s) のデータを用いて評価した。なお、利得は最大の設定にしている。図 6.7 は、 50MHz 動作時の入力電圧に対する ADC 出力である。赤点はデータ点、黒線はフィット線、黒のバーは、誤差バーである。

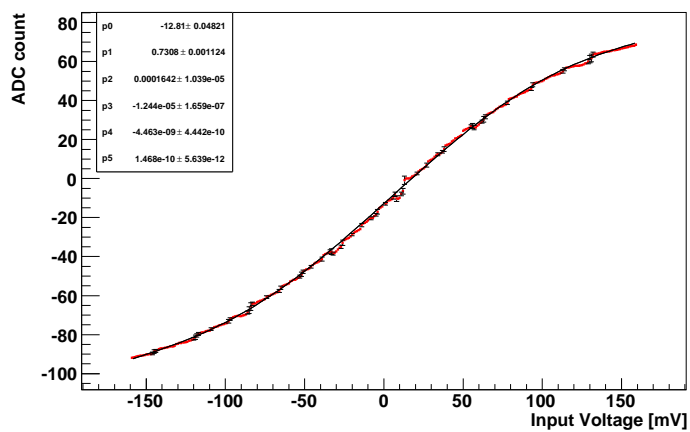


図 6.7: 入力電圧に対する ADC 出力

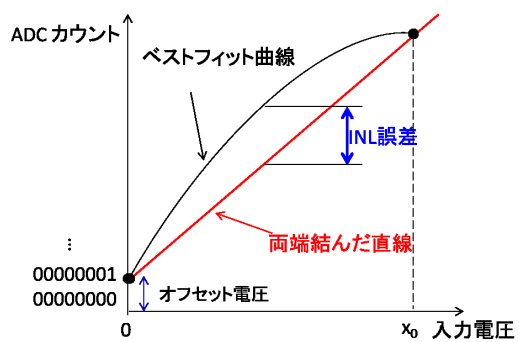


図 6.8: 積分非線形性の計算

6.4.1 積分非直線性 (Integral Non Linearity)

$$INL \equiv \left| \frac{\max(f(x) - g(x))}{g(x_0)} \right| \times 100 \text{ [%]} \quad (6.2)$$

ここで $f(x)$ は、範囲 $[0, x_0]$ もしくは $[-x_0, 0]$ におけるフィット 曲線 (ここでは 5 次関数を用いた。)、 $g(x)$ は、入力電圧 x が $0, x_0$ のときの点を結んだ直線を表す。INL(積分非直線性)は、ある範囲で $[0, x_0]$ 、実際の出力 ($f(x)$) と両端結んだ直線 ($g(x)$) のズレの最大値を出力範囲のレンジ ($g(x_0)$) の割合で表したものである。これは、AD コンバータ前段のアナログアンプやフィルタなどシグナルコンディショナ部分で生じる非直線性 (波形のひずみ) が表れるので ADC の前の前段部分の回路評価に使える。表 6.1 に利得設定が最大のときの 3 つの範囲で測定された積分非直線性を載せた。狭い範囲でもある程度大きい積分非直線性が見える。また、ダイナミックレンジが、本来の $\pm 128[LSB]$ の 63% しか出力できていない。

表 6.1: 範囲別でみた積分非直線性

入力電圧範囲 [mV]	積分非直線性 [%]	CCD 出力でのノイズ換算 [μV]
[-40:40]	4.01%	45.5
[-80:80]	6.58 %	48.5
[-160:160]	17.08%	52.5

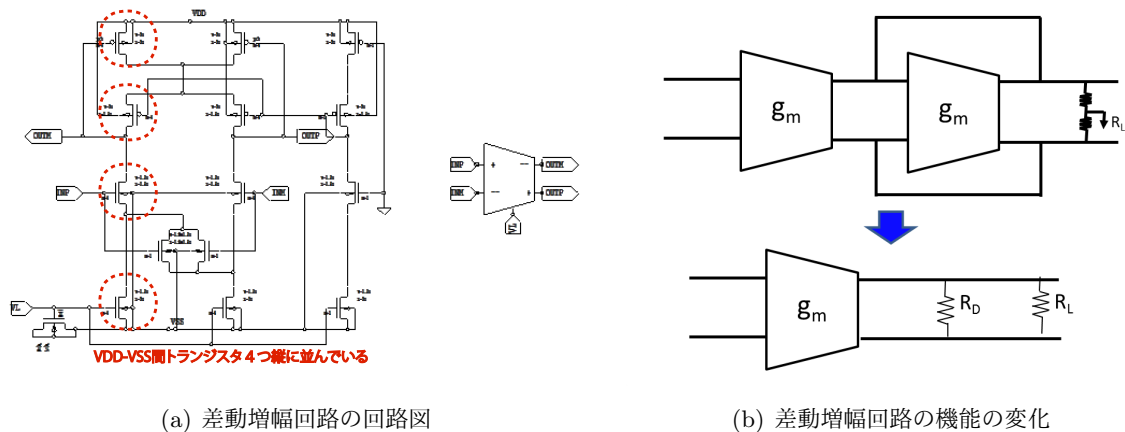


図 6.9: 差動増幅回路と利得減少の関係

今回は特に差動増幅回路を用いたことが、非線形性を生じさせた原因と考えられる。LPF などに使われるような差動増幅回路は、小信号で周波数調整をしたい場合、帯域よいし振幅も調整できるので適しているが、大きな信号を取り扱うのには不向きである。今の差動増幅回路は (図 6.9(a))、トランジスタが $V_{DD}V_{SS}$ 間に縦に 4 個連なるような差動増幅回路を (LPF, CDS に) 用いているた

め、信号が大きいとき、トランジスタ1個あたりのソース・ドレイン電圧 V_{DS} が飽和ドレイン電圧より小さくなることもある。²

こうなるとトランジスタ特性が飽和領域から非飽和領域に移り、抵抗として働く。図 6.9(b) に示すように、利得上げる OTA の機能の差動増幅回路に、負荷抵抗 R_L とドレイン抵抗 R_D が、並列につながってしまい、利得が逆に下がってしまう。さらに奇数次の非線形効果が見られることから、差動増幅回路の特性が見られる。(付録 C 参照)

6.4.2 微分非直線性 (Differential Non Linearity:DNL)

微分非直線性 (DNL) は、ADC 出力の局所的な凸凹の指標であり、理想曲線からの誤差を LSB 単位で表す。これによりコンパレータにおける量子誤差が見積もれる。微分非直線性 (DNL) は式 6.3 で定義する。

$$DNL \equiv f(x) - data(x) \quad (6.3)$$

$f(x)$ は 5 次のフィット関数を用いた。

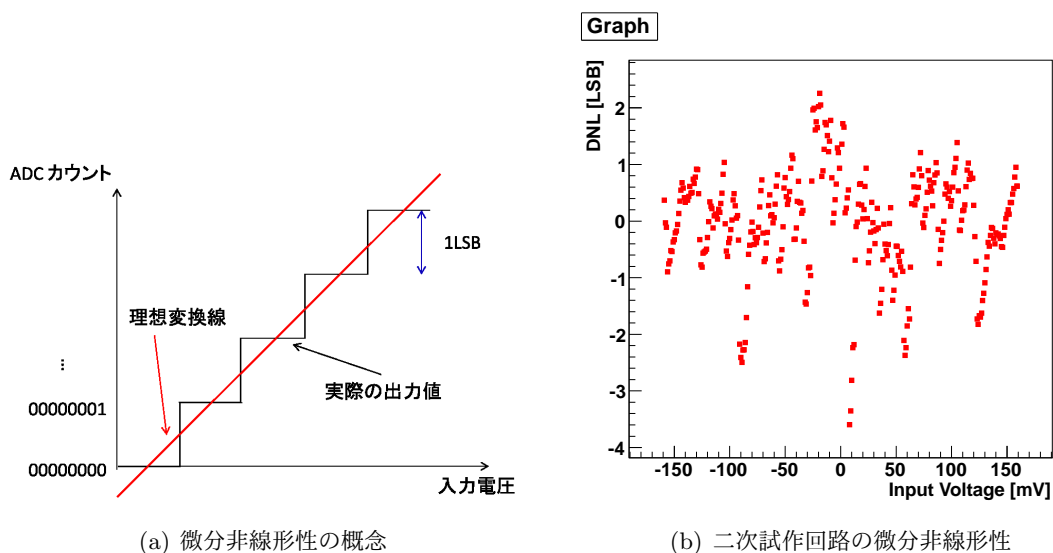


図 6.10: 微分非線形性と二次試作回路の結果

$$\text{量子誤差 (QE)} = |DNL|/\sqrt{12} = 2.0LSB \text{ となる。}^3 \quad (6.4)$$

ペDESTAL分布から得られる、電子雑音、外来雑音は合わせて、0.825 LSB だった。これに量子誤差の標準偏差を合わせると、

² $V_{DS} = ((V_{DD} - V_{SS}) - 2V_{in}) \div 4 < V_{th}$ 注 V_{in} : 信号電圧、 V_{th} : 飽和特性を保つ最小電圧値。飽和ドレイン電圧

³ADC が階段状の理想的な分布を取る際、DNL は箱形分布をとる。ここでは微分非直線性の最大/最小値の間を箱型分布していると仮定したときの標準偏差を計算した。実際の標準偏差はもう少し小さくなるはずである。

$$\sqrt{(\text{量子誤差 } (QE))^2 + (\text{ペDESTAL分布幅})^2} = 2.2 \text{ LSB} \text{ となる。} \quad (6.5)$$

となり、CCD の電子電圧変換係数仮定して得られる要求雑音レベルに相当する 3.7LSB 以下を満たしている。さらにノイズを占める割合としては、ADC での量子誤差が支配的という結果が得られた。

なお、ここで用いた DNL の評価は、DNL の挙動が理想的な ADC のようにきれいな 1LSB きざみののこぎり型をとることを仮定したものであり、本来は単純に rms に焼きなおすことができない。最終的なノイズおよび読み出し精度 (分解能) の評価には、CCD をつないで ^{55}Fe の信号を見て確認する。

6.4.3 微分非直線性の周波数依存性

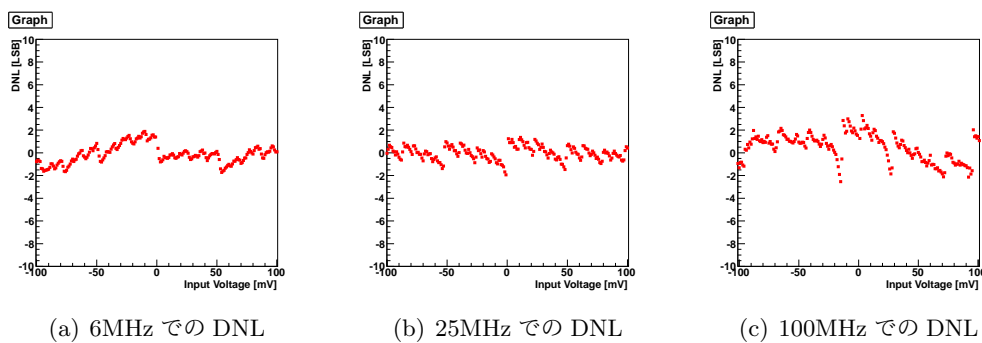


図 6.11: DNL 周波数依存性

図 6.4.3 に微分非直線性 (DNL) の周波数依存性を示す。ミッシングコードがない理想的な ADC は、図 6.10(a) のような出力をとり、DNL は $\pm 1/2[\text{LSB}]$ になる。SAR-ADC において、DNL が大きくなる主な原因として、コンデンサレイとコンパレータの構造が考えられる。低周波数の DNL 分布をみると、1LSB ほどの振れ幅の小さなノコギリ刃状の分布がある。これが、図 6.10(a) の階段状の出力、およびコンデンサレイの一番小さい LSB のキャパシタンスに相当する。ノコギリ刃状の分布が上下に振れているのは、コンデンサレイのキャパシタンスがバイナリウェイトと一致していないからである。一番 DNL が大きいのは、正負が入れ替わる (01111111 と 10000000)、MSB の切り替わりめのところである。各ビットはバイナリウエイトをもつキャパシタに蓄積された電荷を足し引きした結果に相当する。MSB の切り替わり目がキャパシタ容量のバイナリウエイトからのずれの影響が一番蓄積し、生じやすいところである。二番目に DNL が大きいのは、二番目に大きいビットの切り替わりのところである。

DNL の周波数依存性をみると、周波数が上昇するにつれ、DNL は悪化していくのが分かる。低周波で DNL の悪い、ビットの切り替わり目で特に悪化しているのが分かる。図 6.3(b) のシミュレーションでも示されているように、入力信号がビットの切り替わり目にあり、コンパレータの判断が難しいとき、コンパレータの出力は遅れる。コンデンサレイのキャパシタンスがバイナリウエイトからずれ、ミッシングコードが生じることは、コンパレータの判断できない入力領域

が広いことに相当する。高速化に従い、この領域は、さらに広がる。このため、さらなるキャパシタンスのマッチング、動作コンパレータの安定化が必要となる。また今回は、積分非直線性が大きいので、理想的な出力分布が解析に用いているフィット線からずれていることからくる系統誤差、および、高い周波数でコンパレータの判断が難しい場合においては、コンパレータの出力波形の high 期間が短くなり、バックエンドでサンプリングミスしていることも考えられる。これらの原因の寄与は分離できないため、ADC の正確な評価の為に、次試作では積分非直線性を改善し、出力波形の形式を変更する予定である。

6.5 消費電力

100 MHz CK 動作時での V_{DD} , V_{SS} , V_{DD1} , V_{SS1} 電源に流れる、電流値を測定し、そこから、消費電力を求めた。

表 6.2: FPCCD2 の消費電力の測定結果

電源	電圧 [V]	電流 [mA]	消費電力 [mW]
アナログ回路用正極電源 (VDD)	1.65	3.60	5.94
アナログ回路用負極電源 (VSS)	-1.65	3.95	6.52
デジタル回路用正極電源 (VDD1)	1.65	5.19	8.56
デジタル回路用負極電源 (VSS1)	-1.65	5.94	9.80
アナログ系総合	1.65	7.58	12.5
デジタル系総合	1.65	11.2	18.4
1 チャンネル当たりの総消費電力	±1.6	18.7	30.9mW/ch

結果は、シミュレーションとおおむね一致している。このことから、各部分回路の要素について消費電力のシミュレーションを行い、消費電力の大きい部分回路の特定をした。また、静的消費電流を流している要素の消費電力を見積もった。まず、アナログ消費電力について、各部分回路のアナログ消費電流のシミュレーションしたところ、測定された消費電流の内、大部分はアナログバッファ(ABUF)と差動増幅回路(DIFAMP)で消費されていることがわかった。アナログバッファはモニター、回路分離に用いるという用途上、消費電力が大きい。二次試作回路では、性能評価のためモニター回路が数多く設けられている。

アナログ消費電流(%)

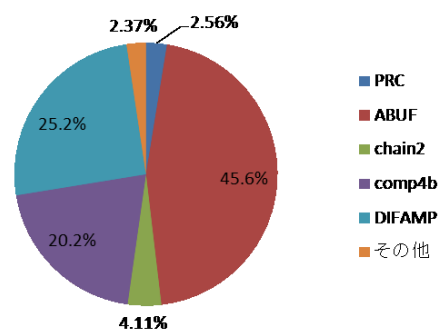


図 6.12: 部分回路でのアナログ消費電流

次にデジタル消費電力についてだが、他の静的な DC 電流が流れる部分回路について考える。シミュレーションによりパラメータ設定の LVTTTL 信号を受信する LVTTTL レシーバーが、DC 電流を流していることが分かった。入力電圧がないとき 1 セルあたり 1.3mA 消費するので、チップ全体で最大 22mA 消費する。三次試作回路では、LVTTTL レシーバーのデザインを修正して、DC を流れなくする。

6.6 部分回路

6.6.1 バイアス回路

表 6.3: バイアス電圧のモニタ出力

名称	用途	電圧値 [mV]	シミュレーション結果
VH1	PRC 設定 VH	25	23.6
VH5	コンパレータのオフセット設定	300	303.7
VL1	PRC 設定	-270	-273.5
VL2	LPF,CDS 設定	-260	-263.9
VL3	LPF 設定	-260	-263.9
VL4	アナログバッファ設定	-535	-535.2
VL5	コンパレータのオフセット設定	-535	-535.2

バイアス電圧の確認を行ったところ、シミュレーション通りの設定を行えていることを確認した。バイアス電圧は回路上の各トランジスタに対して指定した電流を流す定電流源となるよう設定するためのゲート電圧である。トランジスタの形状や M 値で決まる相互コンダクタンスがシミュレーションの期待値と等しければバイアス電圧の値は変わらないが、製造プロセスの誤差で相互コンダクタンスが変わるとバイアス電圧は理想的な値からずれる。従って製造プロセスの成否を判断するためにはバイアス電圧の値がシミュレーションの期待値に対しどの程度ずれているかを確認する必要がある。全てのチャンネルで信号処理動作が確認されているチップについてバイアス電流を $100 \mu A$ に設定し、バイアス電圧が適切に生成されているかどうかを確認した結果を表 B.1 に示す。VH は pMOSFET 用、VL は nMOSFET 用のバイアス電圧であり、各々の電圧値はゲート-ソース間電圧 V_{GS} を表している。

6.6.2 前置増幅器

-100mV のテストパルスを入れた際、Control LCR で帰還容量を設定し、出力された ADC 値をみたところ今、前置増幅器の利得を (帰還容量で) 変えながら、ADC 値を測定し、他の値は定数で $k \equiv \text{ADC 変換係数} \times \text{LPF 利得} \times \text{CCD 変換係数} \times \text{テストパルス電圧}$ と定義する。 k は、前置増幅器の利得が 1 のときの ADC 値に対応し、図 6.13 の傾きとなる。これより、前置増

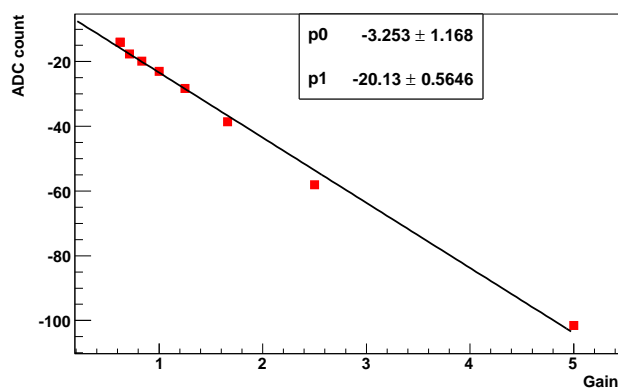


図 6.13: 前置増幅器による利得

幅器の利得誤差を導出できる。利得誤差は、1.88% が求められた。

6.6.3 ローパスフィルタ

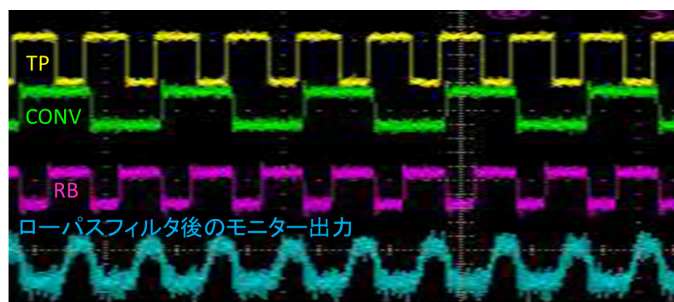


図 6.14: ローパスフィルタ後のモニター出力

6MHz のクロック動作時のローパスフィルタ後の電圧レベルのモニター出力による確認。入力時のテストパルスの矩形波の波形が、ローパスフィルタ後では、高周波成分が取れているのが見える。

6.6.4 ADC

6MHz のクロック動作時の ADC の INPUTBLOCK の電圧レベルをモニターしたものに相当する。

6M ピクセル/秒の読み出し動作時の ADC 内の INPUTBLOCK の電圧の変化をモニターしてみたものである。テストパルスが入ると INPUTBLOCK に電荷がたまり、電圧が上がって、CONVSTART が立ち上がると AD 変換が始まり、逐次比較の結果で電荷が足し引きがされる様子が見え、AD 変換が行われているのが分かる。

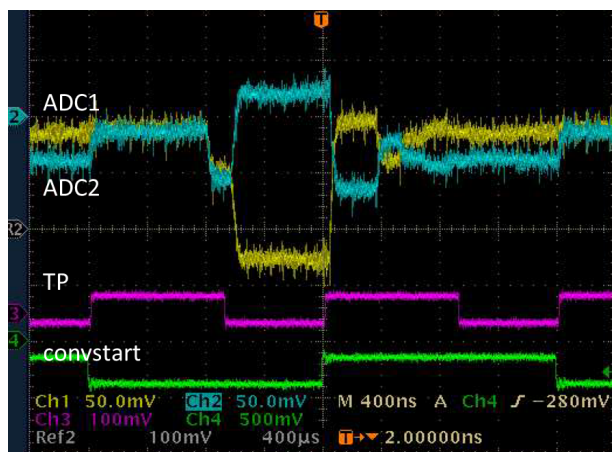


図 6.15: ADC 内の電圧のモニタリング

第7章 第三次試作回路の開発

7.1 概要

CMOS 利点としてスイッチングの瞬間しか電力消費しない、少ないデバイスで CMOS ゲート作れることが挙げられるが、アナログ回路にとってトランジスタは単なるスイッチではない。二次効果の影響が生じ、これがデバイスの微細化で顕著になる。三次試作回路では、プロセスの微細化を進めることで、消費電力を削減する。デジタルは速度、電力のトレードオフに対し、アナログ回路は、速度、電力、利得、精度、電源電圧のトレードオフを考えなければならない。デバイスパラメータ、回路パラメータは製造上のプロセスなばらつき (P)、電源電圧 (V)、周囲の温度 (T) で変化する。この章では、プロセスを変更することにより、生じたトレードオフを補償するため行った回路変更と、PVT がそれぞれ変化する範囲内で要求性能 (速度、精度、消費電力) を満たすかを評価したシミュレーションの結果の説明をする。

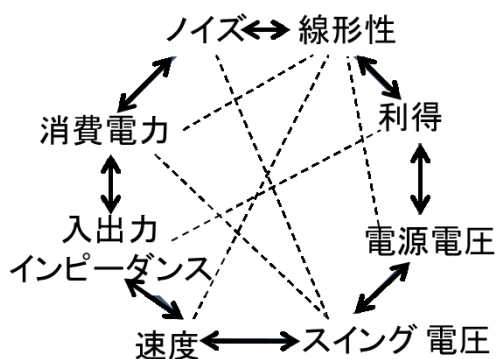


図 7.1: アナログ回路設計の八角形

7.2 第三次試作回路の目標と方針策

三次試作回路では、FPCCD 用読み出し回路に要求されている以下の性能の実現を狙う。

要求性能

- (1) 消費電力 6mW/ch の実現
- (2) 読み出し精度の改善 (微分非直線性)、ノイズの要求を満たす。

(3) 読み出し速度 10 Mピクセル/s の動作

要求性能満たすための方針

(1) 二次試作では、目標としていなかった 6mW/ch の消費電力の要求を目指す。

- まず、LVTTL やモニター回路などで静的に生じる消費電力 (DC 電流) をなくす。二次試作では、試験基板にどのモニター回路に接続するか切り替えのスイッチはあるものの、モニター回路自身に電流を流すのをオンオフするスイッチは設けていなかったため、常に電力を消費していた。
- 三次試作回路では、モニターが必要ないとき (通常運転時) には、モニターをオフできるように回路デザインを変える。また、モニターの箇所も減らす。差動増幅回路については、他の消費電力の小さい部分回路で代替する方針をとる。これによってダイナミックレンジも向上する。
- アナログ回路に関しては、さらに DIFAMP や ABUF4 などの消費電力の大きい部分回路を他の回路で消費電力の小さい代替。
- 1 チャンネルにつき 2 つの ADC を用いており、以前は、両 ADC が入力信号ないときも大きな電力を消費するコンパレータも CK で変換動作を行うようになっていた。(0 信号を変換し続ける) これを convstart で入力信号を取り扱わないときは、動作を止めるように変更した。これにより二次試作回路で三番目に電力を消費していた部分回路の消費電力をおおよそ半減できる。
- シーケンサ (8 つの各 CHAIN1 に含まれる制御回路の動作に使用する信号の生成回路) は全体回路に共通して使用するため CHAIN1B や CHAIN2 内ではなく、全体回路の TOP 階層に一つ置く。
- デジタル、アナログ消費電力共にプロセス変更により削減。

(2) 二次試作では、ペDESTAL 分布の幅のノイズこそ 6.6 電子と精度のよい測定できたが、読み出し精度 (微分非直線性) が悪く、ADC での量子化雑音が大きい。これを改善しなければ、ノイズと信号を正確に区別できない。

(3) 消費電力、読み出し精度の改善を図ったことによるトレードオフで、10M ピクセル/s の高速読み出し動作を保障しなければならない。また、性能評価のため二次試作回路で設けられていた、冗長的な機能をなくし、回路の簡素化を図ることでノイズを抑制できる。

他にも現在において、FPCCD の読み出し回路に課された要求性能にはないが、改善するに越したことはないので、付加項目として以下を図る。

付加項目の目標

- (1) 積分非直線性 (ダイナミックレンジ) の改善
- (2) 放射線耐性対策
- (3) ASIC の出力信号のサンプリングの容易化
- (4) テストパルス及び ASIC に供給する信号の内部生成化

付加項目の目標達成のための方針

- (1) FPCCD で生じる信号は 1500 電子と小信号のため、現在、ダイナミックレンジの要求されていないが、二次試作で差動増幅回路を用いたことにより大きな積分非直線性が見られたので、三次試作回路では取り外し、他の回路で代替することで改善する。
- (2) 中でもコントロールレジスタは、運転時は長時間、設定したパラメータの値を維持しなければならないため、放射線耐性が強くなければならない。DICE フリップフロップを使用することで耐性を持たせる。
- (3) 二次試作では、ASIC の出力信号の受信及び解析にチャンネルごとの遅延の評価、400MHz の高速サンプリングが必要だった。三次試作回路では信号の出力パターン形式を変更し、同期信号を返すことで容易化を図る。
- (4) ILC の実際の実験では、低物質質量、低消費電力が重要となるため、信号線 (配線) も多くできない。二次試作では、ASIC の動作に CK(クロック)、RB、TRACK、CONVSTART とテストパルスの 5 本 (差動対を数えると 9 本) の信号線が必要だったが、これを CK、SYNC(信号生成専用の信号) の 2 本 (差動対を数えると 4 本) に削減する。

以下に上で述べた回路変更の方針を表 7.1 まとめる。

7.3 回路変更点

7.3.1 全体回路/信号生成回路

まず、CCD センサー開発の研究と区別するため、試作回路の名称を FPCCD シリーズから AF-FROC(Asic For FPCCD Read Out Circuit) シリーズに改め、三次試作回路の本チップを AF-FROC01 とした。まず全体回路の図を以下に示す。全体回路の構成の変更点として共通回路のシーケンサを外に出す。TRACK、RB、CONVSTART の生成の他、二次試作の SAR 論理回路の一部である ADC のシフトレジスタの信号に対応するものを生成するため、各チャンネルの ADC シフトレジスタがなくなる。

他に全体回路の変更点としてプロセスの微細化に伴って電源電圧の変更 (1.65V → 1.25V) 及びイ

表 7.1: 三次試作回路の方針

消費電力対策	… 低消費電力入出力パッドの使用	
	… シーケンサを外に出す	
	… CDS 等の回路の簡素化	
	… モニター回路をオフできるようにする	
	… LVTTLR で貫通電流流れないようにする	
	… TSMC 025 プロセスに変更	
	↔ 副作用:コンパレータの不安定性	… スピードコントロール
	… 差動増幅回路の使用をやめる	
DNL 対策	… スピードコントロール	
INL 対策	… 差動増幅回路の使用をやめる	
放射線耐性対策	… DICE フリップフロップの使用	
サンプリングミス防止策	… 出力パターンの変更	
動作信号線削減	… テストパルス及び ASIC 動作信号の内部生成化	

インターフェースの信号レベルの変化¹がある。また、内部信号生成するため、また出力信号の形式を変更したことにより、PIN 数を 100 ピンから 104 ピンに増加し、同期信号として CK 信号の high/low、CONV の high/low を出力する。

¹LVDS は、電流設計値は変わらず 1mA のため変化ないが、LVTTL は DGND と電源電圧を用いた規格のため変化する

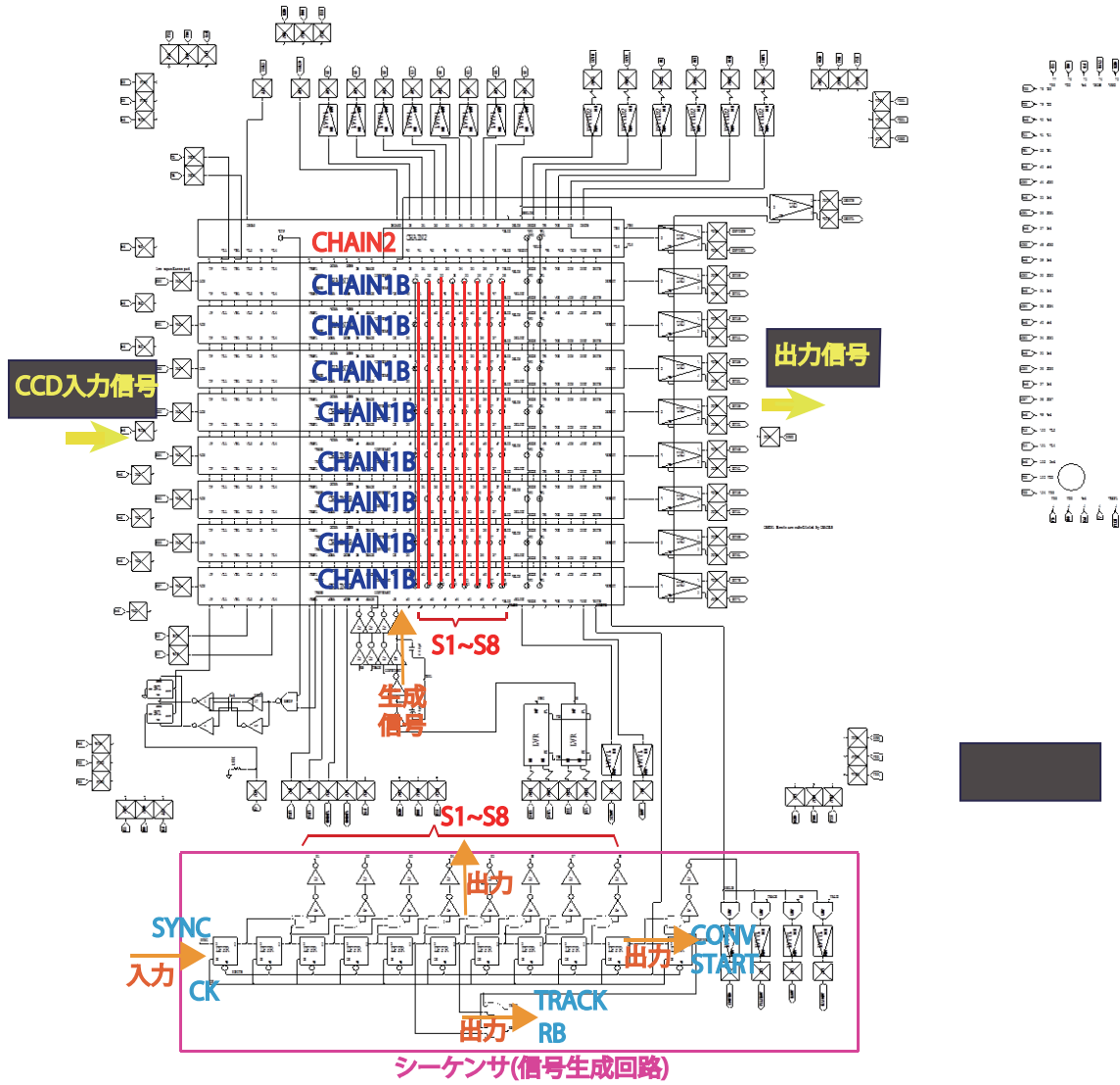


図 7.2: 三次試作全体回路

7.3.2 プロセス

バイポーラトランジスタで構成される TTL などは、常に回路に電流が流れつづけるのに対し、CMOS では論理が反転する際に MOSFET のゲートなどの容量を充電させる (あるいは放電させる) ための電流しか流れない為、消費電力の少ない論理回路を実現できる。微細化することにより、単一の MOSFET をスイッチングさせるのに要する電力量を減少させることができる。さらに MOSFET はスケールが容易という特性をもつ。CMOS プロセスの変更 $0.35\mu\text{m}$ から $0.25\mu\text{m}$ とスケールを小さくすることで、全体の容量が下がり、消費電力を抑えることができる。プロセスの微細化 (スケール) により、他にも様々な特性が変化する。MOSFET のスケールを変えることにより変わる特性をスケール則と呼び、以下で説明する。

スケール則

CMOS 論理回路の利点として、電圧スイッチ制御できることから、静的な消費電流をゼロにできることと、MOSFET のスケールが容易性がある。スケール則の利点は容量と消費電力の低下である。スケール則理論は、(1) 全ての縦方向、横方向の寸法を α 倍縮小する。(2) 閾値電圧と電源電圧を α 倍縮小する。(3) 全ての不純物密度を α 倍増加する。全ての寸法と電圧をスケールダウンすることによって、トランジスタ中の全ての電界は一定となる。これを定電界スケール則といい、注目すべきは、 $W, L, t_{ox}, V_{DD}, V_{TH}$, ソースドレインの接合深さ、周辺長は全て α 倍縮小される。スケール後のドレイン電流を二乗則にのっとして考えてみる。

$$I_{D,scaled} = \frac{1}{2}\mu_n(\alpha C_{ox})\left(\frac{W/\alpha}{L/\alpha}\right)\left(\frac{V_{GS}}{\alpha} - \frac{V_{TH}}{\alpha}\right)^2 \quad (7.1)$$

$$= \frac{1}{2}\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \frac{1}{\alpha} \quad (7.2)$$

このようにトランジスタの電流は α 倍小さくなる。スケール則の利点は容量と消費電力を低下できることである。スケールされたトランジスタのチャンネル容量を以下に示す。

$$C_{ch,scaled} = \frac{W}{\alpha} \frac{L}{\alpha} (\alpha C_{ox}) \quad (7.3)$$

$$= \frac{1}{\alpha} W L C_{ox} \quad (7.4)$$

次にデジタル回路について注目すると、CMOS インバータ回路の遅延時間はおよそ

$$T_d = \frac{C/\alpha}{I/\alpha} \frac{V_{DD}}{\alpha} \quad (7.5)$$

$$= \left(\frac{C}{I} V_{DD}\right) \frac{1}{\alpha} \quad (7.6)$$

と α 倍縮小される。

この結果、デジタル回路のスピードはスケール比だけ速くなる。一方消費電力については $P = f C V_{DD}^2$ で示すことができる。ここで f は動作周波数である。動作周波数とゲート

数が一定であるならば

$$P_{scaled} = f(C/\alpha)(V_{DD}/\alpha)^2 \quad (7.7)$$

$$= fCV_{DD}^2/\alpha^3 \quad (7.8)$$

となる。一方レイアウト密度、もしくは一定面積におけるゲート数は α^2 となる。

スケージングのアナログ回路における影響を考えてみる。MOS のトランスコンダクタンスは、以下のように書き表すことができる。

$$g_{m,scaled} = \mu(\alpha C_{ox}) \frac{W/\alpha}{L/\alpha} \frac{V_{GS} - V_{TH}}{\alpha} \quad (7.9)$$

$$= \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \quad (7.10)$$

とトランスコンダクタンスは、全ての寸法、電圧がスケージングされても MOS のトランスコンダクタンスは一定である。真性利得 $g_{m}r_o$ も一定となる。

アナログ回路に対する最も大きな影響は電源電圧の低下である。理想的なスケージングにおいて電圧振幅の最大許容値は $1/\alpha$ 倍となるため、 V_{DD} が $1/\alpha$ 倍になることにより、

$$P = (V_{DD}/\alpha)(I_{DD}/\alpha) \quad (7.11)$$

$$= V_{DD}I_{DD}/\alpha^2 \quad (7.12)$$

であり、消費電力は $1/\alpha^2$ となる。

このようにトランジスタ寸法 L, W (プロセスの大きさ) $1/k$ 倍になると、膜厚 t_{ox} $1/k$ 倍、基板不純物濃度 N_a $1/k$ 倍、電源電圧 V_{dd} が $1/k$ 倍になり、電流 I_d が $1/k$ 倍、容量 C が $1/k$ 倍、遅延時間 $t = CV/I$ が $1/k$ 倍、消費電力が $P = IV$ が $1/k^2$ 倍、トランジスタ数が k^2 倍となり、微細化すると高速化、低消費電力、高集積化が図れる。一方、回路の反応が時定数 CR で規定されることが多いが、プロセスの微細化に伴い、スピードが上がりすぎて、サンプリング時間を間違えるなど、タイミングの関係で誤作動を起こすことがある。また我々は、小信号を取り扱いたいので、プロセス微細化に伴い電源電圧が低くなることで、ADC 前の増幅器で増幅に使える電源電圧が足りなく、不自由となる。このようなトレードオフが存在するため、我々は $0.25 \mu m$ プロセスを選択した。²

表 7.2: プロセスと電源電圧

プロセス	$0.35 \mu m$	$0.25 \mu m$	$0.18 \mu m$
電源電圧	$\pm 1.65 \text{ V}$	$\pm 1.25 \text{ V}$	$\pm 0.9 \text{ V}$

²他にも $0.25 \mu m$ プロセスは CMOS の Deep nwell 構造が用いられるため、デジタルとアナログの電源を一緒に載せられるメリットがある。

7.3.3 前置増幅器

二次試作回路では、CCD と ASIC の間の入力結合容量を 20pF だった。(付録 D 参照) 入力結合容量が大きいと入力端子と GND の間の入力容量が大きくなる。また、CCD からの出力インピーダンスは、10~15 kΩ と大きく、 $\sim CR = 20 \text{ pF} \times 10 \text{ k}\Omega = 200 \text{ ns}$ と時定数が大きくなり、CCD からの入力になまってしまい、10M ピクセル/秒動作に間に合わない現象が起きてしまう。

そこで三次試作回路では、入力結合容量を 3.2pF に変更した。前置増幅器では、CCD の信号を入力結合容量と帰還容量で増幅していたため、前置増幅器の帰還容量 C_f を 0.05 pF~0.1 pF に変更し、増幅率 2 段階で設定可能にした。それに合わせてテストパルス入力容量 C_{in} も 0.1 pF に変更した。

小信号 500 電子が検出されたとき、CCD の変換係数 $5 \mu\text{V}/\text{電子}$ を仮定すると、入力結合容量 3.2 pF、帰還容量 0.1 pF で

$$V_{AIN} = 500 \text{ 電子} \times 5 \mu\text{V}/\text{電子} \times \frac{3.2 \text{ pF}}{0.1 \text{ pF}} \quad (7.13)$$

と ADC の入力信号が $\sim 90 \text{ mV}$ となり、これは、 $\sim 45\text{ADC}$ カウントに相当する³ため、小信号でも測定できる。

入力結合容量が小さくなったことにより、入力信号が小さくなるため、環境雑音からの要求が厳しくなる。また帰還容量も小さくなったため、寄生容量の影響を受けやすくなった。前置増幅器は、高インピーダンスを持たせているため、寄生容量は小さなアンプとして働いてしまう。そこで PRC 回路の構造を変え、従来のフォールテッドカスケード回路 (folded-cascode) に加え、さらにゲインブーストを用いた回路にし、ドライブ能力の高い構造にし、寄生容量の影響を抑える構造にした。PRC のバイアス電流も変更しており、二次試作では $600 \mu\text{A}$ だったのを三次試作では $220 \mu\text{A}$ にし、消費電流を削減している。

7.3.4 LPF

LPF は消費電力の大きい DIFAMP で構成されていたため、取り払い、帯域の狭い、消費電力の低いアナログバッファで代用する。コンパレータ出力される間にはもう LPF で落とした周波数帯域の周波数成分も多く復活している為、第三次試作では LPF を取った。そもそも、雑音は \sqrt{CR} の時定数でしか効かない。大きくても Factor2 しか変わらない。また二次試作の性能評価に出ていた、飽和特性も緩和し、ADC の範囲も大きくとれる、つまりダイナミックレンジが改善されると予想される。

7.3.5 相関二重サンプリング (CDS)

二次試作回路の評価で差動増幅回路を用いることにより、ダイナミックレンジが制限されることが分かった。三次試作回路では、CDS に使われてた差動増幅回路をとりさり、簡素化した。(図

³参照電圧 $\pm 250 \text{ mV}$ で $\pm 128 \text{ ADC}$ カウントのため、1 カウントあたり $\sim 2 \text{ mV}$ となる

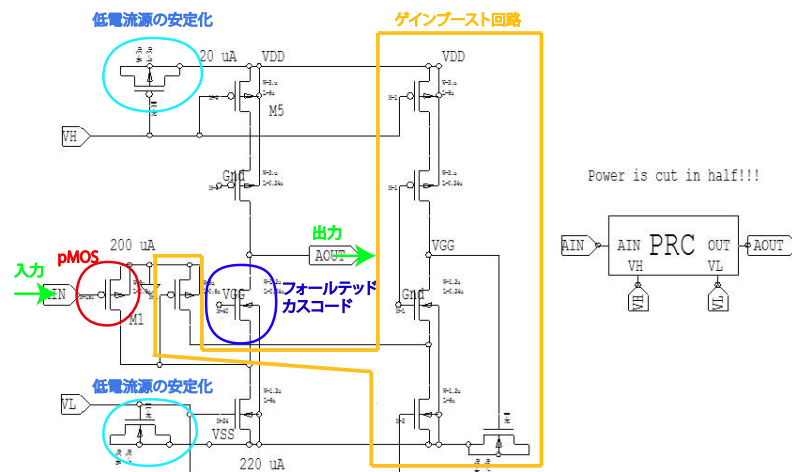


図 7.3: ゲインブースト回路

7.4) 図 7.4 の平行に走っている二線で下線では、TRACK 信号でスイッチをオフし、 0.4pF のキャパシタでリセット電圧レベルをホールドする。上線は、下線の逆位相の信号で前記のスイッチの電荷注入を打消し、INPUT BLOCK でリセットレベルとの差をとることで信号部分の電荷のみを抽出する。 kT/C 雑音はスイッチで容量を充電するようになっていところから発生する。二次試作の回路は CDS での kT/C 雑音が主な雑音源だった。CDS のキャパシタ容量は、小さいと kT/C 雑音が増加し、大きいと時定数が上昇し前置増幅器の出力信号がなまってしまう。このことから 0.4 pF が設定されている。三次試作では、この容量は変えない。

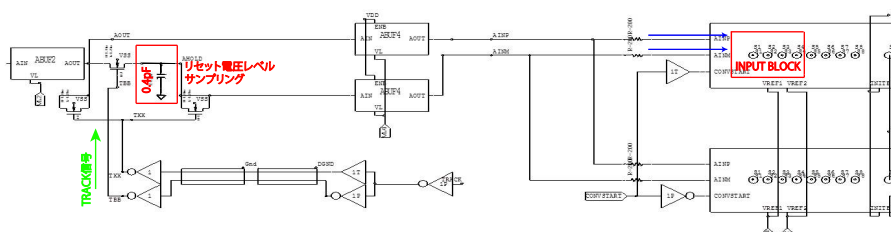


図 7.4: 相関二重サンプリング回路図

7.3.6 ADC

ADC は、オフセット調整回路を取り外すことと、コンパレータの変更をした。

7.3.6.1 オフセット調整回路

三次試作回路では、オフセット調整回路を取り外す。リングングは、インダクタンスとキャパシタ容量による LC 共振によるものであり、LC で生じる位相の補正を行うのが、オフセット調整回路だった。しかし、AD 変換中に使用する DAC の CAPBLOCK には、スイッチと抵抗 R しかない

ため、リングングは生じないため、三次試作回路では取り外す。実際、二次試作評価の際も、オフセット調整のパラメータをコントロールレジスタで調節しなくとも、10M ピクセル/s (100Mbps) の読み出し速度で動作できた。

7.3.6.2 コンパレータ

通常によく用いられるコンパレータは比較を行うだけのオペアンプ型ものが多いが、オペアンプは電力を大量に消費し、処理も遅い。我々は微小信号を高速処理しかつ消費電流を抑えなければならないため、ダイナミックコンパレータと呼ばれる[?]を採用した。このコンパレータは、おおまかに増幅部分とラッチ部分に分けられ、ラッチはインバータ二つで構成されている。(図 7.5)

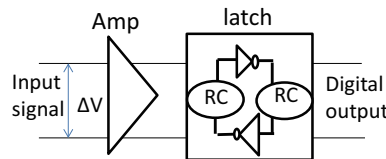


図 7.5: コンパレータの概念図

図 7.6 に示されるように、クロックを入れると、上から大電流が流れ、AINM, AINP の入力電位によって、右左いずれかのトランジスタに大電流が流れ、電位差が増幅される。十分大きな電位差が増幅されたところで、二つのインバータで構成されたラッチが正帰還をかけ、安定化する。電流を止めて、スイッチをショートすることでリセットされる。入力の小電位差を正確に増幅できるようにコンパレータのレイアウトを対称化することが重要となる。

プロセスの微細化に伴い、変わると考えられるのは、寄生容量の影響とセトリングタイム。⁴

プロセスの微細化に伴い、寄生容量の影響が大きくなる。トランジスタに個体差があり、浮遊容量の付き方も異なる。電流源がONになったときに、急激に電流が流れ始めるので、二つのインバータから構成されるラッチがメタステーブルな状態に陥ることがあると考えられる。電流が突入するとき、AINM と AINP の PMOS トランジスタの差動対が、ゲート電圧に応じた電流だけを流してくれればいいのだが、これ以外にスパイク状の電流がソースドレイン間の浮遊容量によって流れる。この電流スパイクによって、蓄積情報が反転し、間違っラッチが掛かってしまうことがある。

セトリングタイムに関しては、温度が下がることにより、時定数 C_G/g_m が下がることによって、電流レベルがセトルする前にコンパレータがサンプリングを行い、誤動作を起こすときがある。(コンパレータの動作の不安定化) 低温(実際の実験の環境)では、MOSFET の一般的特性上、平均自由行程が長くなって、モビリティが高くなり、相互コンダクタンス g_m が上がるためであり、プロセスの微細化も C_G の低下なので同様の理由でコンパレータが不安定になり、製造上のプロセスのバラツキ(酸化膜の厚さの違い等)によっては、誤動作を起こす恐れがある。0.18 μm のプロセスではこの現象は起きることが報告されており、我々の採用している 0.25 μm でも生じる可能性があるため、温度等の条件に応じてスピード調整をできるようにした。

⁴ADC のデジタル出力はコンパレータに入力される電位差が増幅され、帰還され、落ち着いた安定したレベルをサンプルすることにより、決定される。この安定したレベルに落ち着くまでの時間。

スピードコントロールは図7.6にあるように、キャパシタと1kΩ抵抗を挟むことで、時定数を大きくし、寄生容量によるスパイク電流にかかりにくくなり、電流レベルがセトルする前に正帰還をかかせることを防ぐ。図7.5では、インバータ間にRC回路をはさむことに相当する。キャパシタ容量は、初期設定で入るように入っており、必要に応じてControl CCRでキャパシタ容量を増やすように調節できる。図7.7では、判定する側から見れば、容量は WLC_{ox} に見える。

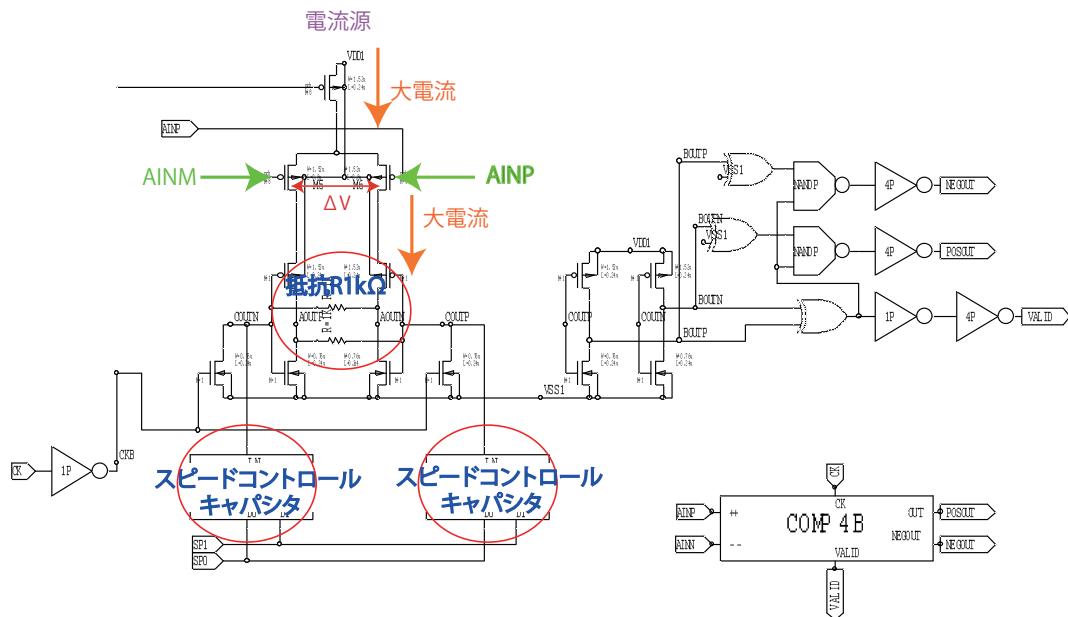


図 7.6: コンパレータ回路図

7.3.7 LVTTTL(Low level TTL Receiver)

LCR,CCRのパラメータをchain2に設定するのだが、そのパラメータの信号を受けるレシーバが、LVTTTLである。パラメータは実験を始める際、一回すればよいので高速転送する必要がなく、TTLで受信する。このLVTTTLは、二次試作の設計では、入力信号のH/Lに関わらず図7.8のようにラッチのトランジスタでDC電流が流れ続けている設計になっていたため、これをたすき掛けの形に変更することで、ラッチのトランジスタに電圧がかかり、DC電流が流れないようにした。

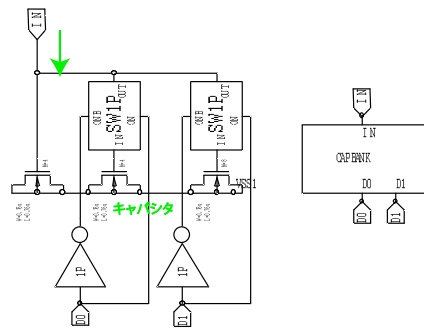


図 7.7: コンパレータのスピードコントロールに用いられるキャパシタ

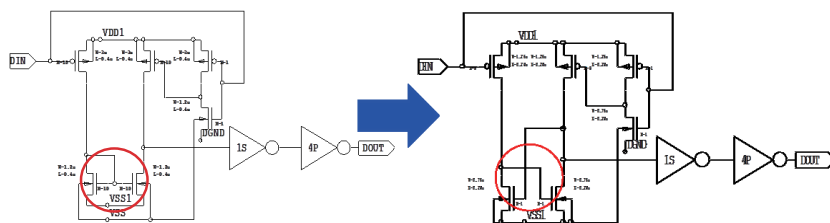


図 7.8: LVTTTL の回路図

7.3.8 放射線対策、LCR、CCR

一般に半導体集積回路に放射線が当たるとソフトエラーという誤作動がおきることが知られている。放射線がシリコン基板を通過するとその軌跡に沿って大量の電子正孔対が発生する。その電荷がノイズ電流や電圧となって回路の動作を乱すために起きるエラーである。[14]⁵今回は特に放射線が直接コントロールレジスタのフリップフロップに当たって、データを反転させてしまうようなシングルイベントアップセット (SEU) に対する対策を行った。スケールリングにより、スイッチオンオフを決める Q_{crit} が小さくなり、電源電圧が低下し、トランジスタ (記憶素子を構成する MOSFET) の数が大きくなったため、SEU 起きやすくなった。他のところに放射線があたって、生成されたパルス信号が回路上を伝搬し、誤作動を起こすシングルイベントトランジエント (SET) もある。

二次試作までは通常用いられるマスタースレーブ型 D-フリップフロップ (Master Slave type Flip Flop) が使われた。これは SR フリップフロップを直列に 2 つ内部に備えた D-フリップフロップを 2 つ用意したものである。入力線 D に直結した方をマスターとよび、出力線 Q に直結した方をスレーブと呼ぶ。マスターとスレーブを 2 つ用意するのは、入力線 D のデータが出力 Q に現れるのが即時であるとする、シフトレジスタのようにそれをたくさん並べた場合、入力の伝播が即時に次々と起こり、1 桁だけのシフトでなく一度にたくさんのシフトが行われてしまうからである。マスターにまず入力の値をコピーしておいて、マスターへの入り口を閉じ、しかる後にスレーブにコピーすればそういう不都合は避けられる。D-フリップフロップは荷電粒子の入射に伴

⁵ILC では、200~300krad の放射線が崩壊点検出器にあるとされ、トータルドーズ効果の影響はさほどなく、シングルイベントへの対策を行った。

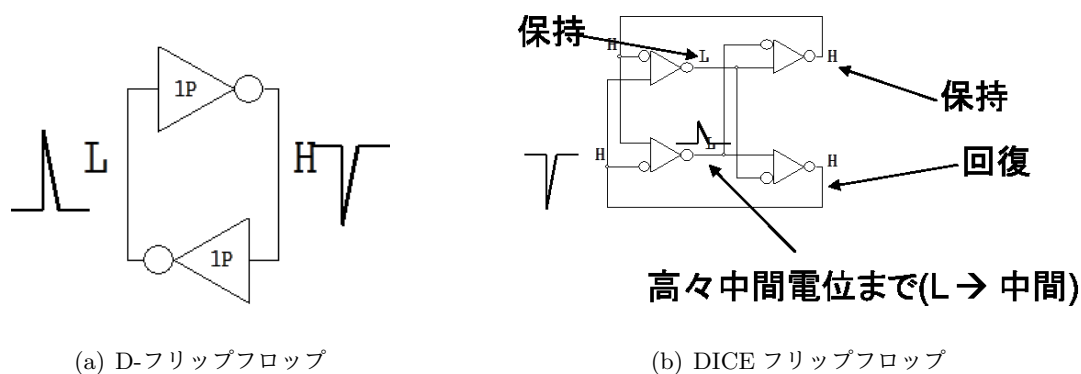


図 7.9: D-フリップフロップと DICE フリップフロップの概念図と SEU の関係

う異常信号が正帰還により保持されてしまうことがある。(図 7.9(a))

三次試作回路では放射線対策として DICE FF(Dual Interlocked storage Cell Flip Flop) を使用する。DICE FF は、ラッチが 2 つあってそれぞれ PMOS、NMOS のインバータがたすき掛けになっていて、片方の記憶素子のデータが破壊されてビット反転しそうになっても回復できるようになっている。(図 7.9(b))

以下に DICE FF の性質を記述する。

- (1) 同じデータを記憶するラッチを 2 つ用意することで冗長性をもたせる。
- (2) 放射線でデータが破壊されていない方のラッチが破壊されている方のラッチに正帰還によって状態回復する。
- (3) SET パルスはパルス幅が短いため、2 つのノードの記憶ノードそれぞれに供給するクロック信号に時間差を設け、所定の持続時間に達しないクロックパルスを SET パルスとして弁別し、排除する。

7.3.9 デジタル信号伝送方式の変更

二次試作回路では、ASIC 出力信号のパルス幅が狭く、400MHz の高速サンプリングと詳細な遅延評価が必要だった。実際の ILC 稼働時に詳細な遅延の評価をチャンネルごとに行うのは非現実的かつサンプリングミスも生じるため、これを容易化するために、三次試作回路では、ASIC のデジタル信号伝送方式の変更を行う。我々は、コンパレータのデジタル出力情報を伝送するにあたり、0 と 1 の変化をパルス波形の有無に対応付けて、変調を行わないそのまま送受信する伝送方式、ベースバンド伝送方式 (Baseband Transmission) を用いている。

二次試作回路では、ASIC から出るシリアル信号の出力は、出力 1 でも必ずゼロに戻るベースバンド伝送方式の一つである Return-to-Zero 方式を用いていた。(図 7.12(a)) これだと、出力信号は

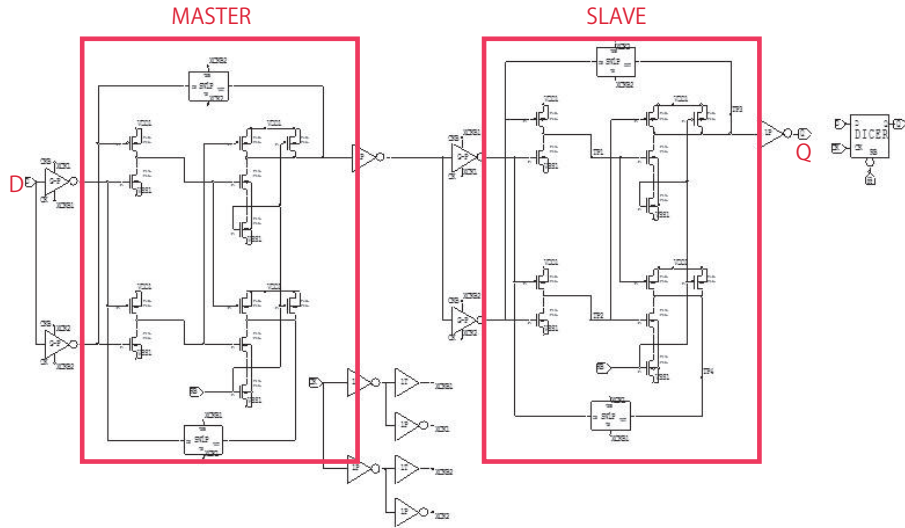


図 7.10: DICE FF(Dual Interlocked storage Cell Flip Flop) の回路図

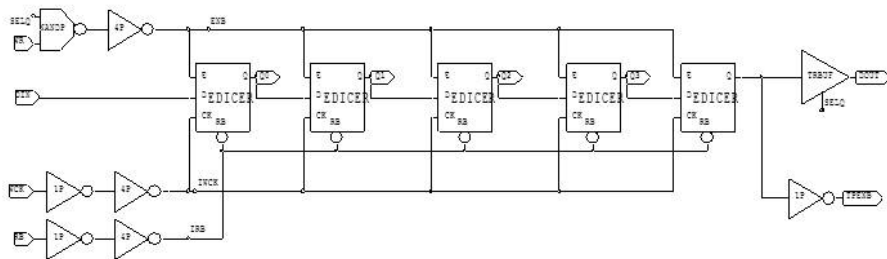
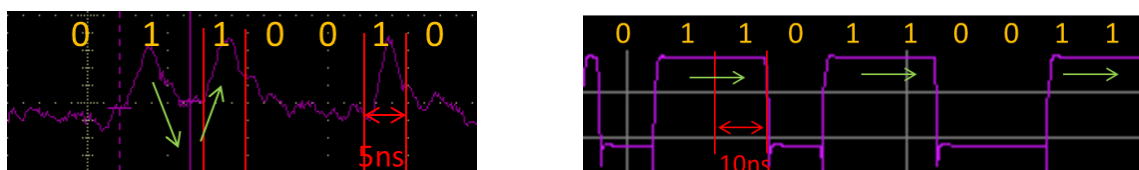


図 7.11: コントロール LCR 回路図

100Mbps(周期 10ns) なので、パルス幅は最大 5ns となる。(符号の送出間隔よりパルス幅が 2 倍短い) 三次試作回路では、毎回 1 に戻る必要がない、Non-Return-to-Zero 信号を用いる。パルス幅が 2 倍の 10ns となり (符号の送出間隔とパルス幅が同じ)、読み出しボードでのサンプリングのタイミングに余裕ができる。二次試作で用いていた Return-to-Zero 方式では、必ず 0 に戻っていたため、信号の立ち上がりのエッジでサンプリングしていたのだが、コンパレータの構造上、スルーレートが小さく、パルス波の立ち上がりがなまっていた (図 7.12(a)) 三次試作回路で用いる Non-Return-to-Zero 方式では、1 ビットごとにゼロに戻るわけではない為、立ち上がり (もしくは立下り) を認識できず、同期信号を別に送らなければならない。Non-Return-to-Zero 方式では、同期信号のクロック信号はスルーレートの小さいことはなく、サンプリング時間も余裕ができるため、サンプリングミス of の起きる心配がなくなる。



(a) Return-to-Zero 方式

(b) Non-Return-to-Zero 方式

図 7.12: デジタル信号伝送方式の変更

7.4 シミュレーション環境

LSI の開発には一般に多大な時間とコストがかかるため、試作→評価→設計変更→試作といった過程を繰り返して開発を進めることは効率的ではない。そのため、製作に入る前の設計段階においてシミュレーションによる性能評価を行い、結果を随時設計にフィードバックさせるという手法が一般的である。今回は SPICE シミュレータを用いて回路設計及び動作検証を行った。

SPICE (Simulation Program with Integrated Circuit Emphasis) シミュレータとは、1972 年にカリフォルニア大学バークレー校で IC の設計検証用に開発された回路シミュレータである。現在、バークレーの SPICE から派生したシミュレータが EDA ベンダから各種販売されている。回路シミュレータとは、回路図または回路素子を繋いだ情報 (ネットリスト) から回路の電圧や電流の値を計算するツールであり、その中でも SPICE は最も一般的な回路シミュレータであると言える。解析の種類としては、大きく次の 4 つに分けることができる。

(1) DC 動作ポイント解析

DC 動作ポイント解析とはバイアス・ポイント解析とも呼ばれ、定常状態における回路の各ノード (端子) の電圧及び電流の値を解析する。実際の実験では、回路に直流電源を接続した時に各端子の電圧及び電流の値をチェックする動作に相当する。DC 動作ポイント解析はどの解析を行う際にも前処理として自動的に行われる事になっている。

(2) DC 解析

DC 解析は入力信号をゆっくり変化させて、同様の解析を行う。

(3) AC 解析

AC 解析は入力信号の周波数を変化させて、同様の解析を行う。

(4) 過渡解析

過渡解析は回路の時間応答を解析するものである。例えば、スイッチを ON にしてから定常状態に落ち着くまでの各ノードの電圧及び電流の値を解析する際に用いられる。最も多く用いられる解析であると言える。

回路は線形素子である抵抗、非線形素子であるダイオードやトランジスタ、電気エネルギーの充放電を行うコンデンサやコイルなどから構成されているため、回路情報は一般的に非線形微分方程式の形で表される。SPICE ソフトウェアは入力されたネットリスト情報から、節点解析法によりノードの電圧を未知数としてキルヒホッフの電流則に従い回路方程式を立て、得られた非線形微分方程式を非線形代数方程式、更に線形代数方程式に変形して解析を行う。この際、LSI のベンダーから実際に近いトランジスタのパラメータの提供を受けることで、より精度の高い解析を行うことが可能となる。我々は 三次試作回路設計の為に、MOSIS 社から $0.25 \mu\text{m}$ CMOS プロセス用の SPICE パラメータの提供を受け、設計に使用した。

本研究ではアナログ回路の設計作業には Tanner 社の回路図エディタである「Legacy S-Edit」及び SPICE シミュレーションソフトである「T-SPICE」を用い、また波形解析には「W-Edit」(Waveform Analysis Platform) を用いた。これらは Tanner 社の EDA (Electronic Design Automation) ツールである「Tanner Tools」に付属しているソフトであり、複雑なフルカスタム IC の設計用に特化している。

7.5 シミュレーション結果

7.5.1 消費電力

LSI チップの消費電力は、LSI に電力を供給する各電源の電圧値と、電源から定常的に流れる電流値の積で表すことができる。

$$\text{消費電力 [W]} = \text{電源電圧 [V]} \times \text{定常電流 [A]} \quad (7.14)$$

過渡解析の結果から、各電源の消費電力を求めた結果を表 7.3 に示す。

消費電力は、アナログ回路系で 12.8 mW、デジタル回路系で 30.8 mW、合計で 43.6 mW 程度と見積もることができた。これは読み出し回路 1 チャンネルあたりにすると 5.4 mW 程度であり、消費電力の要求を満たしていることがわかる。

表 7.3: シミュレーションによる AFFROC01 の消費電力

電源	電圧 [V]	電流 [mA]	消費電力 [mW]
アナログ回路用正極電源 (VDD)	1.25	4.8	6.0
アナログ回路用負極電源 (VSS)	-1.25	5.4	6.8
デジタル回路用正極電源 (VDD1)	1.25	17.1	21.4
デジタル回路用負極電源 (VSS1)	-1.25	7.5	9.4
アナログ系総合	1.25	10.2	12.8
デジタル系総合	1.25	24.6	30.8
総計	1.25	34.8	43.6
1チャンネル当たりの消費電力	±1.25	4.4	5.4mW/ch

7.5.2 読み出し速度、精度

MOSトランジスタは、ウェーハ間、ロット間において根本的にばらつきをもっており、回路の性能はこの範囲内で保証されていないといけな。ここでプロセス保証の観点より、プロセスコーナーという考えができた。プロセスの大きさのばらつきは、トランジスタの動作速度の差として現れ、動作速度の変化により、読み出し精度が悪化し、読み出し速度が限定されてしまうこともある。他にも動作速度を変化させる要因のパラメータとして、電源電圧、温度がある。回路上の誤動作や、コンパレータでの判断のタイミングを間違える誤動作が起きる可能性がある

まずは、これらのパラメータによって動作速度が信号出力 (様々な回路を経て最終的にどれほどタイミングがずれたか) がどう変化するかを見、読み出し精度を評価する。なお、ADCの信号出力を見ているので、信号出力はそれぞれのビットに対応する。パラメータごとにビットの"0","1"が異なるのは、パラメータの変化によって前段部分の増幅器の特性が変化するためである可能性がある。誤動作が起きているとは限らない。

プロセスのばらつきの解析 これは、nMOS、pMOSの製造精度をSPICEパラメータに反映させ、製造プロセスの誤差による影響を評価するシミュレーションである。今回使用するMOSIS社のSPICEモデルファイルには、F (Fast)、T (Typical)、S (Slow)の3種類があり、それぞれトランジスタの動作速度が高速、標準、低速であることを表している。すなわち、製造誤差の影響はトランジスタの動作速度の違いとしてシミュレーションに反映させることができ、典型的なトランジスタの動作速度はFとSの間に収まることになる。例えば、トランジスタの酸化膜の厚さに誤差が生じ、動作が速くなることなどが挙げられる。そのためプロセスのばらつきの解析は常に他の解析と併せて行っていく必要がある。図7.13にプロセスのばらつきによるADC信号出力のタイミングをみる。濃い赤から薄くなるにしたがってFF,TT,SSとなっている。

温度解析

SPICEシミュレーションでは特に温度の指定が無い場合、自動的に27℃の条件でシミュレーションが実行される。温度解析とは、この温度を変化させたSPICEパラメータを用いて、温度の変化が回路に与える影響を調べるシミュレーションである。モビリティなどの半導体の性質は温度と密

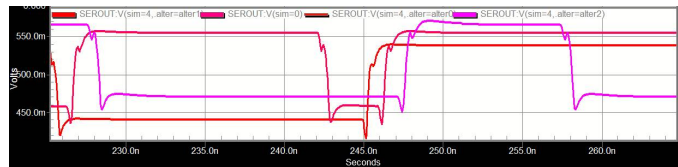


図 7.13: プロセスのばらつきによる信号出力スピードの違い

接な関係があるため、温度解析を行うことは非常に重要である。今回は、ごく簡単に 25 °C、0 °C、-50 °C におけるパルス波形の変化の様子を調べた。FPCCD 崩壊点検出器は、-40 °C ~ -50 °C の温度下で動作するためこのような温度の下でも動作しなければならない。

図 7.14 に温度の違いによる ADC 信号出力のタイミングをみる。濃い緑から薄くなるにしたがって -50 °C、0 °C、室温となっている。

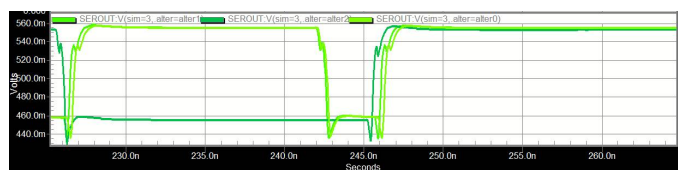


図 7.14: 温度の違いによる信号出力スピードの違い

電源電圧の変動による影響

第三次試作回路は V_{DD} を HI レベル、 V_{SS} を LOW レベルとする ± 1.25 V の CMOS レベルで動作する。そのため、電源は +1.25 V の V_{DD} と -1.25 V の V_{SS} の 2 種類が使用されている。また、デジタル系にはそれとは別に V_{DD1} 、 V_{SS1} の 2 つの電源が設けられている。これらの電源が何らかの影響により $\pm 10\%$ だけ変動した場合、パルス波形にどれほどの影響が現れるかを調べた。

図 7.15 に電源電圧の誤差による ADC 信号出力のタイミングをみる。濃い青から薄くなるにしたがって 1.38V、1.25V、1.13V となっている。

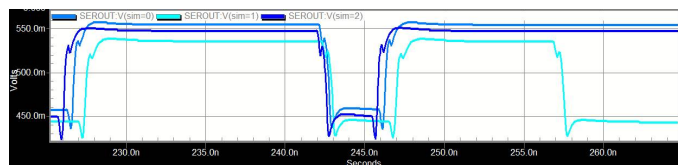


図 7.15: 電源電圧の誤差による信号出力スピードの違い

全体 下図はプロセス、電源電圧、温度のパラメータの信号出力の違いを合わせたものを示したのものになる。プロセス、電源電圧、温度の順でタイミングのズレが大きいが分かる。ズレが 3.4ns にもなり、プロセスの複数のパラメータがずれたときなど、はさらに大きくなる。Non-Return-Zero の伝送方式だと、ADC 出力のパルス幅は最大で 10ns だったため、無視できない。

プロセスの微細化に伴い、プロセスのばらつき ($\Delta C/C$) は大きくなり、動作速度が上昇した (式:7.6)。このとき、性能の劣化が考えられるのは、コンパレータの動作速度の向上によるサンプ

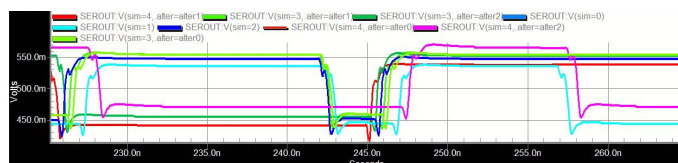


図 7.16: デバイスパラメータによる信号出力スピードの違い

リングミスである。これは、セトリングタイムよりコンパレータの動作速度が速いときに生じる。

コンパレータでのサンプリングミスが起きると セトルする前に判断するので、

(1) コンパレータが判断ビットを間違える

(2) チェックビットが反転しない可能性がある。

本来なら、 $Q_{checkbit} = Q_{LSB}$ 後の電荷 $- C_{LSB}V_{ref}$ となり、LSB が 1 の場合 check bit は 0、LSB が 0 の場合は check bit は 1 となる。しかし、これは十分セトリングしたレベルをサンプリングしていることを前提としている。

(3) 微分非直線性の悪化

このうち、(2) は、ADC の前段部分の回路の特性も電源電圧、プロセス、温度によって変化し、増幅率が変化するため、コンパレータの判断ミスか、特定できないことから判断材料として使えない。今回は (1)(3) の項目がプロセスのばらつき、温度、電源電圧と動作速度に関するパラメータについて変化させたときに、どうなるかみて、コンパレータでのエラーの判断材料として用いる。全てのパラメータについて、チェックビットの異常は、見られなかった。以下では、微分非直線性について報告する。

7.5.2.1 微分非直線性

もう一つ念頭におくこととして、三次試作回路では、シーケンサを外に出したり、信号生成を回路内で行っていることから、生成信号のタイミングもパラメータによって変化する。微分非線形性は、信号のタイミング変化による誤作動、コンパレータでのセトリングタイム前のサンプリングのいずれが起きたときも悪化する。増幅器の増幅率の変化は回路の性能上問題ないが、これらのタイミングによるエラーは、補正できず、出力エラーや量子化誤差として残るため、性能上決定的な要素となる。

プロセスばらつき、電源電圧、温度での全てのコーナーにおいて微分直線性をシミュレーションにより計算したところ、スピードコントロールによって微分非直線性を $\pm 1/2LSB$ に抑えられることが示せた。

図 7.17 は、コンパレータのキャパシタ設定容量を変化させることによって、(スピードコントロール) 微分非直線性の違いをみたものである。7.17(a) は、キャパシタ設定容量を最小に、図 7.17(b) に最大にしたときである。微分非線形性が CCD 入力電圧 3mV 付近で改善が見られる。

動作速度のが最大となる点は、プロセス $\#$ 、温度 -50°C 、電源電圧 1.13V のときである。図 7.18(b) は、スピードコントロール際のここでの微分非直線性になる。各コーナーで微分非直線性

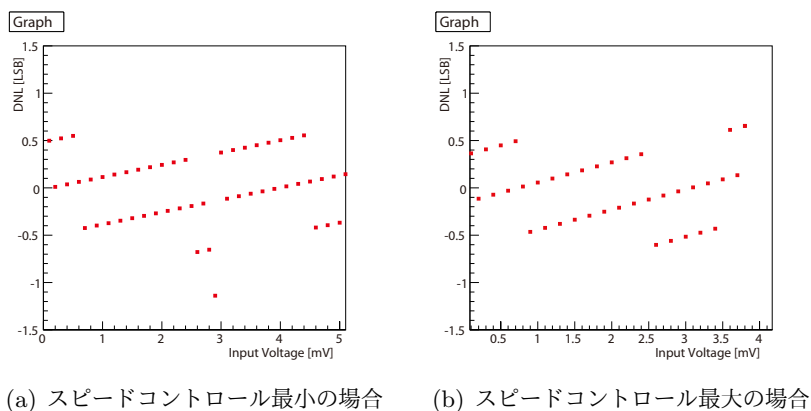


図 7.17: スピードコントロールによる微分非直線性の違い

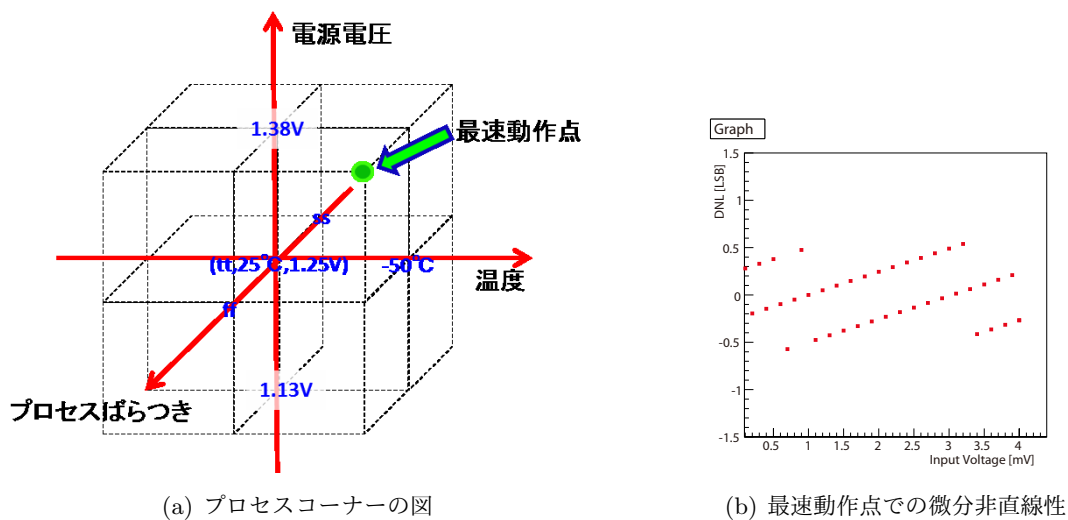


図 7.18: プロセスコーナーでの微分非直線性

が $\pm 1/2$ になり、ミッシングコード⁶が生じず、ADC の出力の単調性を示すことができた。二次試作回路では、7LSB の振れ幅のあった微分非直線性が三次試作回路では、1LSB($\pm 1/2LSB$)にまで改善された。ポストレイアウトシミュレーションでも同様の検討を行う予定である。

表 7.4: 微分非直線性

	二次試作回路		三次試作回路
微分非直線性	7[LSB]	⇒	$\pm 1/2$ [LSB]

7.5.2.2 積分非直線性

三次試作回路での積分非直線性を計算した。二次試作回路では、17% あった積分非直線性が三次試作回路では0.38% まで改善した。結果として二次試作回路では、63% しかなかったダイナミックレンジが100% に改善した。

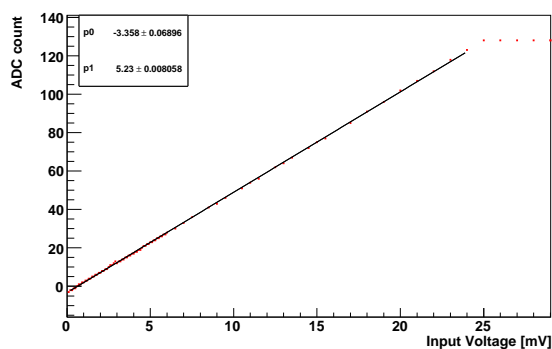


図 7.19: CCD 入力信号に対する ADC の出力結果

表 7.5: 積分非直線性

	二次試作回路		三次試作回路
積分非直線性	17.1%	⇒	0.380%

以上、2つの読み出し精度のシミュレーション評価により、10M ピクセル/s の読み出し速度を十分精度よく測定できることが示せた。

⁶出力されない ADC 値のこと。ミッシングコードがあると特定の ADC 値が飛ばされたりする。

7.5.3 ノイズ

電子雑音、環境雑音に関しては、回路の簡素化を図り、雑音を増加させるような設計変更は行っていないことから二次試作と同程度と考えられる。

7.5.4 DICE フリップフロップ

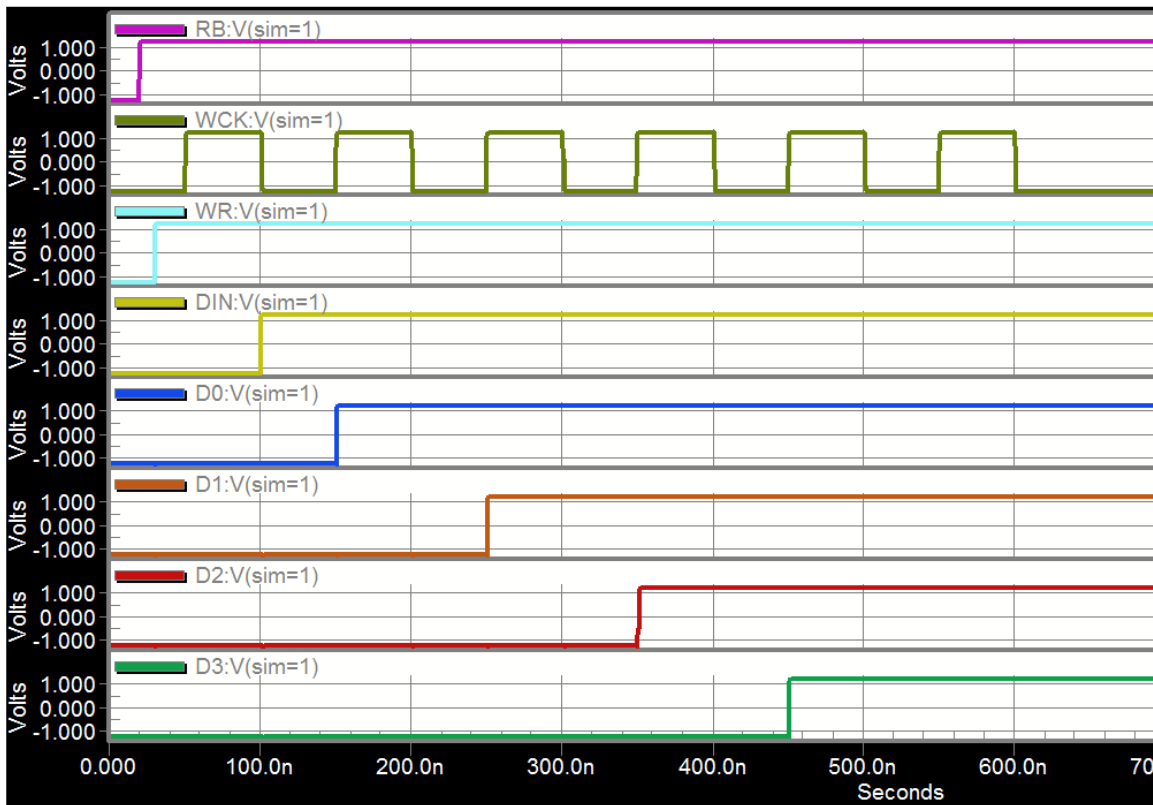
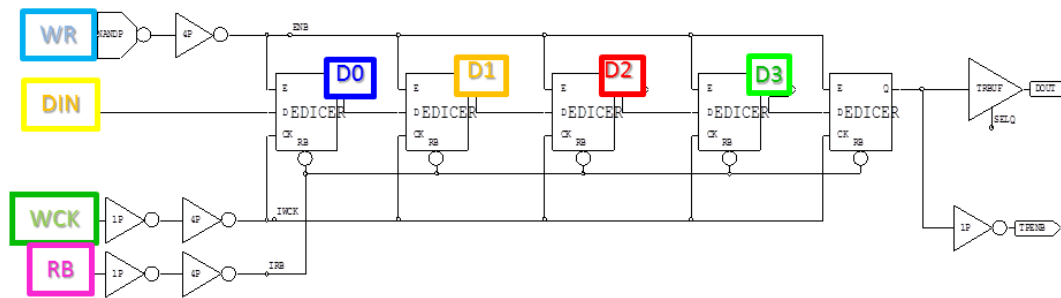


図 7.20: ローカルコントロールレジスタでのデジタル信号処理

図 7.20 には、三次試作回路の DICE フリップフロップを用いたローカルコントロールレジスタへのデータ書き込みのタイミングチャートが記されている。RB(ResetBar) が Low の時に全ての

レジスタの値はリセットされる。WR は書き込みのイネーブル信号であり、WR が High の間だけ書き込みが可能になる。WR が High の時、書き込みクロック WCK が立ち上がった瞬間に DIN の値が最初のレジスタに書き込まれる。シフトレジスタは各フリップフロップのクロックを共通にし、データの入力と出力を直列に接続したものである、その前に蓄えられていたデータは次段に読み込まれるようになっている。1 つ目のクロックで1 段目のフリップフロップにデータが読み込まれ、クロックの立ち上がりに合わせて2 段目、3 段目、4 段目に読み込まれている様子を示している。出力 D0,D1,D2,D3 の値が各段階のフリップフロップに記憶されている値となる。このように、DICE フリップフロップを用いたシフトレジスタでも機能できることが示せた。なお、放射線耐性については、試作回路ができた際、放射線試験で検証する予定である。

7.5.6 チップパラメータ

シミュレーションの結果を受けて、現在、下記のチップパラメータで AFFROC01 のチップのレイアウト設計を行っている。

表 7.6: AFFROC01 チップ設計パラメータ

チップ名	AFFROC01
チャンネル数	8
前置増幅器ゲイン	-- C_{in}/C_f CCD からの入力結合容量=3.2 pF テストパルスの入力容量=0.1 pF
[ゲイン変更範囲]	C_f : 0.05pF~0.1pF (2steps)
製造会社	TSMC (Taiwan Semiconductor Manufacturing Company)
製造プロセス	0.25 μ m Mixed-signal CMOS プロセス 1P5M SALICIDE 2.5V/3.3V (CMO25G)
プロセスオプション	高抵抗 POLY、MIM キャパシタ、DeepNWELL
電源電圧	2.5V(VDD=1.25V, VSS=-1.25V, GND=0V)

第8章 まとめ

我々は、ILCのためのFPCCD崩壊点検出器用の読み出し回路の開発を行った。読み出し回路には主に読み出し速度 10M ピクセル/秒、ノイズ 30 電子、消費電力 6mW/ch の3つの性能が要求される。いままで2度の試作回路が作られ、現在三次試作回路を設計し、レイアウト設計中である。第一次試作、第二次試作は、特に読み出し速度、ノイズの要求性能を満たすように設計され、第三次試作回路はさらに消費電力の要求を満たすように設計されたものである。

二次試作の評価までの結果 第一次試作回路では、読み出し精度に問題があり、入力電圧に対するADC出力値に大きなビット飛びが見られた。また、読み出し速度を1.5Mピクセル/秒以上上げると読み出し精度が悪化した。

このため、二次試作では、浮遊容量対策として、参照電圧の変更、コンパレータのレイアウトを対称化、ダミースイッチの設置、CAP BLOCKのスイッチのトランジスタ数をビットウェイトに変更、GNDと底面電極の間のキャパシタを2分割を行った。読み出し精度をあげるにつれて、現れる精度の悪化については、コンパレータへの供給電流の安定化、コンパレータのレイアウトを対称化を行った。

これをもとに二次試作を製作し、評価したところ、読み出し速度 10M ピクセル/秒の下で、ノイズは電子雑音、量子雑音を含めて 18 電子相当であった。このノイズの内殆ど量子誤差が占めていた。

ここで、実験するうえで分かったこととして、高速動作時は、読み出しボードでのサンプリングのタイミングが難しくなっていくことである。サンプリングのタイミングを間違えるとADC出力が離散化する。一次試作でもこの問題が起きていた可能性がある。このため、三次試作では出力形式を変更する。

三次試作回路およびシミュレーション結果 三次試作回路の設計のため、二次試作回路の測定した消費電力の結果をもとに主な消費電力源を特定し、回路の簡素化を行った。このもとでプロセスの微細化を図ったことで消費電力の削減し、要求性能を満たされる。

プロセスの微細化が他の要求性能に与えるトレードオフとして、コンパレータの動作速度が速くなり、判断ビットを間違える誤動作が起き、量子誤差(微分非直線性)の悪化を招く。このため、コンパレータでの判断を安定化させるスピードコントロールを可能にした。デバイスパラメータ(電源電圧、温度、プロセスのばらつき)の動く範囲内で量子誤差(微分非直線性)を抑えられるかシミュレーションをおこなったところ、微分非直線性 $\pm 1/2$ に抑えられる結果が得られた。

今後 回路のデザイン上のシミュレーション結果の範囲内で性能が保証されただけなので、今後は、レイアウトの設計が完成次第、レイアウトから RC 抽出し、浮遊容量、配線容量も含めたポストレイアウトシミュレーションを行っていくことになる。

また、トランジスタのモデルの完全な再現などのシミュレーションでは行えないことは、試作回路の実機で評価することになる。

付録 A 自発的対称性の破れ

ワインバーグらによって提案された模型において、ヒッグス場と呼ばれるスカラー場を導入し、そのスカラー場に真空期待値を持たせることによって対称性の破れを引き起こしている。対称性の自発的な破れを引き起こすようなヒッグス場のポテンシャルは、次の形に与えられる。

$$V_{Higgs} = -\mu^2|\Phi|^2 + \frac{1}{2}\lambda|\Phi|^4 \quad (\text{A.1})$$

ただし、 μ^2 、 λ は、正の値をとるパラメータである。式 A.1 のヒッグスポテンシャルが最小値を取る点が真空となるが、その点は次の式で与えられる。

$$\langle \Phi \rangle \equiv \begin{pmatrix} \frac{1}{\sqrt{2}}v \\ 0 \end{pmatrix} \quad (\text{A.2})$$

$$v = \sqrt{\frac{2\mu^2}{\lambda}} \quad (\text{A.3})$$

v の値はのちに求まる W、Z ボゾンの質量を正しく与えるためには、246GeV 程度の値になることが知られている。ヒッグス場が真空において式 A.1 の形の真空期待値を持つことにより、 $SU(2) \times U(1)$ の対称性において真空が破れていることが分かる。

ヒッグス場は真空の周りで

$$\Phi \equiv \begin{pmatrix} \frac{1}{\sqrt{2}}(v + \varphi + i\varphi_2) \\ \varphi_- \end{pmatrix} \quad (\text{A.4})$$

の形に展開される。ここで φ_2 及び φ_- は、 $SU(2) \times U(1) \rightarrow U(1)$ の対称性の破れに伴って現れる南部ゴールドストーン粒子であり、物理的な粒子ではない。ここでの模型のようにただ一つのヒッグス二重項によって対称性の破れを引き起こす場合物理的な粒子として残るのは中性粒子 φ だけである。このヒッグス粒子 φ の質量 M_φ は式 A.1 の形のヒッグスポテンシャルにおいて式 A.8 の形にヒッグス場を展開し、 φ^2 の項の係数を読むことにより、

$$M_\varphi^2 = 2\mu^2 = \lambda v^2 \quad (\text{A.5})$$

と与えられる。他の非物理的モード φ_2 、 φ_- については、同様の操作を行うことにより質量がゼロになることが分かる。

ここでヒッグス場とゲージボゾンの相互作用をみていく。ヒッグス場とゲージボゾンの相互作用は、ヒッグス粒子の共変微分を含む、次の形の運動項より与えられる。

$$L_{Higgskin} = |D_\mu \Phi|^2 \quad (\text{A.6})$$

$$= |(\partial_\mu \delta_{ij} - ig_2 \left(\frac{\tau^a}{2}\right)_{ij} W_\mu^a - ig_1 \left(-\frac{1}{2}\right) \delta_{ij} B_\mu) \Phi_j|^2 \quad (\text{A.7})$$

式 A.2 の形の真空期待値を式 A.6 中のヒッグス場に与えて、真空における対称性を破ることに
より、ゲージボゾンの質量項は求まる。

$$L_{gaugemass} \equiv |(-ig_2 \left(\frac{\tau^a}{2}\right)_{ij} W_\mu^a - ig_1 \left(-\frac{1}{2}\right) \delta_{ij} B_\mu) \langle \Phi_j \rangle|^2 \quad (\text{A.8})$$

$$= \left| -\frac{i}{2} \begin{pmatrix} g_2 W_\mu^3 - g_1 B_\mu & g_2 W_\mu^1 - ig_2 W_\mu^2 \\ g_2 W_\mu^1 - ig_2 W_\mu^2 & -g_2 W_\mu^3 - g_1 B_\mu \end{pmatrix} \begin{pmatrix} v/\sqrt{2} \\ 0 \end{pmatrix} \right|^2 \quad (\text{A.9})$$

$$= \frac{1}{8} g_2^2 v^2 ((W_\mu^1)^2 + (W_\mu^2)^2) + \frac{1}{8} v^2 (-g_2 W_\mu^3 + g_1 B_\mu)^2 \quad (\text{A.10})$$

$$\equiv M_W^2 W_\mu^+ W_\mu^- + \frac{1}{2} M_Z^2 Z_\mu^+ Z_\mu^- \quad (\text{A.11})$$

ただし、

$$W_\mu^\pm = \frac{1}{\sqrt{2}} (W_\mu^1 \mp iW_\mu^2) \quad (\text{A.12})$$

$$\begin{pmatrix} Z_\mu \\ A_\mu \end{pmatrix} = \frac{1}{\sqrt{g_2^2 + g_1^2}} \begin{pmatrix} g_2 W_\mu^3 - g_1 B_\mu \\ g_2 W_\mu^3 + g_1 B_\mu \end{pmatrix} \quad (\text{A.13})$$

$$\equiv \begin{pmatrix} \cos \theta_W & -\sin \theta_W \\ \sin \theta_W & \cos \theta_W \end{pmatrix} \begin{pmatrix} W_\mu^3 \\ B_\mu \end{pmatrix} \quad (\text{A.14})$$

$$M_W^2 = \frac{1}{4} g_2^2 v^2 \quad (\text{A.15})$$

$$M_Z^2 = \frac{1}{4} (g_2^2 + g_1^2) v^2 \quad (\text{A.16})$$

となり、質量をもったゲージ場 W_μ^\pm 及び Z_μ と、電磁相互作用に付随する質量ゼロのゲージ場 A_μ が現れる。さらに物理的なヒッグス粒子とゲージボゾンの相互作用は、式 A.6 中のヒッグス場を式 A.8 の形に展開することによって読み取られる。そこから得られる $VV\varphi$ の形の三点相互作用、次の形に与えられる。

$$L_{VV\varphi} = \frac{(g_2^2 + g_1^2)v}{4} \varphi Z_\mu Z_\mu + \frac{g_2^2 v}{2} \varphi W_\mu^+ W_\mu^- \quad (\text{A.17})$$

つづいてレプトン、クォークの質量について考える。簡単な為、世代間の混合は考えない。レプトンの質量項は、次の形のレプトン場とヒッグス場の相互作用から与えられる。

$$L_{l-\varphi} = -(y_e e l_i \varepsilon_{ij} \Phi_j + h.c.) \quad (\text{A.18})$$

式 A.18 の形のラグランジアンにおいて、ヒッグス場の真空期待値が式 A.2 の形となることから、レプトンの質量項は次の形に与えられる。

$$L_{mass} = -\frac{y_e v}{\sqrt{2}} \bar{\Psi} \Psi_e \equiv -M_e \bar{\Psi} \Psi_e \quad (\text{A.19})$$

ただし、 Ψ_e は、

$$\Psi_e = \begin{pmatrix} -l_2 \\ \bar{e} \end{pmatrix} \quad (\text{A.20})$$

と与えられるディラックスピノルである。クォークの質量項を与えるラグランジアンは以下の通りである。

$$L_{q-\phi} = -(y_d d q_i \varepsilon_{ij} \Phi_j + h.c) - (y_u u q_i \Phi_j^\dagger + h.c) \quad (\text{A.21})$$

ここから与えられるクォークの質量項は、

$$L_{dmass} = -\frac{y_d v}{\sqrt{2}} \bar{\Phi}_d \Phi_d \equiv M_d \bar{\Phi}_d \Phi_d \quad (\text{A.22})$$

$$L_{umass} = -\frac{y_u v}{\sqrt{2}} \bar{\Phi}_u \Phi_u \equiv M_u \bar{\Phi}_u \Phi_u \quad (\text{A.23})$$

となる。ただし、 Φ_d 、 Φ_u は、

$$\Phi_d = \begin{pmatrix} -q_2 \\ \bar{d} \end{pmatrix} \quad (\text{A.24})$$

$$\Phi_u = \begin{pmatrix} -q_2 \\ \bar{u} \end{pmatrix} \quad (\text{A.25})$$

$$(\text{A.26})$$

と与えられる。

付録B 使用パッド

LSI の内部-外部間の信号のやりとりには、様々な種類のパッドを用いる必要がある。パッドとは、LSI とパッケージないしは実装基板の間をワイヤーボンディング等で接続するための特有のレイアウト構造である。内部回路で用いる MOS-FET は、ゲートに絶縁体として 10nm 以下の厚さの酸化膜を使用しているため、静電気の放電 (ESD:Electro Static Discharge) 等によって容易に破壊されてしまう。そのため、パッドは第一に静電気による内部回路の破壊を防ぐための保護回路としての役割を担っている。表 B.1 に今回使用するパッドの種類と用途について示す。

表 B.1: 今回使用するパッドの種類と用途

名称	パッドの用途	適用部位
PAD	ESD 保護回路無しのパッド	VDD,VSS,GND 等電源関係の導入部
PDTH	デジタル信号を直接コアと入出力	LVDS 信号の出力部
PDTHR	デジタル信号を抵抗を介して導入	LVDS 信号の入力部
PVDD1	デジタルコア電源 VDD1 の導入用	VDD1 の導入部
PVSS1	デジタルコア電源 VSS1 の導入用	VSS1 の導入部
PDOUT	CMOS デジタル信号の出力用	VDD1 の導入部
PATH	アナログ信号を直接コアと入出力	モニタ,VTH 等入出力
PVDD	アナログ電源 VDD の導入用	VDD の導入部
PVSS	アナログ電源 VSS の導入用	VSS の導入部

付録C 差動増幅回路

小信号電圧利得 A_v は、以下の式で表さわすことができる。差動対に対して、 $V_{out1} = V_{DD} - R_{D1}I_{D1}$ 、 $V_{out2} = V_{DD} - R_{D2}I_{D2}$ が得られる。¹

ここで節Pにおける電圧は $V_{in1} - V_{GS1}$ 、 $V_{in2} - V_{GS2}$ であるので、二乗則が成り立つとすれば、

$$(V_{GS} - V_{TH})^2 = \frac{I_D}{\frac{1}{2}\mu_n C_{ox} \frac{W}{L}} \quad (C.1)$$

$$V_{GS} = \sqrt{\frac{2I_D}{\mu_n C_{ox} \frac{W}{L}}} + V_{TH} \quad (C.2)$$

$$V_{in1} - V_{in2} = \sqrt{\frac{2I_{D1}}{\mu_n C_{ox} \frac{W}{L}}} - \sqrt{\frac{2I_{D2}}{\mu_n C_{ox} \frac{W}{L}}} \quad (C.3)$$

$$(V_{in1} - V_{in2})^2 = \frac{2}{\mu_n C_{ox} \frac{W}{L}} (I_{ss} - 2\sqrt{I_{D1}I_{D2}}) \quad (C.4)$$

$$\frac{1}{2}\mu_n C_{ox} \frac{W}{L} (V_{in1} - V_{in2})^2 - I_{ss} = -2\sqrt{I_{D1}I_{D2}} \quad (C.5)$$

$$\text{さらに、} 4I_{D1}I_{D2} = 2(I_{D1} - I_{D2})^2 - (I_{D1} + I_{D2})^2 \quad (C.6)$$

$$= I_{ss}^2 - (I_{D1} - I_{D2})^2 \text{を用いれば} \quad (C.7)$$

$$(I_{D1} - I_{D2})^2 = \frac{1}{4}(\mu_n C_{ox} \frac{W}{L})^2 (V_{in1} - V_{in2})^4 + I_{ss} \mu_n C_{ox} \frac{W}{L} (V_{in1} - V_{in2})^2 \quad (C.8)$$

$$I_{D1} - I_{D2} = \frac{1}{2}\mu_n C_{ox} \frac{W}{L} (V_{in1} - V_{in2}) \sqrt{\frac{4I_{ss}}{\mu_n C_{ox} \frac{W}{L}} - (V_{in1} - V_{in2})^2} \quad (C.9)$$

$$(C.10)$$

と $I_{D1} - I_{D2}$ は、 $V_{D1} - V_{D2}$ に対して、奇関数であり、 $V_{D1} = V_{D2}$ のとき、ゼロをとる。ゼロ近辺では、平方根の項より、平方根の前の項の方が大きく、線形に増加していく。 V_{in} が大きい領域になると、平方根の項が無視できなくなり、非線形効果が出てくる。

と出力は入力電圧に対して奇対称な入出力特性を示す。すなわち、 $f(x) = -f(-x)$ となる。

¹M1 側、M2 側に対して、添え字 1,2 を割りあてて考える。

付録D 試作回路のための試験基板の回路図1

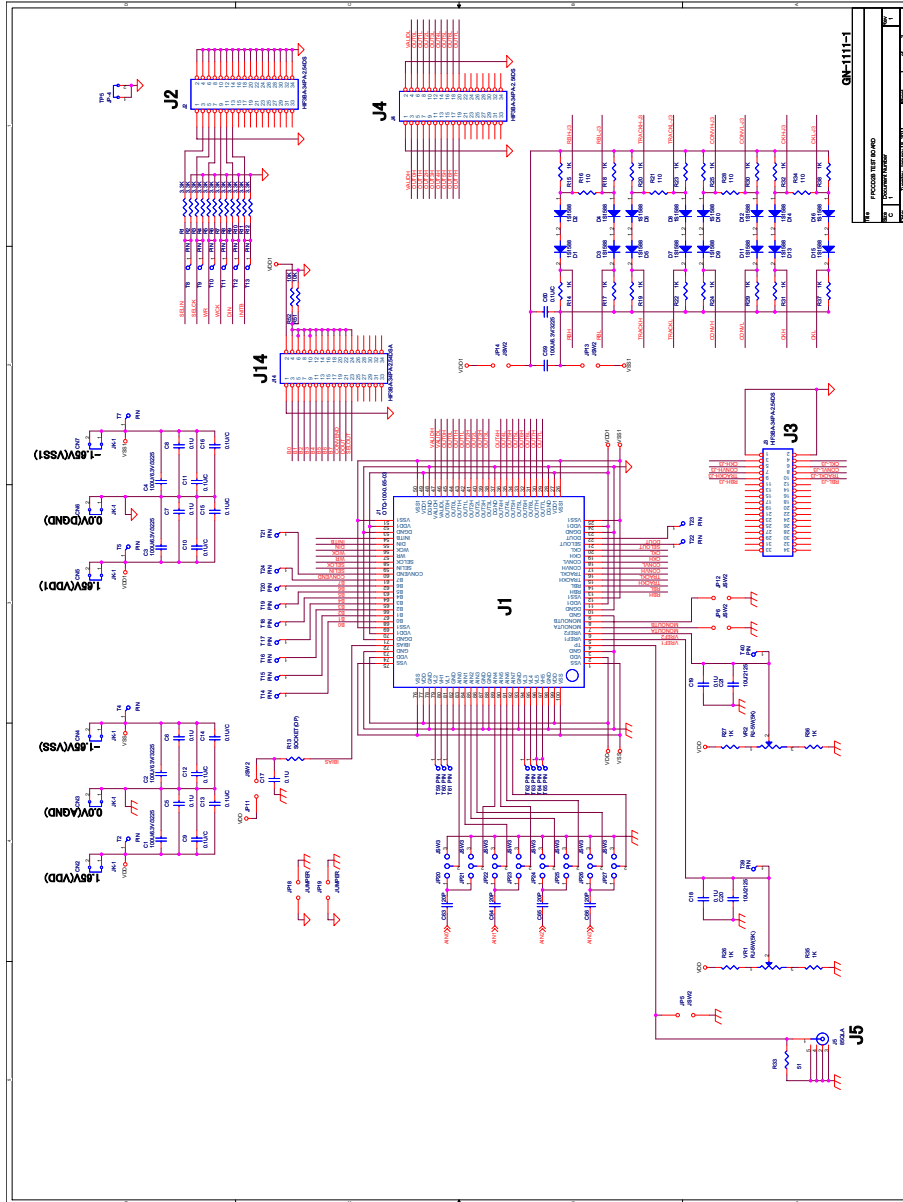


図 D.1: 試作回路のための試験基板の回路図 1

付録E 試作回路のための試験基板の回路図2

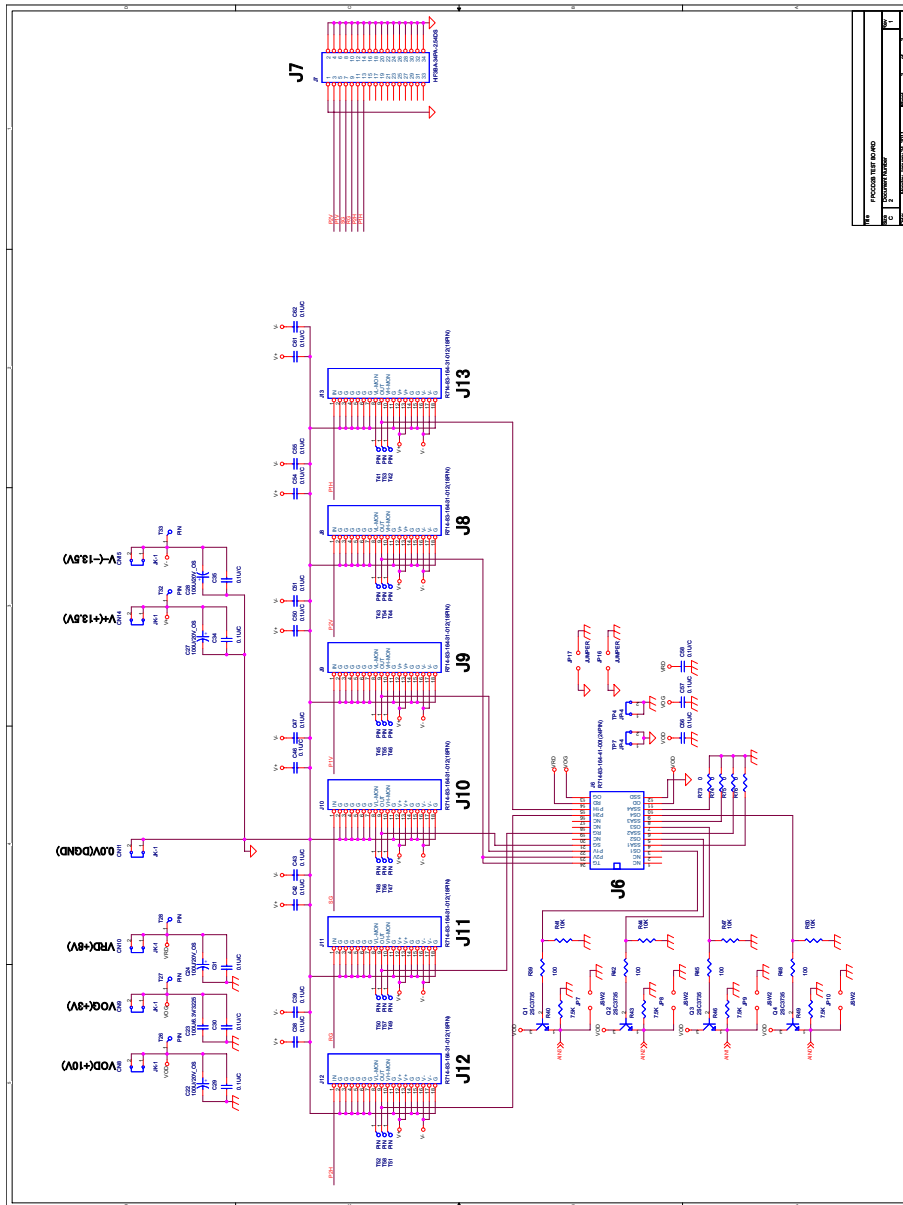


図 E.1: 試作回路のための試験基板の回路図 2

付録F 略語

ASIC: Application specific integrated circuit
BJT: Bipolar junction transistor
CMOS : Complementary metal oxide semiconductor
DFF: D-type flip-flop
Positive edge triggered master-slave flip-flop
DICE: Dual interlock cell
FPGA: Field programmable gate array
IP: Intellectual property
JFET: Junction field effect transistor
SEU: Single event upset

謝辞

山本先生、ILC 計画の重要な研究課題を任せてくださり、ありがとうございます。佐貫先生には、大学院入試対策のためのセミナーでお世話になりました。長嶺さん、計算機関係でアドバイスをいただきました。小貫さん、実験室の物品購入の際などお世話になりました。石川さんハドロンコライダーについて何も分からないときに LHC の最新結果についてのレビューをしていただきました。本研究室以外でもお世話になりました。佐藤さん、回路についてかの字も分からない状態から出発し、中々結果が出ないときも自分に辛抱強く、親切に対応してくれました。信州から東北までの数々の出張お疲れ様でした。KEK の杉本さん、JAXA の池田さんからは、各週の会議の際、貴重なアドバイスをいただきました。池田さんからは、三次試作のシミュレーションについてやアナログ回路についても、親切に教えていただきました。

田窪さん、研究者として姿勢について、プレゼンの仕方から、終わりまでやり遂げる執行力の重要度をおしえられました。まだまだ研究者として未熟ですが、頑張りたいと思います。板垣さん、回路のシミュレーションの仕方などを教えていただきました。齋藤さんは、実験機器の操作の仕方を教えていただきました。

本研究とは別に行っていた、ILC のシミュレーション解析では、藤井さんにお世話になりました。実験をする際の philosophy や論理の立て方について、教わりました。重宝したいと思います。

最後に、研究をサポートして下さったみなさま。名古屋大学のみなさん、震災の際に、研究する場所、生活する場所もなかったときに、受け入れてくださいました。感謝しきれません。2年間サポートして下さった岩井久雄さま及び公益信託岩井久雄記念宮城奨学育英基金 おかげさまで2年間研究に打ち込むことができ、数々の国際会議で発表することができました。本当に家族共々感謝しています。振り返ってみれば、多くの人に支えられて、研究ができていました。今後、博士課程に進んで研究を続けていくことになるのですが、これからもよろしく願います。

参考文献

- [1] International Linear Collider: A Technical Progress Report ILC Global Design Effort
- [2] Measuring the top Yukawa coupling at the ILC at $\sqrt{s} = 500$ GeV Ryo Yonamine et al. Phys. Rev. D 84, 014033
- [3] Hiroaki Ono arXiv:1007.3053v2 [hep-ex]
- [4] ALEPH Collaboration, DELPHI Collaboration, L3 Collaboration, OPAL Collaboration, The LEP Working Group for Higgs Boson Searches, Search for the Standard Model Higgs boson at LEP Physics Letters B 565 (2003) 61775
- [5] <http://indico.cern.ch/conferenceDisplay.py?confId=164890>
- [6] arXiv:1008.0921v2 [hep-ex] 9 Aug 2010
- [7] T. Barklow. Physics Impact of Detector Performance. 2005 International Linear Collider Workshop, 2005. <http://www-conf.slac.stanford.edu/lcws05/program/talks/18mar2005.ppt>.
- [8] Radiation Damage Effects in CCD Sensors for Tracking Applications in High Energy Physics K.D. Stefanov
- [9] Techniques for Nuclear and Particle Physics Experiments William R. Leo
- [10] www.cqpub.co.jp/dwm/contents/0053/dwm005300950.pdf
- [11] LVDS オーナーズ・マニュアル 高速 CML と シグナル ・ コンディショニング National Semiconductor
- [12] 小泉誠、修士論文 「アバランシェ・ダイオードを用いた高解像度・高速 PET の要素技術開発」 東京工業大学 (2009)
- [13] 泰地増樹、「CMOS アナログ/デジタル IC 設計の基礎」 CQ 出版社
- [14] 宇宙用論理 LSI で発生する放射線誘起スパイクノイズの研究 (宇宙応用シンポジウム-観測・通信衛星の軌道上評価と将来衛星搭載機器開発-) Radiation-Induced Transient-Pulses in Logic LSIs for Use in Space Applications NII 論文 ID(NAID) : 110006951562

- [15] The TEVNP Working Group Combined CDF and D0 Upper Limits on Standard Model Higgs-Boson Production with up to 4.2 fb⁻¹ of Data FERMILAB-PUB-09-060-E CDF Note 9713 DO Note 5889
- [16] The International Large Detector Letter of Intent、<http://www.ilcild.org/documents/ild-letter-of-intent>
- [17] ILC Global Design Effort and World Wide Study, International linear collider Reference Design Report, August 2007, ILC-REPORT-2007-0001; available also at <http://www.linearcollider.org/cms/?pid=1000437>
- [18] 木村 嘉孝、「高エネルギー加速器」共立出版株式会社
- [19] ILC beam parameter <http://ilcphys.kek.jp/soft/ILCBeam/BeamParameter.html>
- [20] ILD 測定器グループ <http://www.ilcild.org/>
- [21] SiD 測定器グループ <http://silicondetector.org>
- [22] D.Schulte, Study of electromagnetic and hadronic background in the interaction region of the TESLA collider, 1996.
- [23] Kaoru Yokoya, Pisin Chen, BEAM-BEAM PHENOMENA IN LINEAR COLLIDERS KEK Preprint 91-2(1991)
- [24] 株式会社デジアンテクノロジー <http://www.digian.co.jp/>
- [25] MOSIS サービス <http://www.mosis.com/>
- [26] 有限会社 ジー・エヌ・ディー <http://www.gn-d.com/>
- [27] メンターグラフィックス社 ModelSim <http://www.altima.jp/products/software/modelsim/>
- [28] OHO'02 高エネルギー加速器セミナー講義テキスト
- [29] M.Placidi and J.Wenninger, INTERACTION REGION DIAGNOSTICS IN e⁺e⁻ RING COLLIDERS CERN-SL/98-013 BI