卒業論文
AXEL 実験のための FPGA 開発技術の習得

東北大学　理学部物理学科
素粒子実験 (加速器) 研究室
佐藤凜征

2026 年 4 月 27 日

目次

第 1 章

目的

ニュートリノには、様々な未解決問題が存在しており、それらが解決することで素粒子物理学の大きな進展が期待される。そのひとつにニュートリノの反粒子が自分自身であるマヨラナ粒子であるかどうかがある。AXEL 実験は、ニュートリノを伴わない二重ベータ崩壊を用いて、ニュートリノのマヨラナ性を探索している。このためには、大規模かつ高速なデータ転送を実現することが必須であり、AXEL 実験独自の読み出し回路 AXELBOARD が開発された。この AXELBOARD には FPGA が搭載されており、これによって制御されている。AXEL 実験の検出器の大規模化に向け、様々な開発がされており、それに合わせて FPGA の持続的な開発が必須である。FPGA 開発には専門のソフトウェアや言語を用いる必要があるため、まずは FPGA について学ぶ必要がある。本研究は、AXEL 実験での FPGA 開発のために、その基礎的な使い方や、AXELBOARD の仕様や使い方を理解することを目的としている。

第 2 章

序論

2.1 ニュートリノ

1900 年代初期、ベータ崩壊において、電子の連続的なスペクトルが得られることが問題となっていた。これに対しパウリは、この崩壊の際に電子とともに、電気的に中性かつ透過力が高く、微小な質量を持つ粒子の存在を予言した。この粒子が、のちにフェルミによってニュートリノと名付けられるものであった。

その反応性の低さゆえ、この予言から発見に至るまでは 20 年以上の時間を要した。初めての検出は、ライネスとコーワンの逆ベータ崩壊実験によるものであった。

現在、ニュートリノは標準理論に組み込まれており、スピン 1/2、質量・電荷が 0 で、3 世代のフレーバーを持つ、弱い相互作用のみをする粒子であるとされている。また、ニュートリノは左巻き、反ニュートリノは右巻きのヘリシティしか持ちえないと考えられている。一方で、ニュートリノが別種のものに変化するニュートリノ振動が発見されたことによって、ニュートリノに質量があることが示唆されている。加えて、質量階層問題や、他のフェルミオンよりも異常に質量が軽い理由、マヨラナ粒子であるかディラック粒子であるかなど、様々な未解決問題が存在する。

2.2 マヨラナ性

2.2.1 マヨラナ質量

通常のフェルミオンが持つディラック質量項 $\mathcal{L}_D$ は、左巻きスピノル場 ψ_L と右巻きスピノル場 ψ_R によって構成される。

$$\mathcal{L}_D = -m_D(\overline{\psi_L}\psi_R + \overline{\psi_R}\psi_L) \tag{2.1}$$

標準模型の枠組みではニュートリノには左巻き ψ_L しか存在しないため、質量を獲得することができない。しかし、ニュートリノ振動によってニュートリノの質量が 0 でないことが示唆されたこと、仮に右巻きのニュートリノが発見されたとしても、その結合定数の不自然な小ささを説明で

きないことから、ニュートリノには通常のフェルミオンとは別種の質量獲得機構があると考えられる。

ここで、先のディラック質量項は右巻き成分と左巻き成分の組み合わせによって表現されていたが、これに対し粒子 ψ とその反粒子 $\psi^c(=-\gamma^0 C\psi^*)$ の組み合わせによって構成されるマヨラナ質量項 $\mathcal{L}_M$ を導入してみる。

$$\mathcal{L}_{M_R} = -\frac{1}{2}M_L\left(\overline{\psi_L^c}\psi_L + \overline{\psi_L}\psi_L^c\right) - \frac{1}{2}M_R\left(\overline{\psi_R^c}\psi_R + \overline{\psi_R}\psi_R^c\right) \tag{2.2}$$

ただし、これにグローバルな位相変換（$\psi \to e^{i\theta}\psi$）を施すと、

$$\overline{\psi^c}\psi \to e^{2i\theta}\overline{\psi^c}\psi \tag{2.3}$$

となり、電荷あるいはレプトン数保存則を破ってしまうため、荷電粒子はマヨラナ質量項を持たないことがわかる。一方で、ニュートリノは中性粒子であるため、マヨラナ質量項を持ち得て、マヨラナ粒子足り得ると言える。

2.2.2 シーソー機構

ニュートリノがマヨラナ質量項を持つと考えると、ニュートリノの異様に軽い質量について説明ができる。

以下では、簡単のため、ニュートリノのフレーバーが一種類であるとする。マヨラナ質量項を持つと考えたときのラグランジアンの質量項は、

$$\mathcal{L}_{\text{mass}} = -m_D\overline{\nu_L}\nu_R - \frac{1}{2}m_R\overline{\nu_R^c}\nu_R - \frac{1}{2}m_L\overline{\nu_L^c}\nu_L + \text{h.c.} \tag{2.4}$$

これを、すべて左巻きの基底ベクトル $N_L = \begin{pmatrix}\nu_L \\ \nu_R^c\end{pmatrix}$ を用いて行列表記にまとめると、次のように記述できる。

$$\mathcal{L}_{\text{mass}} = -\frac{1}{2}\overline{N_L^c}\begin{pmatrix}m_L & m_D \\ m_D & m_R\end{pmatrix}N_L + \text{h.c.} \tag{2.5}$$

ここで、$M = \begin{pmatrix}m_L & m_D \\ m_D & m_R\end{pmatrix}$ はニュートリノ質量行列と呼ばれる。

ニュートリノ質量行列 M の固有値を計算すると、その固有値 m_N、m_ν は、

$$m_\nu \simeq \frac{m_D^2}{m_R}, \quad m_N \simeq m_R \tag{2.6}$$

となる。

ここで、$m_L \simeq 0$、$m_R \gg m_D$ とした。すなわち、ニュートリノが通常のフェルミオンと同程度のディラック質量 m_D であっても、右巻きニュートリノが非常に重い質量 m_R を持つと左巻き

ニュートリノは極端に軽い質量を持つことが可能になる。このように、一方が重くなるともう一方が軽くなることから、この機構はシーソー機構と呼ばれている。

2.2.3 レプトジェネシス

現在の宇宙は物質で満たされており、反物質はほとんど存在しない。しかし、初期宇宙では粒子と反粒子が同数生成されてたと考えらている。この物質の優位は何故生まれているのかは未解決である。

この問題に対し、サハロフは以下の三条件が必要だと主張した。

1. バリオン数を破る過程が存在すること
2. C および CP 対称性を破る過程が存在すること
3. 上記２つの過程が熱的非平衡下で進行すること

重いマヨラナニュートリノは C と CP の対称性を破って崩壊することができるため、その崩壊生成物であるレプトンと反レプトンに非対称性が生じる。したがって、宇宙初期に存在した重いマヨラナニュートリノが宇宙膨張時の非平衡状態下で崩壊することで正味のレプトンが生成され、そのレプトンがバリオンに変換されることにより物質優勢宇宙ができたと考えることができる。このモデルはレプトジェネシスと呼ばれる。ニュートリノがマヨラナ粒子であれば、物質優勢宇宙の謎を解決できる可能性があるため、ニュートリノのマヨラナ性の検証は非常に重要である。

2.3 ニュートリノを伴わない二重ベータ崩壊

二重ベータ崩壊とは、ベータ崩壊が２回同時に起こる現象である。１回のベータ崩壊はエネルギー的に禁止されているが、２回同時にベータ崩壊を行った際の娘核の質量が、親核の質量と２個の電子の質量の和よりも軽い場合にはこれが起こり得る。

通常の二重ベータ崩壊では、図 2.1a のように原子核から電子と反電子ニュートリノがそれぞれ２つずつ放出される。これを $2\nu\beta\beta$ と呼称する。

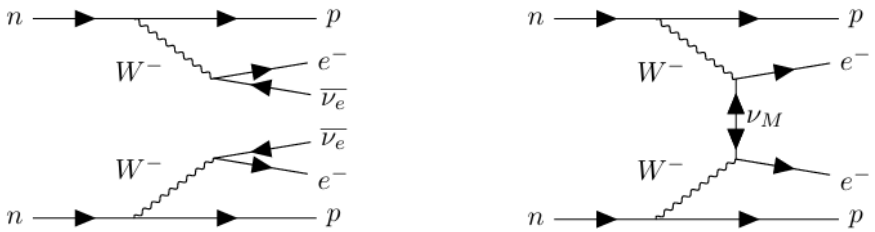
$$(Z, A) \to (Z+2, A) + 2e^- + 2\overline{\nu_e} \tag{2.7}$$

しかし、ニュートリノがマヨラナである場合、図 2.1b のようにニュートリノを伴わない二重ベータ崩壊 $(0\nu\beta\beta)$ が起こりうる。

$$(Z, A) \to (Z+2, A) + 2e^- \tag{2.8}$$

$0\nu\beta\beta$ では、原子核中で２つの反電子ニュートリノが仮想的に対消滅し、電子のみが放出される。

ニュートリノは反応断面積が極めて小さいため、どちらの崩壊モードであっても検出できるのは２個の電子のみである。それらの運動エネルギーを測定することで、イベントを識別できる。$0\nu\beta\beta$



(a) $2\nu\beta\beta$ (b) $0\nu\beta\beta$

図 2.1: 二重ベータ崩壊のファインマンダイアグラム

では、崩壊のエネルギーのほぼ全てが 2 個の電子に与えられるため、これらの運動エネルギーの和は Q 値 (反応の前後のエネルギー差、^{136}Xe では 2.458 MeV) とほぼ等しくなる。一方、$2\nu\beta\beta$ ではニュートリノもランダムに崩壊のエネルギーの一部を取り去るため、電子 2 個の運動エネルギーの和は Q 値よりも小さくなり、連続的な値を示す。以上をまとめたのが図 2.2 である。

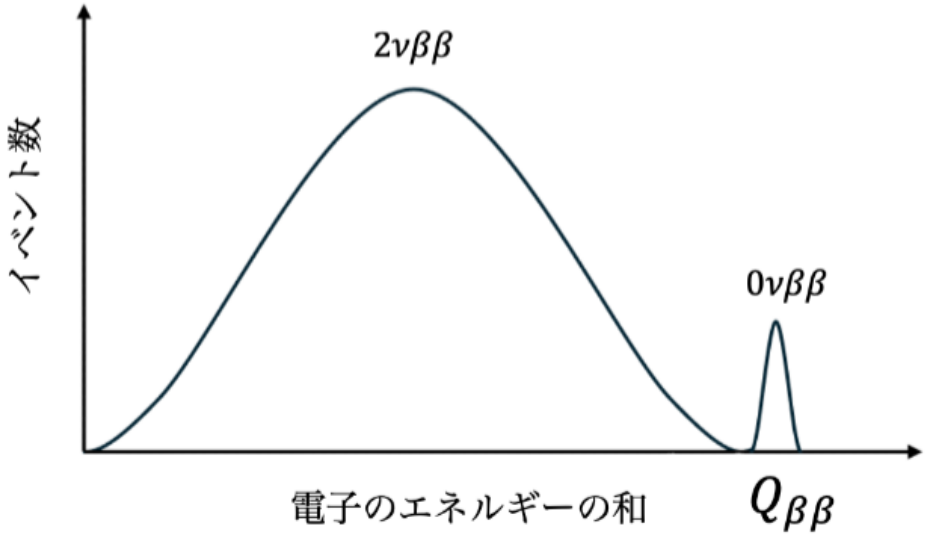


図 2.2: $2\nu\beta\beta$ と $0\nu\beta\beta$ で放出される 2 つの電子のエネルギーの和のスペクトル

この $0\nu\beta\beta$ の探索が、現在のニュートリノのマヨラナ性の最有力の手法である。この際、以下の三要素が重要となる。

1. 大質量の二重ベータ崩壊核
2. 低い背景事象
3. 高いエネルギー分解能

$0\nu\beta\beta$ は半減期が $T^{0\nu}_{1/2} > 3.8 \times 10^{26}$ 年 (^{136}Xe の場合) [3] と極稀な事象であるため、イベント数を増やすために大量の崩壊核が要請される。同時に、$0\nu\beta\beta$ の Q 値付近のエネルギーを持つ背

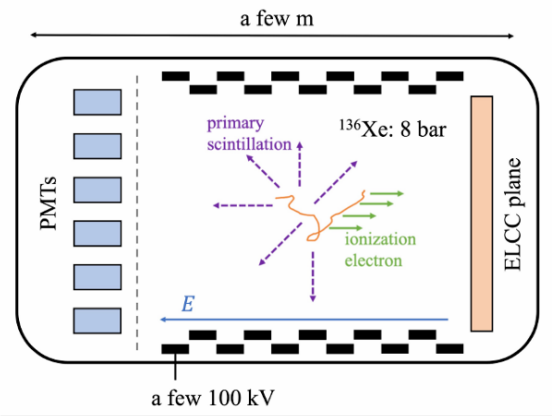
景事象の除去が重要になる。加えて、$2\nu\beta\beta$ でも 2 つの電子が崩壊のエネルギーのほとんどを奪った場合、それらの運動エネルギーの和が $0\nu\beta\beta$ の Q 値付近となる場合があるため、$2\nu\beta\beta$ との識別が不可欠であり、高エネルギー分解能が必須となる。

第 3 章

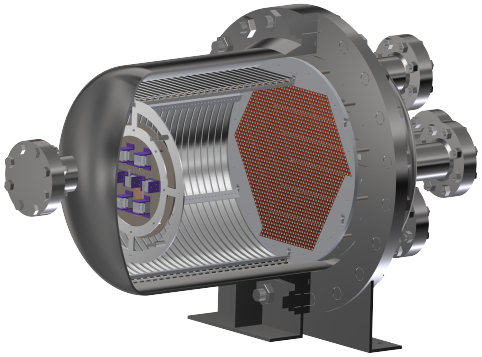
AXEL 実験

3.1 概要

AXEL(A Xenon ElectroLuminescence) 実験は高圧キセノンガス・タイムプロジェクションチェンバー (TPC) を用いた $0\nu\beta\beta$ 探索実験である。ガスチェンバーに ^{136}Xe を約 8 気圧で封入し、これを二重ベータ崩壊核かつ媒質として用いている。^{136}Xe を高圧にすることで、大質量化を実現している。



(a) AXEL 検出器の動作概念図



(b) 180 L 試作機の 3D モデル

図 3.1: AXEL 検出器

3.2 AXEL 実験の特徴

3.2.1 TPC(Time projection chamber)

TPC は、1974 年に D.R.Nygren によって考案された、粒子の飛跡を三次元的に捉えるための検出器である。

高エネルギーの粒子がガス中を通過すると、ガス分子と衝突して電子を弾き出す (電離)。これにより、粒子の軌跡に沿って電子の列が残る。ここで発生した電子は、あらかじめ設定された電場に沿って、検出器の端にある読み出し面に向かってドリフトする。この時、電子は電場により加速されるが、気体の原子核に衝突し減速される。その後、電場により再加速されるが、また原子核により減速されて、と繰り返すため、一定の速度でドリフトしているとみなせる。

また、粒子によって励起されたキセノン原子は、以下の過程により脱励起する。

$$\mathrm{Xe}^* + 2\mathrm{Xe} \rightarrow \mathrm{Xe}_2^* + \mathrm{Xe} \tag{3.1}$$

$$\mathrm{Xe}_2^* \rightarrow 2\mathrm{Xe} + h\nu \tag{3.2}$$

この際に発生するシンチレーション光は真空紫外線光であるため、キセノンガスに対して透明である。したがって、この光はガス中で散乱されることなく光検出器で検出でき、AXEL 実験では光電子増倍管にて検出している。

以上の、脱励起に伴う発光の検出時刻と、ドリフト電子が読み出し面に到達するまでの時刻の差分を取ることで、ドリフト電場の方向への再構成を行うことができる。これと、二次元的に読み出し可能な読み出し面を組み合わせることで、三次元的な飛跡の再構成を可能にしている。

3.2.2 電離電子読み出し面

3.2.2.1 EL(ElectroLuminescence) 過程

Electroluminescence とは、原子が脱励起する際にシンチレーション光を発することであり、例えばキセノン原子であれば式 (3.2) と同じ過程にて発光する。この過程を EL 過程と呼ぶ。

電離電子は、電場により加速されるとキセノン原子を励起させることができるようになり、その後キセノン原子は脱励起し、光子が EL 過程にて放出される。また、キセノン原子を励起させたのち、減速した電子を電場により再加速させ、繰り返し EL 過程を行うことで多数の光子を発生させる方法を、EL 増幅と呼称する。この EL 増幅では、初期の電子数の揺らぎが線形的に増幅していく。

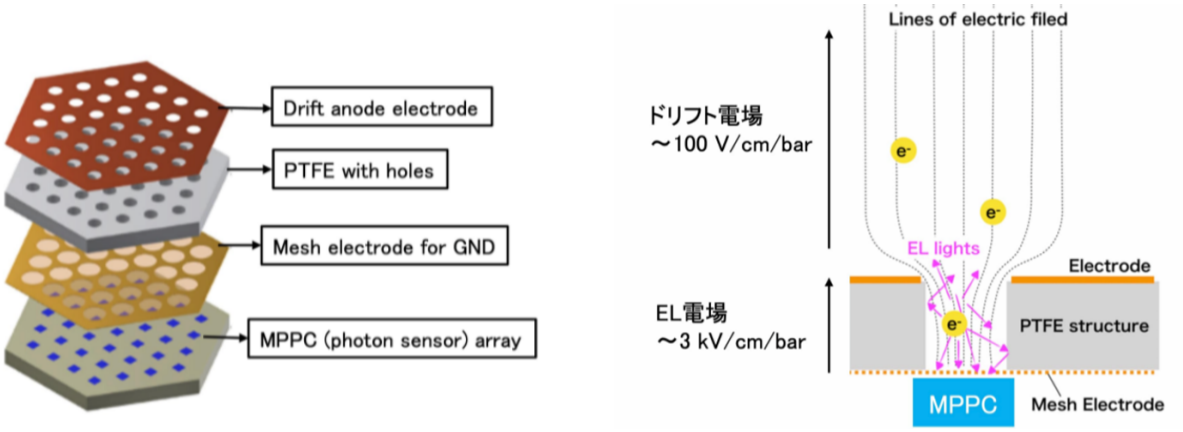
この EL 過程で印加している電圧以上の電圧をかけると、電離電子はキセノン原子を電離させることができるようになり、その二次電子も他のキセノン原子を励起させられるため、電子数は指数関数的に増えていく。この過程を雪崩増幅と呼ぶ。この雪崩増幅では、初期の電子数の揺らぎが指数的に増幅し、EL 増幅よりもエネルギー分解能が悪化するため、雪崩増幅を起こさないような電場の設定が必要である。

3.2.2.2 ELCC(Electroluminescence Light Collection Cell)

AXEL グループが独自に開発した EL を利用した電離電子読み出しシステムである。ELCC の構造は図 3.2a のようになっており、アノード電極と PTFE (ポリテトラフルオロエチレン、テフロン) の板、メッシュ電極、そして光検出器である MPPC(Multi-Pixel Photon Counter) から構成されている。アノード電極と PTFE の板には一定の間隔で穴が空いており、セル構造を持つ。

銅板電極とメッシュ電極には、先述の電子のドリフトのための電場 (∼ 100 V/cm/bar) よりも十分に大きい電場 (EL 電場) がかけられており (∼ 3 kV/cm/bar)、この強い電場によって電子はいずれかのセルに引き込まれる。引き込まれた電子は、EL 電場によりさらに加速され、EL 過程によって光子に変換される。この光子は、セル内の MPPC で計測される。(図 3.2b)

以上の原理によって、ELCC では電子の飛跡を二次元的に再構成できる。



(a) ELCC の構造　　(b) ELCC の断面図

図 3.2: ELCC の概念図

3.2.3 MPPC(Multi-Pixel Photon Counter)

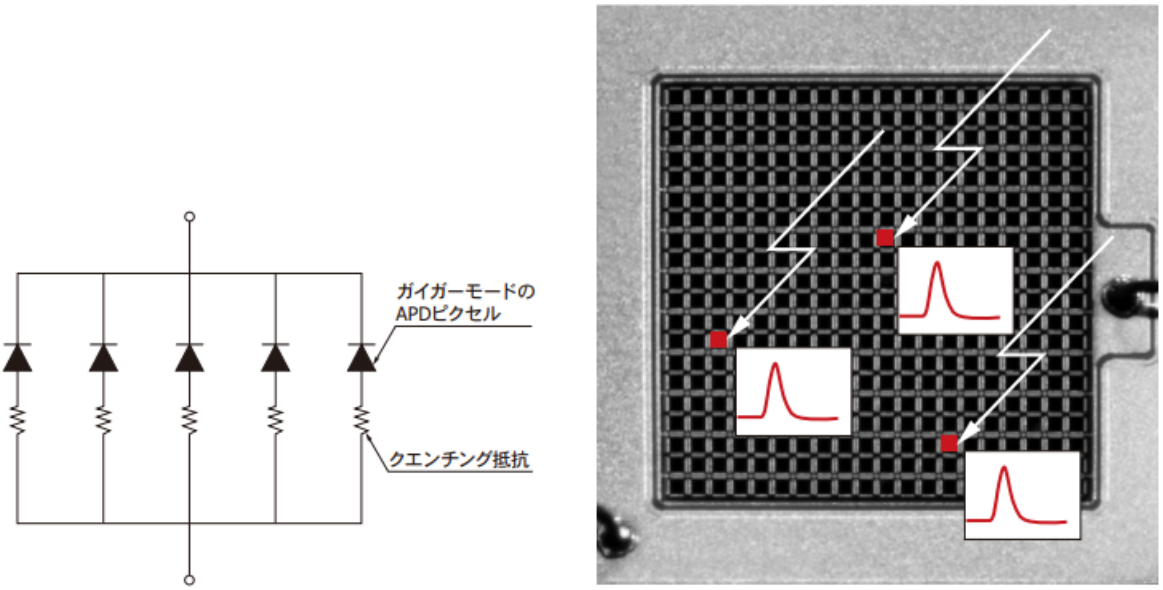
MPPC は浜松ホトニクスの商品であり、一般的には SiPM と呼ばれる光検出器である。時間分解能、検出効率、増倍率に優れ、60 V 程度の低電圧で使用できる。

MPPC は図 3.3 のように APD(Avalanche Photo Diode) とクエンチング抵抗を直列に接続したものを 1 ピクセルとして、多数のピクセルを並列に接続した構造になっている。

APD に、ある電圧 (ブレイクダウン電圧) 以上の電圧を印加していると、入射光子によって励起された電子が雪崩増幅を起こし、素子固有の飽和出力がなされる (ガイガー放電)。ガイガー放電は APD への印加電圧がブレイクダウン電圧を超え続けている限り継続するが、MPPC では APD の出力電流がクエンチング抵抗を流れて電圧降下を起こすため、放電は短時間で終了する。このとき、1 つのピクセルから出力される電荷 $Q_{\mathrm{1p.e.}}$ は印加電圧 V_{bias} とブレイクダウン電圧 V_{break} の差に比例する。つまり、APD の電気容量を C とすると以下のような関係となる。

$$Q_{\mathrm{1p.e.}} = C(V_{\mathrm{bias}} - V_{\mathrm{break}}) \tag{3.3}$$

$Q_{\mathrm{1p.e.}}$ はパルスとして出力され、複数のピクセルにて同時に光子が検出された場合、このパルスは重ね合わせられて出力される。出力電荷を 1 ピクセルあたりの出力電荷で割ることによって、反



(a) MPPC の等価回路　　(b) MPPC のピクセル構造と検出のイメージ

図 3.3: MPPC の概念図 [4]

応したピクセル数、つまり検出光子数を求めることができる。つまり、MPPC は 1 光子から、搭載されたピクセルまでの数の光子の検出が可能である。

また、MPPC のゲイン (増幅率) $g_{\mathrm{1p.e.}}$ は、1 ピクセルが光子を検出した時の電荷 $Q_{\mathrm{1p.e.}}$ を素電荷 e で割ることで求められる。

$$\begin{aligned} g_{\mathrm{1p.e.}} &= \frac{Q_{\mathrm{1p.e.}}}{e} \\ &= \frac{C(V_{\mathrm{bias}} - V_{\mathrm{break}})}{e} \end{aligned} \tag{3.4}$$

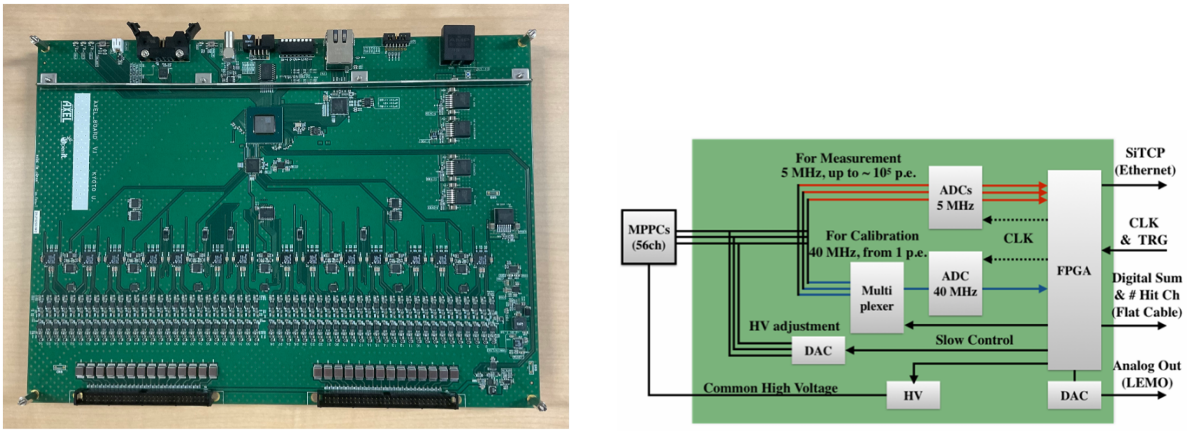
典型的な MPPC において、$V_{\mathrm{bias}} \simeq 55 \sim 60$ V 、$V_{\mathrm{bias}} - V_{\mathrm{break}} \simeq 3 \sim 4$ V、$g_{\mathrm{1p.e.}} \sim 10^6$ である。つまり、印加電圧 V_{bias} の僅かな違いによって、ゲインに大きな影響を与える。

加えて、MPPC は光子の入射だけでなく、熱的に電子が励起された場合にもパルスを発生させる。これをダークパルスと呼ぶ。ダークパルスは光子による信号との識別が困難であるため、光子数の測定誤差の原因となる。一方、ダークパルスは MPPC ゲインの監視、調整に使用できる。MPPC ゲインは周囲の温度や電源電圧の揺らぎを顕著に反映するため、AXEL 実験ではダークパルスを利用して印加電圧の微調整やゲインの較正を行なっている。

3.3 AXELBOARD

3.3.1 AXELBOARD の概要

AXELBOARD とは、AXEL 実験での使用を目的に Open-It と共同で開発された、多チャンネル MPPC 波形読み出し回路である。このボードには FPGA や ADC などが搭載されており、MPPC への電圧供給、MPPC の波形信号のデジタル信号への変換、PC へのデータ転送が可能である。ひとつのボードにつき、56 チャンネルの MPPC の信号を取得できる。これらを含めたボード全体の処理は、FPGA によって制御される。



(a) AXELBOARD　　(b) AXELBOARD のブロックダイアグラム

図 3.4: AXELBOARD とそのブロックダイアグラム

また、AXEL 実験の大質量化に向けて、ELCC の受光面が拡大し、MPPC のあるセル穴が増えたことに伴い、取得できる MPPC のチャンネル数が 64 に増えた次期読み出し回路である AXELBOARD64 も開発された。

3.3.2 FPGA(Field Programmable Gate Array)

現場でのプログラミング可能なゲートを搭載している集積回路である。ハードウェアでありながら、ソフトウェアのようにコードを書くことによって動作を変えることが可能であり、目的に応じて柔軟に仕様変更をすることができる。加えて、ハードウェアとしては比較的小規模なデバイスであり、小消費電力での稼働・並列処理による高速の動作が可能などの特長がある。

一方で、動作させるためのコードを書くためには専用のソフトウェアが必要であり、使用する言語も専用の言語である。加えて、通常のプログラミングと異なり、記述された全ての処理が並列で行われるなど、独特な動作をするため、深い理解が必要である。したがって、開発のためにはそれ専門の知識が必須と言える。

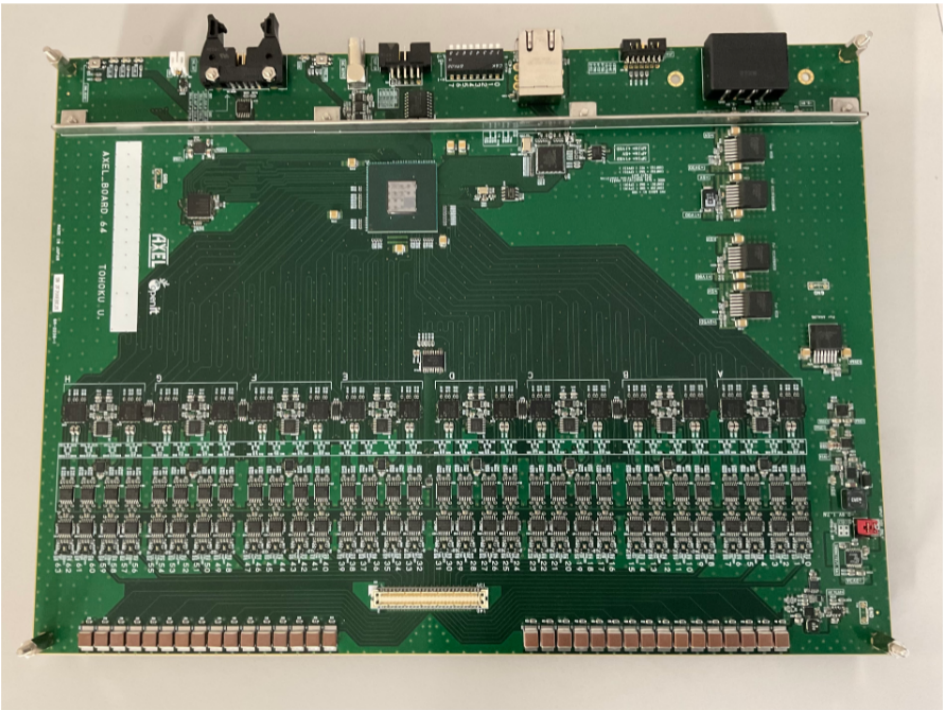


図 3.5: AXELBOARD64

第 4 章

FPGA 開発技術の習得

4.1 FPGA の基礎技術の習得

FPGA 開発は、Xilinx 社の Vivado for Linux を用いる。研究室のデスクトップ PC に Ubuntsu 22.04 を導入し、Vivado をインストールした。

FPGA の 基礎技術の習得として、Open-It 主催の FPGA 講習会の資料を用いた実習をした。

用いた基盤は FPGA 講習会や AXELBOARD でのそれとは異なる Basys 3 ARTIX ボードであり、搭載されている FPGA は XC7A35T-1CPG236C である。また、FPGA 講習会資料では言語として Verilog を紹介していたが、AXELBOARD で使用されている言語である System Verilog を使用した。System Verilog は Verilog をもとに改良された言語で、変数の宣言や always 構文の改良など、Verilog の煩雑だった要素をはじめ、様々な機能を改善されたものとなっている。AXELBOARD では Verilog を用いていたが、AXELBOARD64 用のコードを開発する際に System Verilog へと言語が変更されている。

AND、OR、XOR を用いた基礎的なコードの書き方や、シミュレーション、論理合成、回路作成、Integrated Logic Analyzer(ILA) を用いた FPGA 内のデジタル信号の監視の方法などについて学んだ。最終的に、基板上の特定のボタンを押下している間、7 セグに数字が 16 進数でカウントアップされていく回路を開発することができた。

4.2 SiTCP の使用方法の習得

以降は、AXEL 実験にて使用されている AXELBOARD を用いた実習に入る。任意の機能を実装していくことで、その使用方法を習得する。AXELBOARD に搭載されている FPGA は Xilinx 社 (現 AMD 社) の XC7A200T-1FBG484C であり、開発環境は引き続き Vivado for Linux で System Verilog を用いる。

4.2.1 SiTCP の概要

SiTCP とは、FPGA と PC を Gigabit Ethernet で繋ぐプロトコルである。高エネルギー物理学実験のために開発され、多チャンネル・高速データ集システムを可能にする。高エネルギー物理学実験では装置の数が膨大になるため、データ通信プロトコルに、小型であること・小消費電力で稼働すること・安定した高速データ転送が可能であることが要求される。SiTCP はこれらの問題を解決するために、FPGA (ひとつのデバイス) 上での、Ethernet の上限値までの速度の通信が可能なネットワーク処理回路を実装している。

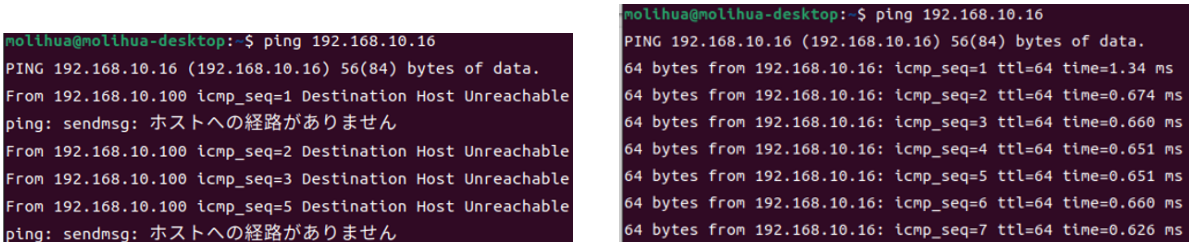
SiTCP では UDP(User Datagram Protocol) と TCP(Transmission Control Protocol) の二種類の通信方法を用いることができる。UDP は送信する側のみ通信可能なときに、TCP は送信・受信双方が通信可能なときに通信するプロトコルである。これにより、前者は高速のデータ転送を可能としており、AXEL 実験では装置のスローコントロールに用いられている。一方後者は確実なデータ転送が特徴であり、FPGA で取得した MPPC 波形データの PC への送信に使用されている。

4.2.2 基礎的な使い方の習得

4.2.2.1 FPGA と PC の Ethernet 接続

通信プロトコルを実装する前に、そもそも FPGA と PC が Ethernet で通信ができる状態でなくてはならない。そのために、SiTCP 内の Ethernet を用いた通信のためのコードを書き、PC と FPGA を Ethernet ケーブルで接続した。この際、PC の Ethernet ポートが不足していたため、Ethernet と USB type A を変換するアダプタを用いている。この変換アダプタの通信速度は 100 Mb/s である一方、SiTCP の通信は 1 Gb/s を想定しているため、この状態では通信できない (図 4.1a)。そのため、スイッチングハブを通して通信速度を変換アダプタのものに合わせた。

この状態で PC から SiTCP の IP アドレスへの ping を通したところ、図 4.1b のように通信が可能であることを確認した。



(a) スイッチングハブなしで通した結果　　(b) スイッチングハブを挟んだ結果

図 4.1: ping を通した様子

4.2.2.2 UDP の実装

適切に FPGA 内で UDP のためのコードを書き、動作を確認したものが図 4.2 である。この際、PC 側からも UDP 通信のためのパケットを用意する必要があるため、AXEL で実際にスローコントロールのために使用されているコード udp.cc を用いた。

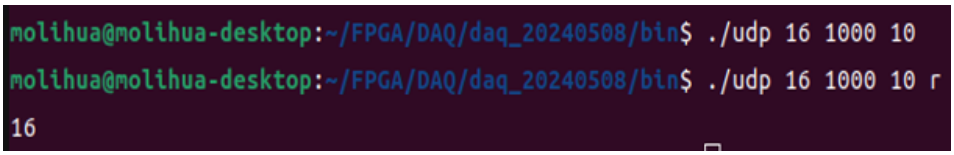


図 4.2: UPD 通信の様子。一行目で 1000 のレジスタに 16 進数の 10 を書き込み、2 行目で 1000 のレジスタにある値を読み出している (この値は 10 進数)

4.2.2.3 TCP の実装

AXEL 実験では MPPC 波形データを PC に送信するために TCP を用いているが、そのためのコードを書いても、MPPC や ADC を繋いでいないため、通信できているかの動作確認ができない。そこで、PC でデータを生成し、それを TCP で FPGA に送信し、FPGA で任意の処理をした後に、その処理後のデータを PC に返す、という一連の流れを実装することにした。

■ **hatsumi_d_sota.cc**

PC でデータを生成し、それを TCP で FPGA に送信したあと、FPGA からのデータを TCP で受け取るためのコード。モードと送受信するデータ数を選ぶことができ、ここから FPGA にどのモードで処理させるかを指示できる。TCP が開いたら ”Hatsumi”、その間にデータの送信と受信を行い、通信が閉じたら ”Sota” と出力させる。最初に 1 バイトのヘッダーを送信し、その後 PC で生成したデータ本体を FPGA に送信する。実装したモードと、PC の挙動は以下のとおりである。

n モード： 0000_0000 から 1 ずつ値を増やしたデータを、指定した数だけ送信する。
受信するためのソケットは、送信した本データの数だけ用意する。
送信したデータ、受信したデータは並べて PC 上に表示する。

r モード： ランダムに生成した 1 バイトのデータを、指定した数だけ送信する。
受信するためのソケットは、送信した本データの数だけ用意する。
送信したデータ、受信したデータは並べて PC 上に表示する。

m モード： 0000_0000 から 1 ずつ値を増やしたデータを、6 バイトだけ送信する。
受信するためのソケットは、6 バイト用意する。
送信したデータは表示させず、受信したデータのみを PC 上で ASCII で表示させる。

d モード： 0000_0000 から 1 ずつ値を増やしたデータを、6 バイトだけ送信する。

受信するためのソケットは、６バイト用意する。
送信したデータは表示させず、受信したデータのみを PC 上で ASCII で表示させる。

■ FPGA 上の挙動

FPGA では、受け取ったデータを順に配列に格納し、その１バイト目をヘッダーとして処理する。ヘッダーに応じて処理を変えることができ、具体的には下記のとおりである。

mモード： 受け取ったデータに関わらず、ASCII の ”m”,”a”,”s”,”t”,”e”,”r” に対応する８ビットを順に PC に送信する

ｄモード： 受け取ったデータに関わらず、ASCII の ”d”,”o”,”c”,”t”,”o”,”r” に対応する８ビットを順に PC に送信する

その他： 受け取ったデータの全ビットの 0 と 1 を反転させ、ヘッダーを除いたそれらを順に PC に送信する。

■ 動作確認

動作確認を行った。その結果が下図であり、想定通りの挙動であることを確認した。

```
molihua@molihua-desktop:~/AXEL_try/hatsumi_sota$ ./hatsumi_d_sota n 10
Hatsumi
[   0] TX:00000000  RX:11111111
[   1] TX:00000001  RX:11111110
[   2] TX:00000010  RX:11111101
[   3] TX:00000011  RX:11111100
[   4] TX:00000100  RX:11111011
[   5] TX:00000101  RX:11111010
[   6] TX:00000110  RX:11111001
[   7] TX:00000111  RX:11111000
[   8] TX:00001000  RX:11110111
[   9] TX:00001001  RX:11110110
Sota
```

図 4.3: n モードの動作結果。10 バイトのデータを送受信している。TX は PC から FPGA へ送信したデータ、RX は PC が FPGA から受け取ったデータ。０と１が反転している。

図 4.4: m モードの動作結果。FPGA から送信されたデータを ASCII で表示させている。

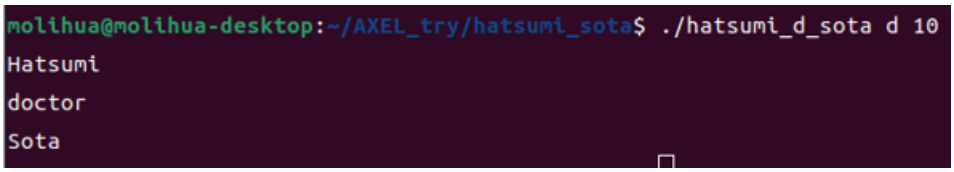


図 4.5: d モードの動作結果。FPGA から送信されたデータを ASCII で表示させている。

4.3 AXELBOARD での ADC の使用方法の習得

4.3.1 AXELBOARD における ADC

ADC(Analog to Digital Convertor) とは、その名の通りアナログ信号をデジタル信号に変換するデバイスである。

AXELBOARD では、MPPC の波形データをデジタル信号に変換し、それを FPGA に送信している。また、AXELBOARD には 2 種類の ADC が搭載されており、そのそれぞれが以下のように使い分けられている。

ADCH： 使用している ADC は AD9637BCPZ-40。
ADC の信号を 165 倍に増幅させる (High gain)。サンプリングレートは 40 MSPS 。
ダークパルスの監視や、MPPC の増幅率の調整に用いられる。
一度に 7 ch (64 ch ボードでは 8 ch) の MPPC 信号しか読み取れないが、マルチプレクサによって取得するチャンネルを切り替えることができ、全チャンネルの監視が可能。

ADCL： 使用している ADC は LTC2325CUKG-12。
ADC の信号を 5 倍に増幅させる (Low gain)。サンプリングレートは 5 MSPS 。
EL 信号の読み出しに用いられる。

ADCL の仕様や使用方法の習得までは到達できなかったため、以下では ADCH の使用方法の習得について記述する。

4.3.1.1 ADCH の使用方法の習得

■ ADCH の通信方式

ADCH と FPGA の通信には LVDS(Low Voltage Differential Signaling) 規格を用いている。これは、出力される電圧の振幅を小さくすることにより (Low Voltage)、比較的高速でデータを転送することができるようにしている方式である。同時に、電圧の振幅が小さくなることで、通常の出力電圧よりも大量のデータを送信することも可能にしている。

また、この規格では 2 つの電圧が出力されており、その差の正負によって信号の 0 か 1 かを判別する (Differential Signaling)。この出力方式をとることによって、出力電圧がスレシオルドとの大小によって 0 か 1 かを判断する規格 (CMOS) よりもノイズの影響を受けにくくなっている。

ADCH では 7 ch のそれぞれのチャンネルから 2 つずつの電圧が出力されているため、合計 14 個 (64 ch では 8 ch) の信号が FPGA に送信されている。

また、ADCH の通信方式として、データを 1 bit ずつ送信するシリアル通信を採用している。このため、FPGA 内部に 1 bit ずつのデータを本来の形 (ADCH では 12 bit で 1 つのデータ) に戻すためのモジュール (deserializer) を実装する必要がある。

■ ADCH テストモード

ADCH は内部レジスタに特定のコマンドを書き込むことによって、動作確認のためのテストモードの移行や、ADCH の各チャンネルの状態を確認することなどが可能である。このコマンドなどのやり取りは、双方向のやり取りが可能なケーブルによって行われている (SPI 通信)。また、こちらもデータの送信にはシリアル通信を用いている。

テストモードはコマンド入力後の FPGA への出力を指定した値にすることができ、ここでは、これを用いて ADCH のデータが正常にデシリアライズできているかを確認する。

以下がテストモードで得られたデータである。ILA にて、デシリアライズした後のデータを監視しており、右に向かって時間が進んでいる。

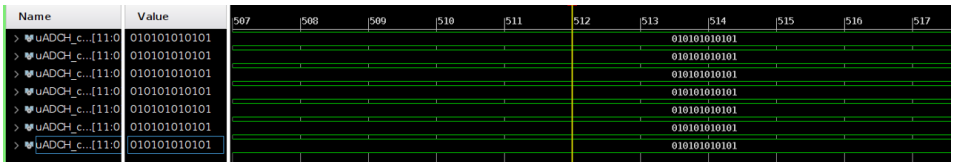


図 4.6: 0 と 1 を交互に出力するように指示した結果。0 と 1 が交互に出力され、それを 12 bit で 1 つのデータにしたものが連続で取得されている。

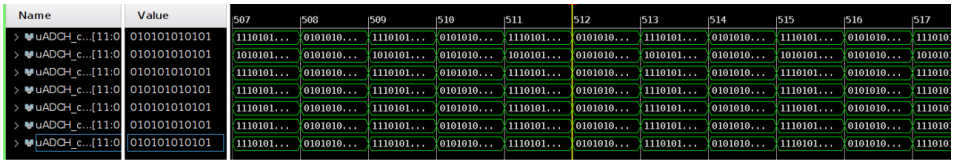


図 4.7: 0101_0101_0101 のデータを出力し続けるように指示した結果。指示通りのデータとそうでないデータが交互に取得されている。

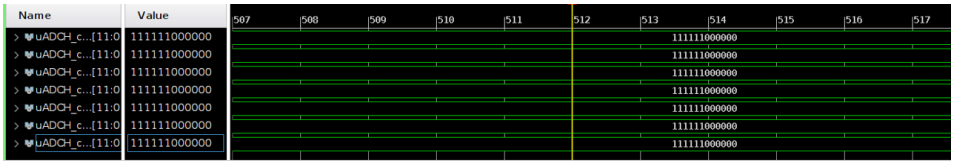


図 4.8: 0000_0011_1111 のデータを出力し続けるように指示した結果。1111_1100_0000 が連続して取得されている。

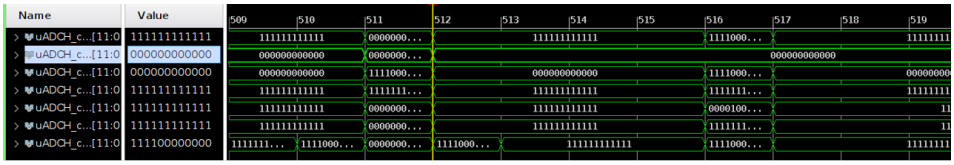


図 4.9: 0000_0000_0000 と 1111_1111_1111 のデータを交互に出力するように指示した結果。不規則なデータが取得されている。

上記のように、多くのパターンにて、テストモードで得られるべきデータと異なる結果となっている。これは、ADCH から送信されたものそのままの信号を処理しているために、通信速度などの問題で起こっているバグと予想され、バッファを入れたり、ディレイを挟むことによって、その問題を解決できると考えている。まずは、このバグの根本的な原因の発見のため、マニュアルを読み込み FPGA や ADCH の詳しい仕様について理解する必要がある。

第 5 章

今後の展望

ADCH のデータが得られるべき値とずれているバグを修正したら、SiTCP の UDP 通信を用いて PC から FPGA にコマンドを送信し、それをもとに FPGA が ADCH のテストモードを実行させ、そこで得られたデータを SiTCP の TCP 通信を用いて PC に転送する、という一連の動作を実装したい。これは、ADCH の状態の確認などのために使用でき、AXEL 実験においてもスローコントロールのためにこの動作を用いている。

また、今後の AXEL 実験では多数の AXELBOARD64 を用いてデータを取得をしようとしている。そのために、AXELBOARD の使用方法に習熟した後は、多数のボードを同期・動作させるためのトリガーロジックの実装や、大型検出器における安定したデータ取得のための環境整備に取り組んでいきたい。

参考文献

[1] 初見総太. ” ニュートリノを伴わない二重ベータ崩壊探索実験 AXEL のための波形読み出し回路” https://epx.phys.tohoku.ac.jp/wordpress/wp-content/uploads/2026/03/master_thesis_0316.pdf

[2] 長嶋順清. ” 高エネルギー物理学の発展”. 朝倉書店. 2008. p.114-121

[3] S Abe et al. “Search for Majorana neutrinos with the complete KamLAND-Zen dataset” . https://arxiv.org/abs/2406.11438

[4] 浜松ホトニクス MPPC 技術資料. https://www.hamamatsu.com/content/dam/hamamatsu-photonics/sites/documents/99_SALES_LIBRARY/ssd/mppc_kapd9008j.pdf